

分类号: _____

单位代码: 10335

密 级: _____

学 号: 21410192

浙江大学

硕士学位论文



中文论文题目: 基于 GaN 器件的 Boost 电路软开关方法
研究

英文论文题目: Research on ZVS Method of Boost Circuit with
GaN Devices

申请人姓名: 刘劭凯

指导教师: 吴新科 教授

专业名称: 电力电子与电力传动

所在学院: 电气工程学院

论文提交日期 2017.6.1

**A Dissertation submitted to Zhejiang University in partial fulfillment of the requirements
for the degree of Master of Engineering**

Research on ZVS Method of Boost Circuit with GaN Devices

仅限PMIC会员单位内部使用，不得外传

Candidate: Shaokai Liu

Supervisor: Prof. Xinke Wu



Zhejiang University, Hang Zhou, P. R. China, 310027

May, 2017

基于 GaN 器件的 Boost 电路软开关方法研究



论文作者签名: _____

指导教师签名: _____

论文评阅人 1: _____

评阅人 2: _____

评阅人 3: _____

答辩委员会主席: _____

委员 1: _____

委员 2: _____

委员 3: _____

委员 4: _____

答辩日期: _____

本人声明所呈交的学位论文是本人在导师指导下进行的研究工作及取得的
研究成果。除了文中特别加以标注和致谢的地方外，论文中不包含其他人已经发
表或撰写过的研究成果，也不包含为获得 浙江大学 或其他教育机构的学位或
证书而使用过的材料。与我一同工作的同志对本研究所做的任何贡献均已在论文
中作了明确的说明并表示谢意。

学位论文作者签名: 签字日期: 年 月 日

本学位论文作者完全了解 浙江大学 有权保留并向国家有关部门或机构送交本论文的复印件和磁盘，允许论文被查阅和借阅。本人授权 浙江大学 可以将学位论文的全部或部分内容编入有关数据库进行检索和传播，可以采用影印、缩印或扫描等复制手段保存、汇编学位论文。

(保密的学位论文在解密后适用本授权书)

导师签名:

签字日期: 年

摘要

随着现代通讯设备和数据中心对效率和功率密度的要求越来越高，传统 Si 器件已不能满足其需求。GaN 材料有着宽禁带、高电子迁移率、高耐压、高热导率等特性，使得 GaN 器件具有栅极电荷少、导通电阻小、寄生电容小等优越特性，有助于加快开关速度、提高电路工作频率，实现更高效率和更高功率密度的电路，并且减小无源元件体积，降低电路成本。目前关于 GaN 器件电路应用方面的研究多数集中在临界模式软开关电路，而对连续模式软开关电路研究甚少。所以在本文中，我们对 GaN 器件在连续模式软开关电路中的工作情况进行了实验分析，并与临界模式软开关电路进行对比，以探究在高频情况下最适合 GaN 器件的工作模式。

本文重点分析了一种连续模式箝位型软开关 Boost 电路。此电路在传统 Boost 电路的基础上增加了箝位回路，主管和辅管采用互补型控制，利用谐振电感的续流实现主管的 ZVS；利用主电感电流实现辅管 ZVS。箝位电容电压加在谐振电感上进行充放电，并增加箝位二极管消除电压震荡，减少循环能量损耗。上述拓扑和控制方式可以同时实现主管和辅管的软开关，适用于高频工作。本文分析了该拓扑的工作模态，给出了关键参数的设计流程，搭建了实验样机用于验证理论分析。最后将该电路和临界模式软开关 Boost 电路进行了对比，分析高频工作下损耗分布的差别，明确了适合现有 GaN 器件的软开关形式。

在连续模式软开关电路中，辅管驱动供电采用自举电路实现。随着负载的变化，自举电容电压会出现不同程度的抬升，导致辅管驱动电压过高，造成额外损耗，严重的甚至会超过驱动电压上限而损坏器件。论文分析了电容电压抬升的原因，并加入稳压电路有效的抑制了这一现象。

关键词：GaN，CRM，CCM Boost，ZVS，效率对比，自举驱动

Abstract

With the increasing demand for efficiency and power density in modern communications equipment and data centers, traditional Si devices are no longer able to meet their needs. GaN material has characteristics of wide bandgap, high electron mobility, high voltage, high thermal conductivity and others, making the GaN devices with a small gate charge, conduction resistance is small, parasitic capacitance and other excellent features, helping to speed up the switching speed, improve the circuit operating frequency, realize high efficiency and high power density of the circuit, and reduce the passive component size, reduce circuit costs. At present, most of the researches on the application of GaN devices are concentrated on the critical mode soft-switching circuit, and few researches on the continuous-mode soft-switching circuits. So in this paper, we work on the operation of GaN devices in continuous mode soft-switching circuits, and compare with the critical mode soft-switching circuits to explore the most suitable mode of work for GaN devices at high frequency.

This paper focuses on a continuous mode clamped soft-switching Boost circuit. This circuit add a clamping circuit to the traditional Boost circuit, the main control and auxiliary pipe with complementary control, the use the resonant inductor to achieve the charge of the ZVS; use the main inductor current to achieve auxiliary pipe ZVS. Clamp capacitor voltage added to the resonant inductor on the charge and discharge, adding clamp diodes to eliminate voltage oscillation, and minimize energy loss. This can simultaneously achieve the main switch and auxiliary soft switch, at high frequencies have a greater advantage. In this paper, the topology is introduced, the working mode is analyzed emphatically, the design flow of the key parameters is given, and the experimental prototype is used to verify the theoretical analysis. Finally, the circuit and the critical mode soft-switching Boost circuit are compared, the difference of the loss distribution under high frequency operation is analyzed, and the application of GaN device in high frequency circuit is further explored.

In the continuous mode soft switching circuit, the auxiliary pipe is controlled by the bootstrap circuit. With the load changes, the bootstrap capacitor voltage will appear in varying degrees of lifting, resulting in auxiliary drive voltage is too high, resulting in additional loss, even worse than

the drive voltage limit and damage the device. We have carried out this analysis and experimental verification, and adding voltage regulator circuit effectively suppress this phenomenon.

Key words: GaN, CRM, CCM Boost, ZVS, Non-complementary control, efficiency comparison, bootstrap drive

仅限PMIC会员单位内部使用，不得外传

目录

摘要	I
第 1 章 绪论	1
1.1 论文研究背景及意义	1
1.1.1 GaN 器件的发展及现状	1
1.1.2 GaN 器件类型介绍	4
1.1.3 临界模式与连续模式软开关电路特点对比	5
1.2 本论文主要研究内容	6
第 2 章 临界模式软开关 Boost 电路拓扑分析	7
2.1 临界模式软开关 Boost 电路工作原理	7
2.2 临界模式软开关 Boost 电路损耗分析	9
2.2.1 主电感损耗	9
2.2.2 MOS 管损耗	11
2.2.3 二极管损耗	11
2.2.4 损耗分布	12
第 3 章 连续模式有源箝位软开关 Boost 拓扑分析与效率对比	14
3.1 连续模式软开关 Boost 电路发展和研究现状	14
3.2 连续模式有源箝位软开关 Boost 电路工作原理	15
3.3 连续模式有源箝位软开关 Boost 参数设计	18
3.3.1 考虑箝位电容电压 V_c	18
3.3.2 考虑软开关范围 I_{zvs}	20
3.4 连续模式软开关损耗分析	21
3.4.1 主电感损耗	21
3.4.2 MOS 管损耗	22
3.4.3 主二极管损耗	22
3.4.4 谐振电感损耗	23
3.4.5 损耗分布	23

3.5 两种模式效率及损耗分析对比	25
第 4 章 自举电容电压不稳定问题分析	27
4.1 电路介绍及电压不稳定现象	27
4.2 MOS 管等效模型	28
4.2.1 Cascode 结构 MOS 管等效模型	28
4.2.2 Enhancement 结构 MOS 管等效模型	29
4.3 不稳定现象原因分析	29
4.3.1 未实现软开关区域分析	30
4.3.2 临界实现软开关区域分析	33
4.3.3 完全实现软开关区域分析	34
4.3.4 分析总结与对比	35
4.4 解决方案	36
第 5 章 总结与展望	37
参考文献	39
攻读硕士学位期间所发表的论文	42
致谢	43

第1章 绪论

1.1 论文研究背景及意义

1.1.1 GaN 器件的发展及现状

现代电力电子变换器已经被广泛应用于航空、电动汽车、工业设备和家用电器等众多领域。如何进行高效率的功率变换、实现更高的功率密度、在更加恶劣的环境（高温，高湿，失重等）中稳定工作是现代电力电子变换器面临的巨大挑战^[1-2]。电力电子功率器件是电力电子技术的基础，也是电力电子技术发展的重要推动力。其主要功能是通过器件的高速开关完成各种形式的电能变换，主要包括交直流转换、高低压变换、交流频率变化等等。所以电力电子功率器件性能的优劣将直接影响电能的利用效率^[3]。

在电力电子技术发展的初期，硅功率器件在电力电子界有着绝对的掌控力。1944 年矽整流器的发明展示了一系列的优点，促进了半导体功率器件的发展；1947 年点接触三极管和 1949 年结型晶体管的发明为半导体功率器件奠定了基础。在五十年代末硅功率器件已初具轮廓，经过在以后十年里的大力新技术开发，最终实现了硅功率器件的商业化^[4]。第一代半导体材料 Si 点燃了信息产业发展的“星星之火”，而 Si 材料芯片也成就了“美国硅谷”高科技产业群，促使英特尔等世界半导体巨头的诞生，95%的半导体器件和 99%以上的集成电路都由 Si 材料制作。然而，在全球 40%能量以电能的形式被消耗的今天，电能转换能量耗散的最大部分是半导体功率器件，曾经的“中流砥柱”硅基电力电子器件已经逼近了由于寄生二极管制约而能达到的极限，难以满足当今社会对高频、高温、高功率密度、高能效、耐恶劣环境以及轻便小型化的新需求。为突破目前的器件极限，满足各项需求，现在主要有两大技术发展方向：一是对 Si 器件结构等方面进行改进，二是采用宽禁带材料制作的新型半导体器件，如碳化硅(SiC)器件或氮化镓(GaN)器件。第一个发展方向已经取得不错的进展，Si 基器件从上世纪 70、80 年代诞生后不断推陈出新，功率密度平均每 4 年提升一倍，被业界誉为“功率电子领域的摩尔定律”，如图 1-1。然而即使如此，Si 器件仍然不能满足日益增长的各项需求，2015 年，在政府发布的“《中国制造 2025》重点领域技术路线图”中，提到大力推动电力电子器件这一关键元器件的开发，形成产业化能力。在这样的背景下，GaN 器件应运而生^[5]。

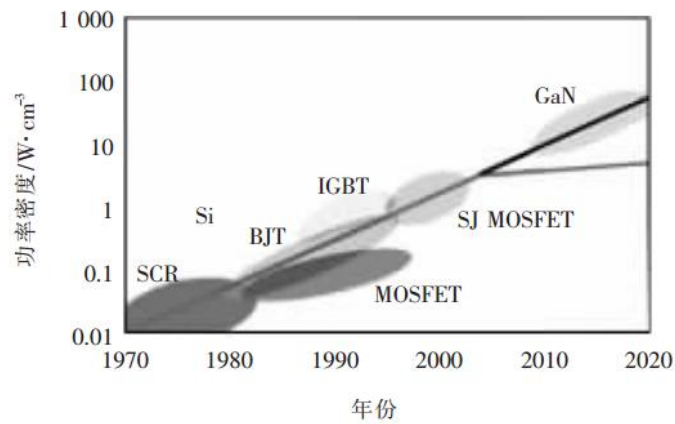


图 1-1：功率电子系统的功率密度发展趋势（功率电子“摩尔定律”）

GaN 材料是 1928 年由 johason 等人合成的一种 III-V 族化合物半导体材料，在大气压力下，GaN 晶体一般呈六方铅锌矿结构，在一个元胞中有 4 个原子，化学性质稳定。GaN 材料具有良好的点穴特性，宽禁带宽度（3.39eV）、高击穿电压（ $3 \times 10^6 \text{V/cm}$ ），高异质结面电荷密度（ $1 \times 10^{13} \text{cm}^{-2}$ ）等，因而被认为是研究短波长光电子器件以及高温高频大功率器件的最优选材料，相对于硅、砷化镓、锗甚至碳化硅材料，GaN 器件可以在更高频率、更高功率、更高温度的情况下工作。表 1-1 为常见制备功率电子器件的半导体材料物性参数。图 1-2 为三种材料（Si、SiC、GaN）的对比雷达图。

材料	禁带宽度/eV	电子迁移率/(cm ² /Vs)	击穿场强/(MV/cm)	饱和电子速率/(10 ⁷ cm/s)	热导率
Si	1.1	600（MOS）	0.4	1.0	1.5
GaAs	1.4	6000	0.5	2.0	0.5
4H-SiC	3.3	720	2	2.0	4.9
GaN	3.4	2000(2DEG)	3.3	2.8	1.3

表 1-1：常见制备功率电子器件半导体材料物性参数

与 Si 基功率电子器件相比，GaN 基功率电子器件具有如下三个优点：

1. 高效节能：由于 GaN 材料特有的极化特性，在 AlGaN/GaN 异质结间存在极强的极化效应，形成迁移率高达 2000cm²/Vs 和面密度高达 10¹³cm⁻² 量级的高浓度二维电子气（2DEG）。GaN 基功率开关器件 HEMT 利用 AlGaN/GaN 异质结 2DEG 工

作，器件具有导通电阻小、开关速度快的优点，使器件的通态损耗和开关损耗大大降低。

2. 可以使电力电子装置小型化、轻量化、低成本化：GaN 材料比 Si 具有更大的禁带宽度，使 GaN 器件可以工作在更高温度环境，因此可简化甚至省去散热装置。此外由于 GaN 器件具有高的开关频率，使得系统的无源器件电容电感的体积大大减小。这些都使得 GaN 基电力电子装置能更小型化轻量化，大大降低系统制作成本。
3. 输出功率密度大，驱动力强劲：由于宽禁带等特性，GaN 材料的临界击穿电场高达 3.4MV/cm ，是 Si 材料的十倍，因此 GaN 器件具有更高的耐压能力。同时 GaN 基器件利用 2DEG 工作，获得低导通电阻，高电流密度，因此使 GaN 器件可以获得更大的功率密度。

如图 1-3 所示，对比相近电压、电流等级下的不同材料功率器件，GaN 在导通电阻、栅极电荷、反向恢复时间等方面都明显优于 Si 器件^[6-11]。

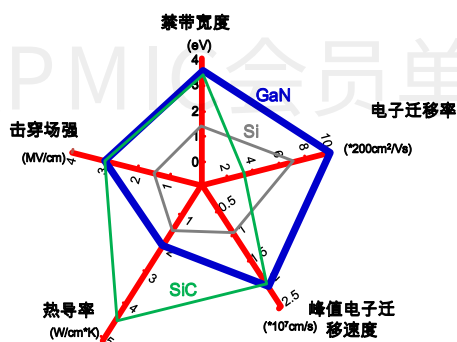


图 1-2: 不同材料部分性能对比

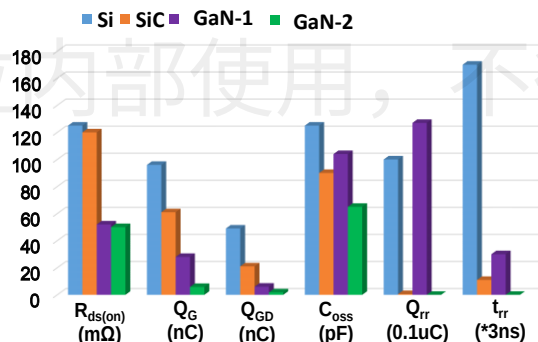


图 1-3: 不同材料功率器件部分性能对比

目前全球功率器件每年约有 150 亿美元的市场规模，根据 GaN 行业先行者 GaN systems 公司的评估，GaN 器件可以直接代替的市场份额至少可达 20%，这还不包括尚待发展的领域，比如电动汽车等新兴潜力市场。2015 年国际著名半导体咨询调查机构 Yole Development 报道分析了 GaN 功率电子器件的知识产权动态，从 2010 左右制造出第一只 GaN 商业化器件至今，世界范围内 GaN 的专利申请量急剧攀升，出现了新一轮的发展高潮。GaN 功率电子器件可以满足现代电子技术对高温、高功率、高压、高频以及抗辐射等恶劣条件的新要求，其有着优异的能源利用效率，而且可以实现系统小型化、轻量化，从而大大降低制作成本，在整个世界推行节能减排的今天，具有十分重大的现实意义。它在消费类电子、云服务、光伏发电、新能源电动汽车等领域有着巨大的应用前景^[3]。

1.1.2 GaN 器件类型介绍

在电力电子控制系统中,为了保证系统失效安全,器件必须具备常关型的工作特性^[12-13]。通常对于 Si 衬底上 GaN 基功率开关器件,主流技术是利用 AlGaN/GaN 异质结构界面处高浓度、高迁移率的 2DEG 工作,使器件具有导通电阻小、开关速度快的优点。然而,这种 AlGaN/GaN HFET 即使在外加栅压为 0 的情况下,其器件也处于开启状态。如何实现高性能的常关型操作是 GaN 功率开关器件面临的一个重要挑战。

实现常关型工作特性的一般思路是保留接入区高导通的 2DEG,同时耗尽或截断栅极下方的 2DEG,以实现器件零偏压下关断。目前业界最普遍采用的常关型 GaN 器件的结构有三种:

1. 结型栅结构 (p 型栅)^[14], 如图 1-4.
2. 共源共栅极联结构 (cascode)^[15], 如图 1-5.
3. 绝缘栅结构 (MOSFET)^[16-19], 如图 1-6.

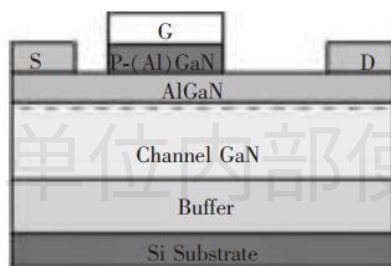


图 1-5: p 型栅结构

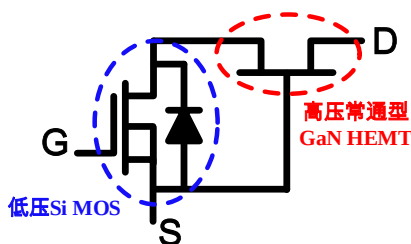


图 1-5: cascode 共源共栅连接结构

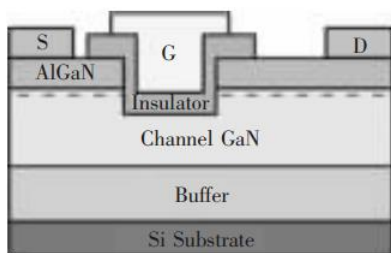


图 1-6: 绝缘栅结构

目前,前两种方案已经实现了产业化。P 型栅结构方案是利用栅极下方的 p 型 GaN 层

抬高沟道处的势垒，从而耗尽沟道中的 2DEG 来实现常关。该结构的制备工艺难度较大，需要对接入区 p 型层的刻蚀，存在阈值电压小、栅极摆幅冗余度小以及抵抗电磁干扰能力差等缺点，此外其栅极漏电流大，且无法通过采用 MOS 栅结构来进行改善。而 cascode 级联结构的常关型器件方案是将一只高压型 GaN HFET 和一只低压常关型 Si MOSFET 通过 cascode 方法组合成一个全新的混合管来实现常关。然而，cascode 结构会带来芯片所引入的附加寄生参数增大等问题，限制器件的高频开关性能，使得 GaN 的高速开关性能很难得到充分的发挥，多芯片的封装也会降低器件的可靠性。

绝缘栅结构器件通过引入一层绝缘栅介质层，可以解决上述 p 型栅阈值电压低等问题，目前的 enhancement 型器件多指绝缘栅结构器件。而 cascode 结构只是目前的一个暂时的解决方案，业界更加期待“真”常关型器件——绝缘栅结构器件，目前绝缘栅法使用最普遍的就是凹槽栅结构，如图 1-6 所示。凹槽绝缘栅结构器件的工作原理是，通过凹槽切断栅极下方的 2DEG，使得器件在零栅压下为关断状态。当正栅压增至大于阈值电压时，将在栅界面处形成电子积累层以作为器件的导电沟道，器件呈导通状态。凹槽绝缘栅技术在制备常关型功率器件方案中具有很大的优势，可以解决 p 型栅结构和 cascode 结构所带来的诸多问题，这种凹栅的形成方式包括干法刻蚀、湿法刻蚀以及选择区域外延等。目前国内外使用凹槽绝缘栅技术制备 GaN 常关型 MOSFET 器件已有大量研究工作报道，但是器件工作的稳定性和可靠性问题仍需要进一步克服。

1.1.3 临界模式与连续模式软开关电路特点对比

目前，多数 GaN 器件在电路中应用的研究都集中在临界模式软开关电路。临界模式软开关以其结构简单、效率高、开通损耗小等特点，备受学术界和工业界青睐。但在实验过程中，临界模式软开关电路不可避免的有着以下劣势：

1. 主电感电流峰值较大，即在 MOS 管关断时导通电流较大，会造成较大的关断损耗。
2. 临界模式电路实现软开关需要变频控制，在选择滤波元件时会带来一定困难。
3. 临界模式软开关对于电压增益有一定限制，对于 Boost 电压而言，理论上只有当输出电压大于等于两倍输入电压时才可实现完全 ZVS。而在实际实验中，由于开关管寄生电容的非线性，在 $V_o=2V_{in}$ 时依然无法实现完全 ZVS，需要 $V_o>2V_{in}$ 才可以实现，也就是对电路增益有着更高的限制。
4. 临界模式软开关需要增加电感电流过零检测部分，增加了控制复杂度。

鉴于临界模式软开关有着上述缺点，我们在文中对连续模式软开关电路进行了实验分

析,期望能在避免以上缺点的同时实现高效率。文中采用一种连续模式有源箝位软开关电路进行实验,其有着主电感电流峰值较小、采用恒频控制方式、实现 ZVS 对于电压增益无要求、控制简单等优点,相比于临界模式软开关有一定的优势。但其额外增加了箝位电路,会增加部分额外损耗,具体内容在后续章节中会详细阐述。

1.2 本论文主要研究内容

本文针对已市场化的两种不同结构的 GaN 器件进行了电路验证与探究,用以探索不同结构器件对效率的影响。文中首先对较常见的临界模式软开关电路进行实验分析,然后对连续模式有源箝位 Boost 电路进行实验和损耗分析,并与临界模式电路进行对比。最后针对 GaN 器件在自举驱动中遇到的自举电容电压抬升问题进行分析验证和消除。

本论文的内容主要安排如下:

第一章为绪论,对电力电子器件材料发展进行介绍,并对 GaN 材料特性和器件制作类型进行介绍,重点凸显其相对于 Si 的优势,最后对临界模式软开关电路和连续模式软开关电路进行介绍。

第二章对临界模式软开关电路进行工作原理分析以及损耗分析。

第三章首先介绍了连续模式软开关 Boost 电路的发展和研究现状,并选择了一种相对最优的电路进行实验。针对该电路进行工作原理分析、参数设计以及损耗分析。最后将临界模式和连续模式工作模态的电路进行效率对比和分析。

第四章,针对自举驱动中自举电容电压抬升现象进行分析及验证。

第五章,对本课题研究进行总结和展望。

第2章 临界模式软开关 Boost 电路拓扑分析

2.1 临界模式软开关 Boost 电路工作原理

工作在临界模式的 Boost 电路利用反向电感电流为开关管寄生电容放电，可以实现 ZVS，故适用于高频情况。如图 2-1 为临界模式软开关 Boost 电路图，其电路结构与传统 Boost 电路完全一样，只是通过调整电感值，控制导通时间，令主电感电流存在反向导通时刻，从而实现 ZVS。由于所需元件少，电路结构简单，临界模式软开关 Boost 电路成为应用和研究的热点。图 2-2 为部分关键波形图。

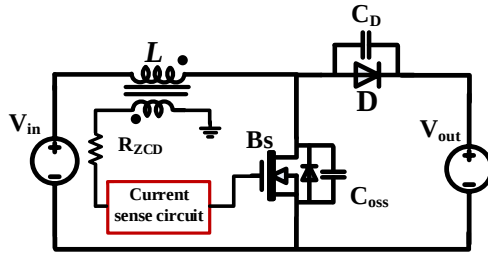


图 2-1: 临界模式 Boost 电路图

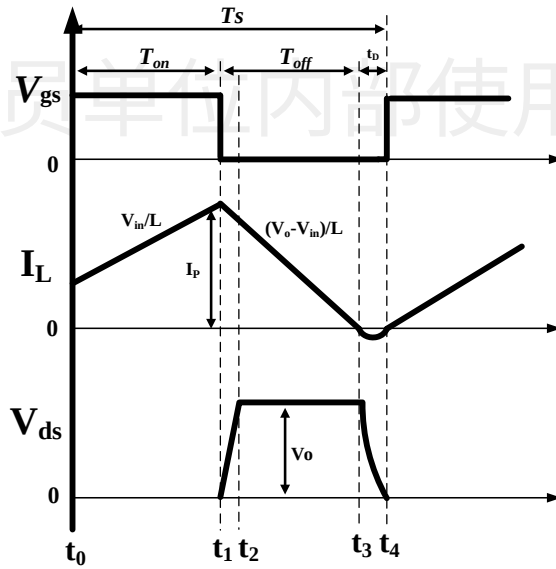


图 2-2: 临界模式部分关键波形图

当 MOS 管导通时，电感电流线性增加，其斜率由输入输出电压差和电感值决定，因此电感的峰值电流可以表示为式 2-1。

$$\frac{V_o - V_{in}}{L} \cdot T_{on} = I_p \quad (2-1)$$

当 MOS 管关断时，电感电流开始逐渐减小，并且给 MOS 管寄生电容 V_{ds} 充电，使其电压快速升高；当电感电流降至 0 时，电流检测器检测到这一时刻。此时主电感和 MOS

管寄生电容开始谐振, 导致电感电流开始反向, 同时寄生电容放电, V_{ds} 电压下降。在经过某一延迟实现 t_D 后, MOS 管开通。由于在开通时刻之前 V_{ds} 已经降低了一部分或已到 0, 此时的开通损耗会大大减小或者已经实现 ZVS。

工作在临界模式时, 软开关对于电压增益有一定要求, 下面我们针对这一点来详细说明。此时一个开关周期可以分为四个工作模态, 如图 2-3。

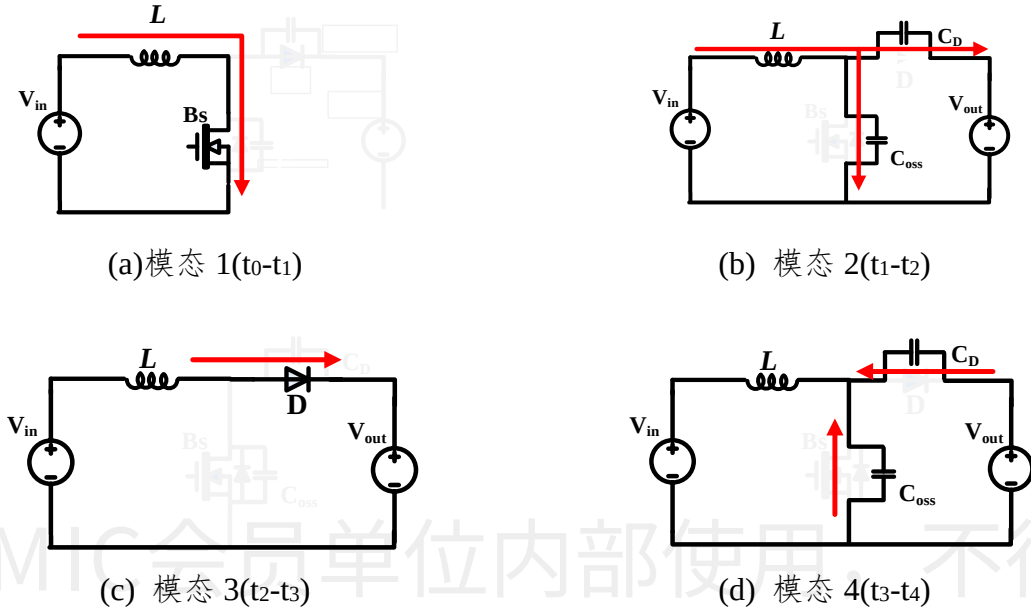


图 2-3: 一个开关周期内等效模态图

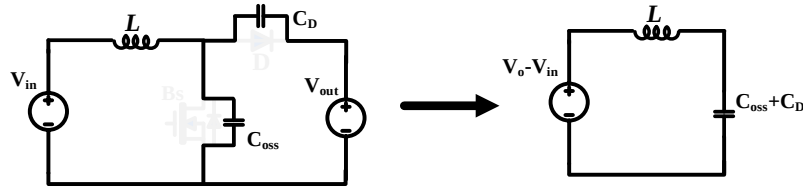
模态 1 (t_0-t_1): 此时开关管 B_s 导通, 电感电流在输入电压 V_{in} 的作用下升高, 电流以 V_{in}/L 的斜率线性上升。

模态 2 (t_1-t_2): 当开关管 B_s 关断时, 进入模态 2。此时电感电流达到峰值, 由于这段时间比较短, 可以近似认为电流保持峰值不变。电感电流给 C_{oss} 充电, 给 C_D 放电, 直到将 C_{oss} 充电至 V_o , C_D 放电至 0, 此阶段结束。

模态 3 (t_2-t_3): 此时电感电流以 $(V_o-V_{in})/L$ 的斜率线性下降, 当电感电流达到 0 时此阶段结束。

模态 4 (t_3-t_4): 当电感电流降至 0 之后, 电感 L 开始和寄生电容 C_{oss} 和 C_D 进行谐振。由于电感电流的初始值为 0, 谐振的周期和能量取决于电容电压初始值和谐振参数值。也正是这部分谐振会影响 ZVS 的程度。在谐振中 C_{oss} 电压从 V_o 开始降低, C_D 电压从 0 开始上升。此时电路可以等效为图 2-4。因此这个阶段电流 I_L 和电压 V_{ds} 可以表示为式 2-2, 式 2-3。我们得知 V_{ds} 的最小值在半个周期时产生, 而 V_{ds} 的最小值可以用式 2-4 表示, 从式

中可以看到，只有当 $V_o > 2V_{in}$ 时，才能实现完全的 ZVS。如果不满足这个条件，那么控制在半个谐振周期时开通，会实现谷底开通^[20-22]。



2-4: 模态 4 等效电路

$$I_L = \frac{(V_o - V_{in})}{Z_r} \cdot \sin \omega \cdot (t - t_3) \quad (2-2)$$

$$V_{ds} = V_{in} + (V_o - V_{in}) \cdot \cos \omega \cdot (t - t_3) \quad (2-3)$$

$$V_{ds_min} = 2V_{in} - V_o \quad (2-4)$$

$$\text{其中, } Z_r = \sqrt{\frac{L}{C_{oss} + C_D}}, \quad \omega = \frac{1}{\sqrt{L(C_{oss} + C_D)}}$$

2.2 临界模式软开关 Boost 电路损耗分析

我们对临界模式软开关 Boost 进行实验，具体电路参数如表 2-1。在实验时设置输出功率 300W 时工作频率约为 1MHz，用于与连续模式电路在相近工作频率下进行对比。我们以采用 enhancement 器件、输出 300W 的情况为例，针对各部分进行损耗分析。

输入电压/V	输出电压/V	输出功率/W
150	300	200-500
电感/V	工作频率/Hz（输出功率 300W 时）	
13.2uH	930K（enhancement 型）	970K（cascode 型）
表 2-1: CRM 软开关电路实验（分析）参数		

2.2.1 主电感损耗

Boost 主电感我们采用型号 PQ20-20，材料 DMR50B 的磁芯进行实验。图 2-5 为 DMR 50B 磁芯材料功率损耗与磁通密度对应的曲线，此处选在工作频率为 1MHz 的曲线。

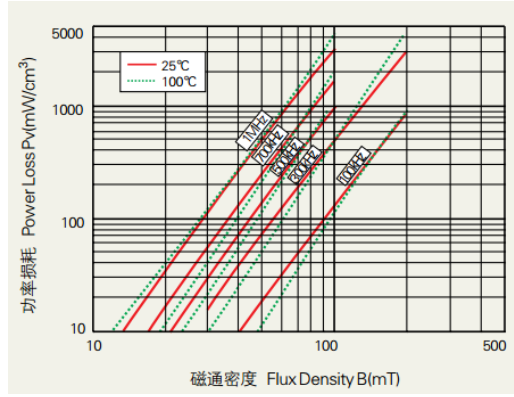


图 2-5: DMR 50B 磁芯材料功率损耗与磁通密度曲线

在铜线选择上, 首先考虑趋肤效应, 具体计算如式 2-5, 其中 Δ 为穿透深度, ω 为角频率, μ 为磁导率, γ 为电导率, 所以我们选用直径 0.1mm 的铜线进行绕制。

$$\Delta = \sqrt{\frac{2}{\omega \mu \gamma}} \quad (2-5)$$

磁芯股数与截面积、电流密度、电流有效值有关, 如式 2-6. 我们使用 25 股的铜线。

$$M = \frac{I_{in_rms}}{\pi \cdot d^2 \cdot 0.25 \cdot J \cdot 10^6} \quad (2-6)$$

当采用 17 匝时, 其对应的 B_{max} 和 ΔB 为式 2-7, 式 2-8:

$$B_{max} = \frac{L_{in} \cdot I_{in_max}}{n \cdot Ae} \quad (2-7)$$

$$\Delta B = \frac{L_{in} \cdot \Delta I}{n \cdot Ae} \quad (2-8)$$

故计算磁损为式 2-9: 约为 0.985W

$$P_{locore} = P_v \cdot V_e \quad (2-9)$$

计算铜损如式 2-10, 约为 2.019W

$$P_{Lin_con} = I_{in_rms}^2 \cdot \frac{\rho \cdot 2\pi R \cdot n}{\pi r^2 \cdot m} \cdot k_1 \cdot k_2 \quad (2-10)$$

k_1, k_2 分别为电阻的温度系数和交流系数, 依据经验取:

$$k_1 = 1.3, k_2 = 3.5$$

总损耗约 $0.985 + 2.019 = 3.004W$

2.2.2 MOS 管损耗

MOS 管损耗可分为开关损耗和导通损耗。由于电路实现了开关管的 ZVS，所以其开通损耗可忽略不计，故我们只需要计算关断损耗和导通损耗两项。

所采用的 enhancement 型 MOS 管基本参数如表 2-2:

V_{ds}/V	C_{oss}/pF	$R_{DS(on)}/\Omega$	Q_g/nC	V_{gs}/V
650	65	0.05	5.8	7

表 2-2: MOS 管部分参数

计算导通损耗，考虑温度系数 k，如式 2-11,导通损耗约为 0.268W。

$$P_{con} = I_{rms}^2 \cdot R_{on} \cdot k \quad (2-11)$$

计算开关损耗，首先计算电压下降时间式 2-12:

$$T_s = \frac{(V_o + V_c) \cdot C_{gd} \cdot R_{drive}}{V_t} \quad (2-12)$$

近似认为开关过程中电流电压线性变化，故计算如式 2-13: 得到关断损耗约 0.83W，

$$P_{off} = \frac{(V_o + V_c) \cdot I_{max} \cdot t_{off} \cdot f_s}{2} \quad (2-13)$$

故 MOS 管总损耗为 0.268+1.152=1.42W。

2.2.3 二极管损耗

二极管采用 SiC 二极管 IDD06SG60C，图 2-6 为其 I-V 曲线图，我们从中可以拟合出式 2-14，用于计算其导通损耗。

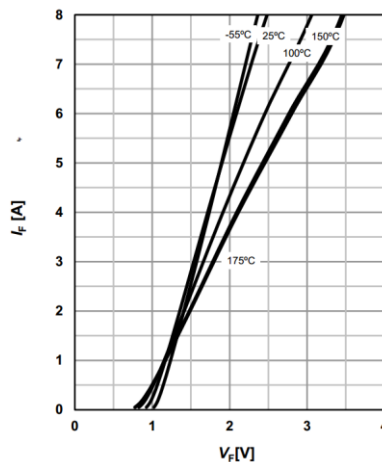


图 2-6: SiC 二极管 I-V 曲线

$$V(t) = 0.27538 \cdot I(t) + 0.83475 \quad (2-14)$$

$$I_2(t) = \frac{I_{s_max}}{t_s} t \quad (2-15)$$

$$W_D = \int_0^{t_s} I(t) \cdot V(t) dt \quad (2-16)$$

$$P_{dcon} = \frac{W_D}{T} \quad (2-17)$$

其中, t_s 为二极管电流增加时间, 导通损耗约为 1.624W。

2.2.4 损耗分布

综合以上分析, 使用 enhancement 结构器件的临界模式软开关电路总损耗为 $P_{total}=6W$ 。

效率 $\eta=98\%$ 。损耗分布如图 2-7。

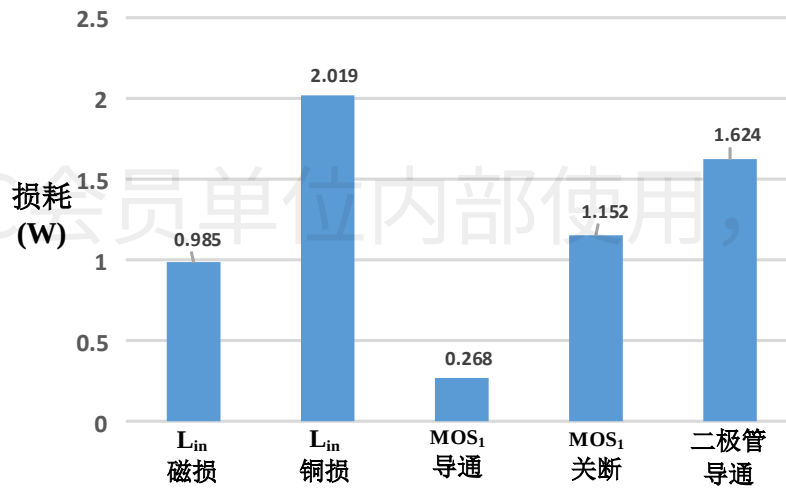


图 2-7: 使用 enhancement 型器件电路损耗分布

当使用 cascode 结构器件时, 其他元件完全相同, 分析方式同上, 所得到损耗分布图 2-8。总损耗 $P_{total}=6.21W$, 效率 $\eta=97.8\%$ 。

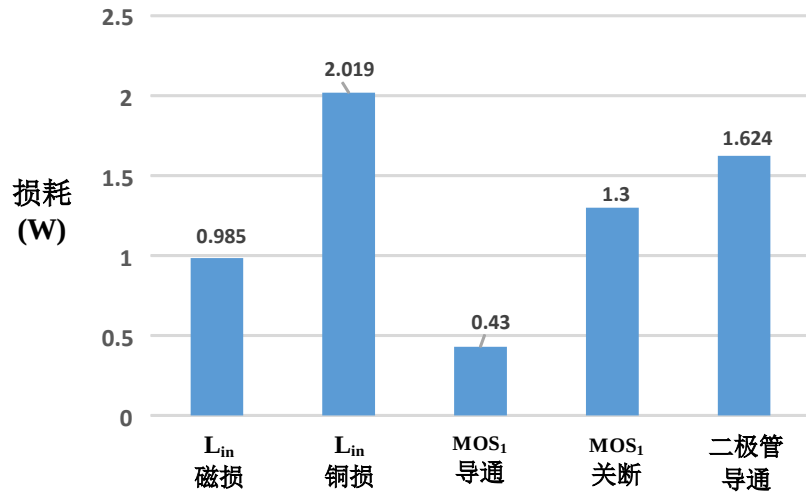


图 2-8: 使用 cascode 型器件电路损耗分布

从上述柱状图中可以得到，电感导通损耗以及二极管导通损耗所占比重较大，说明在实现 ZVS 的情况下，导通损耗成为限制效率提高的重要因素。临界模式软开关电路中，两种器件效率对比情况如图 2-9。由上述对 CRM 软开关的原理分析中可知，临界模式软开关的工作频率与 MOS 的寄生电容 C_{oss} 息息相关，当使用相同电感值时，enhancement 型器件 C_{oss} 更大，故为保证在使用相同电感时实现 ZVS，其工作频率较低。由于 cascode 结构是在高压 GaN HEMT 栅极串联 Si MOS，故栅极电容 C_{gs} 、 C_{gd} 会相对较大，造成较高的关断损耗，同时导通电阻较大，导通损耗也会较大。此外频率相比 enhancement 型器件电路较高，整体效率相对较低。

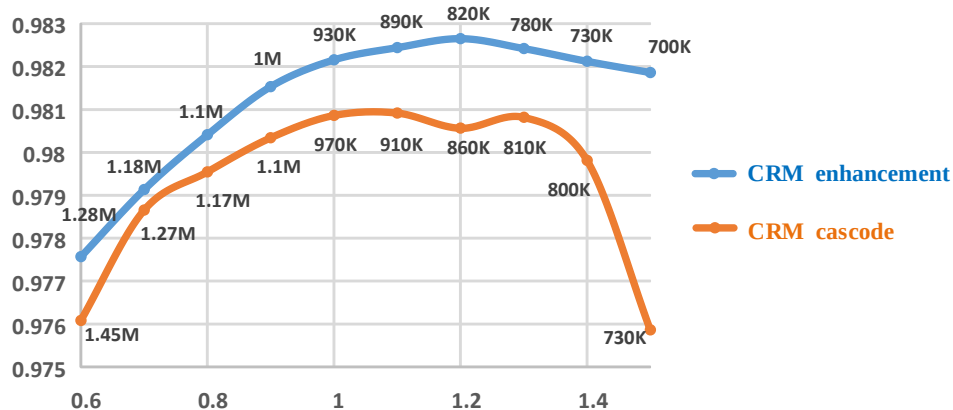


图 2-9: 使用 cascode 型器件电路损耗分布

第3章 连续模式有源箝位软开关 Boost 拓扑分析与效率对比

3.1 连续模式软开关 Boost 电路发展和研究现状

电力电子电路离不开开关管的导通与关断，由于实际器件存在寄生电感、寄生电容等寄生参数，所以在开关过程中必然会产生损耗。随着电路工作频率逐渐升高，开关损耗也呈线性增长趋势，故对软开关类型的电路的研究十分必要。其中连续模式软开关是常见而实用的软开关类型之一。在箝位软开关发展过程中大致经历了这样几个阶段：如图 3-1 所示。电路(a)在传统 Boost 电路中加入了额外的辅助管，谐振电感以及二极管，与主管 S_1 形成谐振回路，以实现 S_1 的零电压开通，然而此时辅助管 S_a 依然是硬开关，仍然存在开通损耗^[23]。在此基础上，(b)电路进行了改进，此时的 S_1 和 S_a 可以全部实现 ZVS，然而由于实际情况中二极管 D_1 存在寄生电容，其与谐振电感震荡会使得二极管 D_1 上存在很大的电压震荡，这对于二极管的使用和电路效率的提高都是不利的^[24]。所以(c)电路额外加入了续流二极管 D_c ，可以有效的减小二极管 D_1 上的震荡。然而这样会导致有一部分能量不流过谐振回路而损耗掉，不利于增大软开关范围，并且会增加额外的导通损耗^[25]。所以再度改进后得到(d)电路，在实现软开关的基础上最大程度的保留了谐振能量，并且有利于电路效率的提高^[26]。另外还有很多发展的分支,在这里暂时不一一列举了^[27-28]。

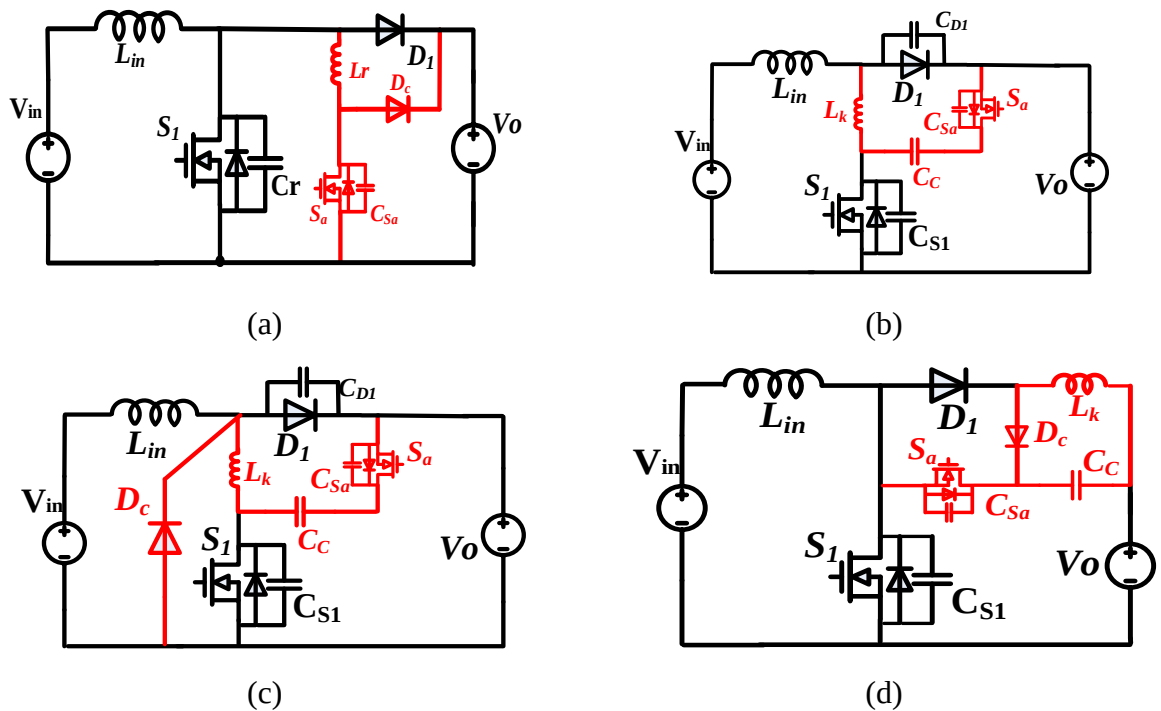


图 3-1: 箝位软开关部分发展历程

3.2 连续模式有源箝位软开关 Boost 电路工作原理

连续模式有源箝位软开关 Boost 电路拓扑如图 3-2 所示, 相比与传统 Boost 电路, 该电路增加了一个谐振回路, 由谐振电感 L_k , 辅助管 S_a , 续流二极管 D_c 和箝位电容 C_c 组成。其中谐振电感 L_k 为实现主管 ZVS 提供能量, 箝位电容电压 V_c 决定 L_k 的电流斜率, 辅助管 S_a 可以帮助实现谐振电容 C_c 的安秒平衡。

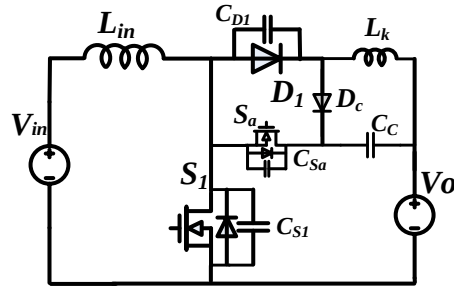


图 3-2: 箝位软开关 Boost 电路拓扑

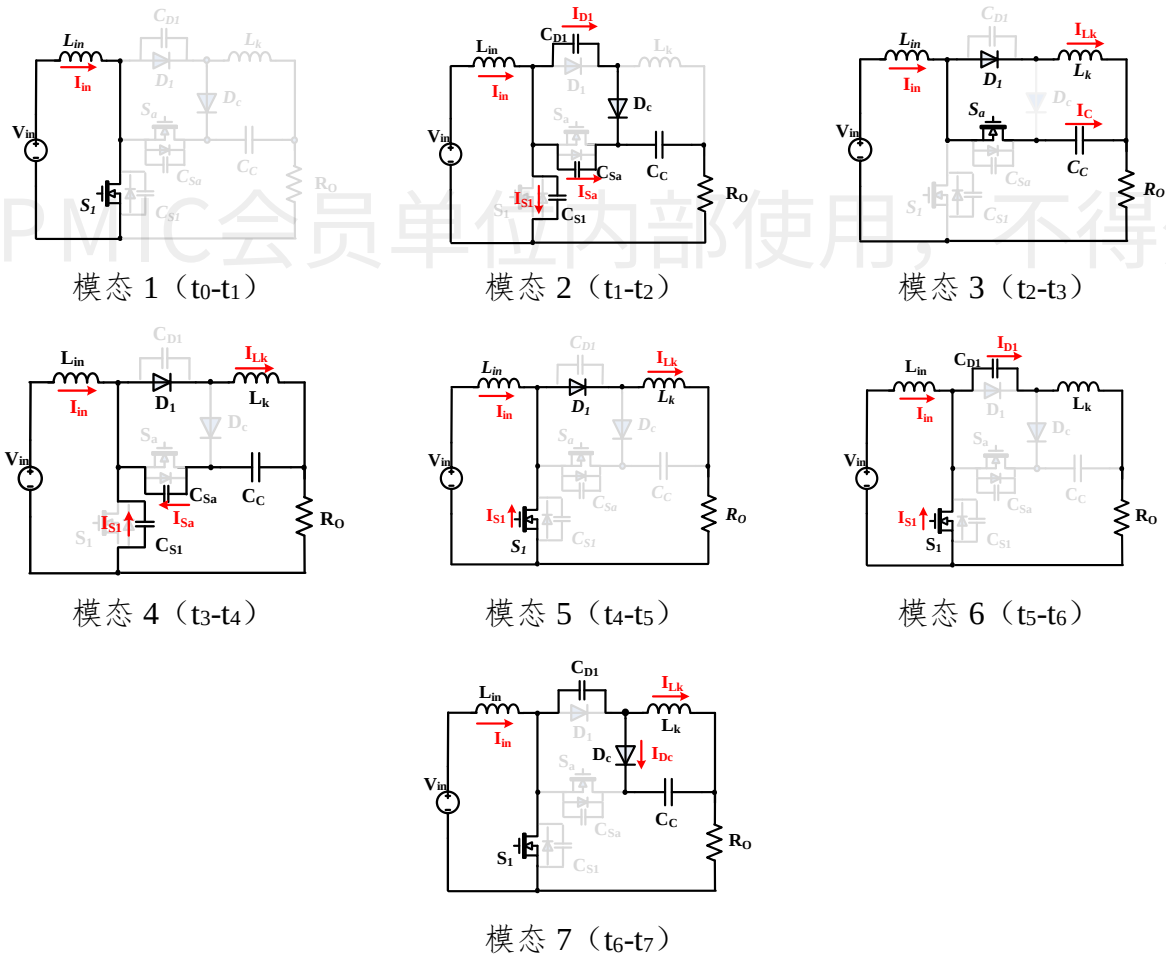


图 3-3: 电路开关周期模态图

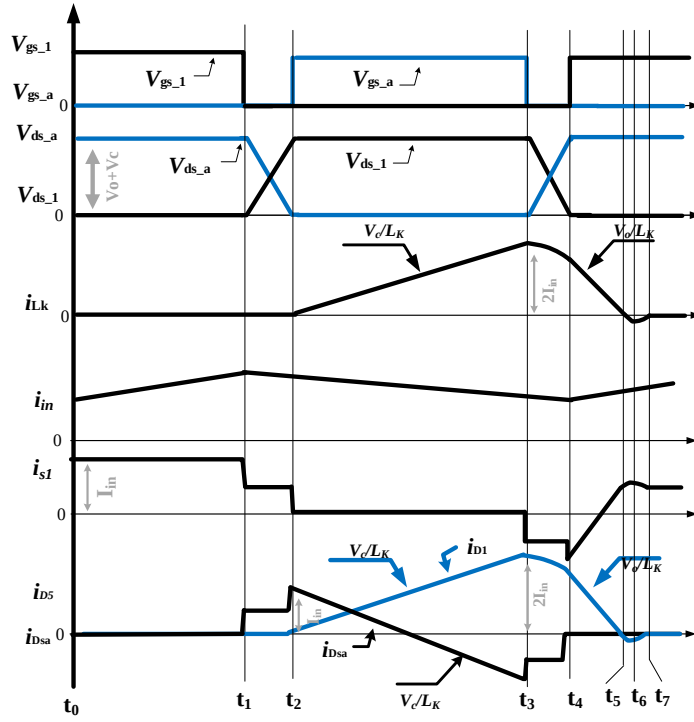


图 3-4: 电路开关周期波形图

图 3-3 为电路开关周期模态图。图 3-4 为电路开关周期波形图。具体开关过程模态分析如下。

模态 1 (t_0 - t_1): 当 S_1 开通, S_a 关断时, 主电感 L_{in} 充电, 其电流值从谷值 I_{in-v} 上升至峰值 I_{in-p} 。此时谐振回路不工作, 电流仅仅流通与 L_{in} 和 S_1 。辅管承受电压 V_c+V_o 。当主管 S_1 关断时此阶段结束, 主电感电流变化可以表示为式 3-1。

$$I_{in-p} = I_{in-v} + \frac{D(1-D)V_o}{L_{in} \cdot f_s} \quad (3-1)$$

模态 2 (t_1 - t_2): 当 S_1 关断, S_a 关断时, 主电感峰值电流 I_{in-p} 给开关管的寄生电容 C_{s1} 、 C_{sa} 分别充、放电, 并给二极管寄生电容 C_{D1} 进行放电。此阶段比较短, 故可认为此时主电感电流恒定为 I_{in-p} 。将 C_{s1} 充电至 V_o+V_c , 同时将 C_{sa} 放电至 0, 实现辅管的 ZVS 后, 此阶段结束。可表示为: 二极管放电电流式 3-2, 主管寄生电容充电电流式 3-3, 辅管寄生电容放电电流式 3-4。

$$I_{D1} = \frac{I_{in} \cdot C_{D1}}{(C_{D1} + C_{S1} + C_{Sa})} \quad (3-2)$$

$$I_{S1} = \frac{I_{in} \cdot C_{S1}}{(C_{D1} + C_{S1} + C_{Sa})} \quad (3-3)$$

$$I_{Sa} = \frac{I_{in} \cdot C_{Sa}}{(C_{D1} + C_{S1} + C_{Sa})} \quad (3-4)$$

模态 3 (t_2 - t_3): 当 S_1 上压降达到 $V_o + V_c$ 时, 二极管 D_1 和 S_a 的体二极管开始导通, 此时 S_a 实现 ZVS, 二极管 D_1 中电流 I_{D1} 开始增加。由于 C_c 值选取足够大, 其上电压 V_c 可近似认为恒定不变。故 I_{Lk} 以恒定速率 V_c/L_k 从 0 开始增加。在一个周期中需要满足 C_c 上的安秒平衡, 所以正向流过 C_c 的电流与反向的应该一致。在阶段开始时, 正向流过 C_c 电流为主电感电流峰值 I_{in-p} , 故在阶段结束时反向流过的电流也为 I_{in-p} , 而阶段结束时主电感电流下降至谷值 I_{in-v} , 所以 I_{Lk} (同时也是 I_{D1}) 峰值为 $I_{in-p} + I_{in-v} = 2I_{in}$, 忽略电压变化时间, 可以得到 $\frac{V_c}{L_k} * \frac{1-D}{f_s} = 2I_{in}$ 。所以此阶段可以表示为: 箝位电容电压式 3-5, 主电感电流式 3-6, 辅助电感电流式 3-7, 此阶段时间式 3-8。

$$V_c = \frac{2I_{in-p} \cdot L_k \cdot f_s}{1-D} \cdot \frac{L_{in}}{D \cdot L_k + L_{in}} - \frac{D \cdot L_k \cdot V_o}{D \cdot L_k + L_{in}} \quad (3-5)$$

$$i_{in}(t) = I_{in-p} - \frac{V_o + V_c - V_{in}}{L_{in}}(t - t_2) \quad (3-6)$$

$$i_{Lk}(t) = \frac{V_c}{L_k}(t - t_2) \quad (3-7)$$

$$\Delta t_2 = \frac{2I_{in} \cdot L_k}{V_c} \quad (3-8)$$

其中 f_s 为开关频率, D 为连续模式下的占空比, $\Delta t_2 = t_3 - t_2$ 。

模态 4 (t_3 - t_4): 当 I_{Lk} 达到 $2I_{in}$ 时, 流过箝位电容电流 I_c 达到反向的 I_{in-p} , 此时 S_a 关断, 进入模态 4。此时 I_{Lk} 续流流过 C_{sa} 、 C_{s1} , 分别为其充、放电, 此时电路可等效为图 3-5, 谐振电感 L_k 与寄生电容进行谐振, 此过程可表示为: 谐振电感电流式 3-9, 此阶段时间 3-10。

$$I_{Lk} = I_{in-v} + I_{in-p} \cdot \cos \omega(t - t_3) + \sqrt{\frac{C_{s1} + C_{sa}}{L_k}} \cdot I_{in-p} \cdot \sin \omega(t - t_3) \quad (3-9)$$

$$\Delta t_3 = \frac{1}{\omega} \cdot \left(\sqrt{\frac{C_{s1} + C_{sa}}{L_k}} \cdot \frac{V_o + V_c}{I_{in-p}} \right) \quad (3-10)$$

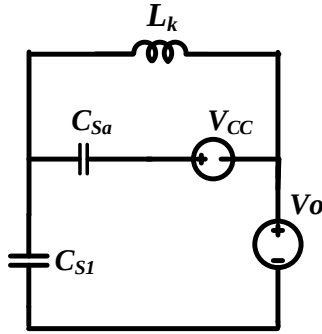


图 3-5: 模态 4 等效电路图

模态 5 (t_4 - t_5): 当 C_{s1} 的电压降低到 0 时, 实现主管 S_1 的 ZVS。此时电流流过 S_1 的体二极管, L_k 在 V_o 的作用下继续续流, 直到电感电流 I_{lk} 达到 0, 谐振电感电流可表示为:

$$I_{Lk} = 2I_{in} - \frac{V_o}{L_k} (t - t_4) \quad (3-11)$$

模态 6 (t_5 - t_6): 当 I_{lk} 降低至 0 后, 二极管 D_1 不再导通。此时二极管寄生电容 C_{D1} 与谐振电感进行谐振, D_1 上压降逐渐增加, 直到达到 $V_o + V_c$ 值。可以表示为: 二极管电流式 3-12, 二极管电压式 3-13。

$$I_{D1} = I_{Lk} = -V_o \cdot \sqrt{\frac{C_{D1}}{L_k}} \cdot \sin\left(\frac{t - t_5}{\sqrt{L_k \cdot C_{D1}}}\right) \quad (3-12)$$

$$V_{D1} = V_o \cdot \left[1 - \cos\left(\frac{t - t_5}{\sqrt{L_k \cdot C_{D1}}}\right) \right] \quad (3-13)$$

模态 7 (t_6 - t_7): 当 D_1 的压降达到 $V_o + V_c$ 时, 箝位二极管 D_c 导通, 电流从 L_k 通过 D_c 导通至 C_c , 电流以 V_c/L_k 的斜率下降, 到达 0 为止。此时 S_1 的体二极管导通, 为主管 S_1 的 ZVS 做好准备。此时流过箝位二极管的电流为式 3-14。

$$I_{DC} = I_{Lk}(t_6) - \frac{V_c}{L_k} \cdot (t - t_6) \quad (3-14)$$

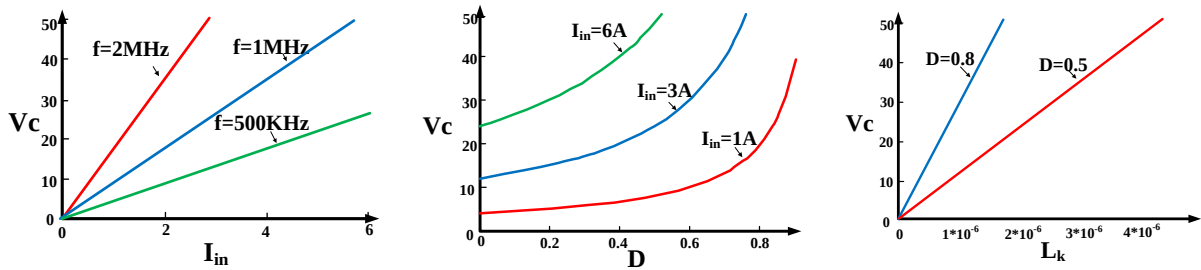
3.3 连续模式有源箝位软开关 Boost 参数设计

3.3.1 考虑箝位电容电压 V_c

在电路额外增加的箝位回路中, 箝位电容 C_c 的电压值 V_c 和输出电压 V_o 之和会加在开关管 S_1 、 S_a 和二极管 D_1 上, 增加器件的电压应力; 同时也会影响主管 S_1 的 ZVS 实现

程度，因此在设计谐振电感时需要考虑 V_c 值的大小。从公式 3-5 可以得知 V_c 与主电感电流峰值、谐振电感、占空比和工作频率有关。

当已确定输入电感 L_{in} 值，并且认为 L_{in} 值足够大以至于可以忽略输入电流震荡时，各因素对 V_c 值的影响情况如图 3-6 所示。图(a)显示了在固定占空比情况下， V_c 电压值随着输入电流的增大而线性增大，也会随着频率的提高而增大。图(b)显示了在固定工作频率情况下， V_c 值随着占空比的增大而增大，但最大占空比应小于 0.9，因为 V_c 值在 D 较大时会急剧增大。图(c)显示了在固定工作频率下， V_c 值会随着谐振电感 L_k 的增大而线性增大，也会随着占空比的增大而增大。



(a) 当 $D=0.5$ 时

V_c 随 I_{in} 的变化

(b) 当 $f=1\text{MHz}$ 时

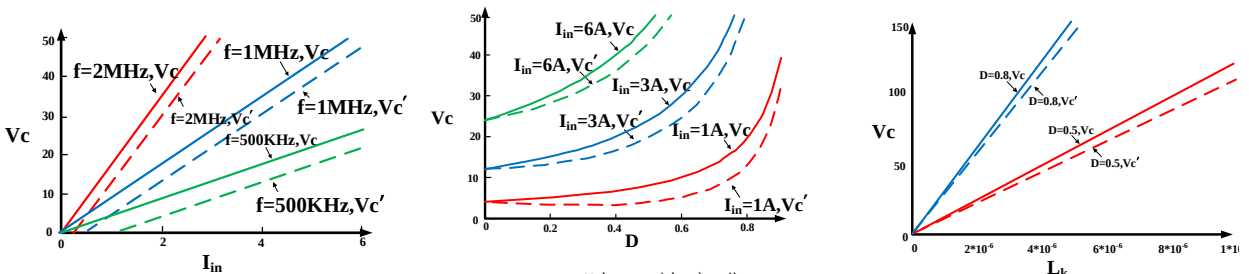
V_c 随 D 的变化

(c) 当 $f=1\text{MHz}$ 时

V_c 随 L_k 的变化

图 3-6: 不考虑输入电流 I_{in} 震荡时不同参数值对箝位电容电压 V_c 影响

考虑到实际情况下 L_{in} 不可能无限大，并会带来输入电流震荡的情况，所以考虑到其影响因素后如图 3-7。在图中我们用 V_c' 来表示考虑震荡之后的曲线， V_c 表示忽略时的曲线。图(a)为 V_c 随 I_{in} 变化曲线，图(b)为 V_c 随 D 变化曲线，图(c)中 V_c 为 L_k 的变化曲线。三张图中 V_c' 均小于 V_c ，说明在其他条件不变的情况下，输入电流震荡有助于减小箝位电容电压 V_c ，也就有利于减小开关管和二极管电压应力。



(a) V_c 随 I_{in} 的变化

(b) V_c 随 D 的变化

(c) V_c 随 L_k 的变化

图 3-7: 考虑输入电流震荡时不同参数值对箝位电容电压 V_c 影响

3.3.2 考虑软开关范围 I_{ZVS}

从上述的分析可以得知，辅助管 S_a 的软开关实现能量由主电感电流峰值 I_{in-p} 来提供，由于主电感值比较大，所以实现 S_a 的 ZVS 比较容易。对于主管而言，其实现 ZVS 能量由谐振电感 L_k 的电流峰值 $2I_{in}$ 提供。我们用能够实现软开关的主电感电流平均值的最小值 I_{ZVS} 来表示软开关范围，也就是说 I_{ZVS} 的值越小，软开关范围越大。由式 3-5 和式 3-9，我们可以得到 I_{ZVS} 的数学表达式为式 3-15。

$$I_{ZVS-P} = \frac{V_o \cdot \frac{L_{in}}{L_{in} + D \cdot L_k}}{Z_{r1} - \frac{2 \cdot f_s \cdot L_k}{1-D} \cdot \frac{L_{in}}{L_{in} + D \cdot L_k}} \quad (3-15)$$

从式 3-15 可知，软开关范围 I_{ZVS} 与谐振电感 L_k ，占空比 D ，工作频率 f_s ，输入电感 L_{in} 有关。首先我们假定 L_{in} 已定并且足够大，即忽略输入电感电流震荡，得到图 3-8。从图(a)中可以得到，在固定频率的情况下，谐振电感 L_k 增大会导致软开关范围增大，占空比 D 的增大会带来软开关范围的减小。图(b)中显示了在固定 L_k 的情况下，占空比 D 增大会导致软开关范围缩小，而且占空比应小于 0.9，否则软开关范围将急剧缩小，频率的提高也会导致软开关范围缩小。图(c)显示了在固定占空比的情况下，随频率增加软开关范围在减小。

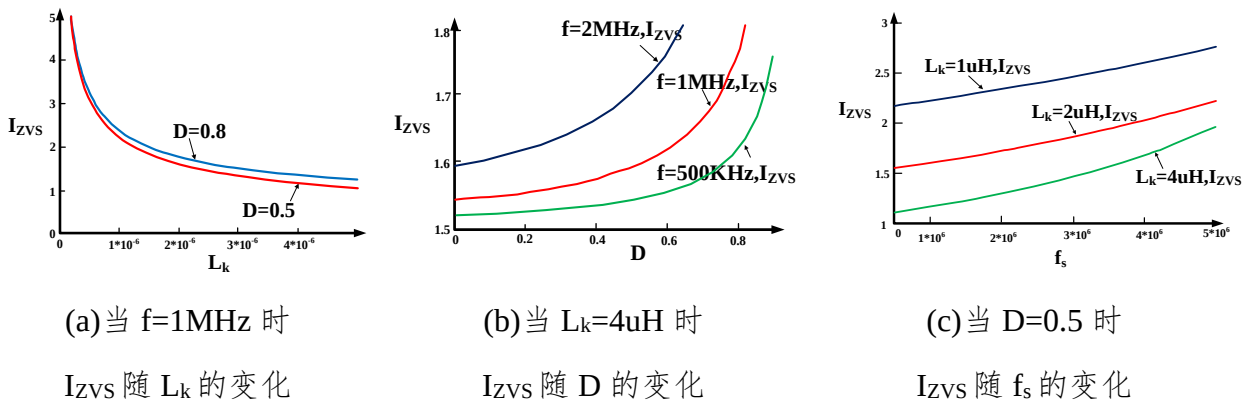
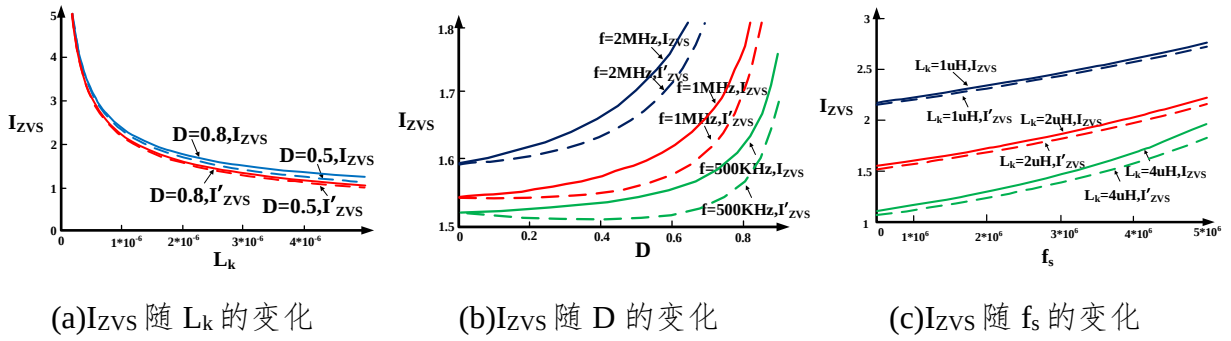


图 3-8: 不考虑输入电流震荡时不同参数值对软开关范围 I_{ZVS} 的影响

考虑到实际情况下 L_{in} 不会无限大，即需要考虑输入电流震荡，此时各参数影响如图 3-9。在图中我们用 I_{ZVS}' 来表示考虑震荡之后的曲线， I_{ZVS} 表示不考虑时的曲线。从图中可以得到，输入电流的震荡有利于减小 I_{ZVS} 的值，也就是有利于增大软开关范围。

图 3-9: 考虑输入电流震荡时不同参数值对软开关范围 I_{ZVS} 影响

我们在设计电路参数时,在确定使用开关管类型后,寄生电容即确定下来,电路参数设计主要是针对谐振电感 L_k 值。 L_k 的值增加会导致箝位电容电压 V_c 增加,增加二极管 D_1 和开关管 S_1 和 S_a 的电压应力;但 L_k 的值增大会增大软开关范围,有利于提高电路轻载效率,所以在设计参数时需要综合考虑。另外主电感 L_{in} 的值会影响主电感电流震荡幅度,较大幅度的震荡有利于减小箝位电容电压,有利于增大软开关范围,但其电流有效值会升高,导通损耗会增加,同样需要综合考虑。

3.4 连续模式软开关损耗分析

进行连续模式有源箝位软开关 Boost 电路实验时,具体电路参数如表 3-1。

输入电压/V	输出电压/V	工作频率/Hz
150	300	1M
主电感值/ μH	谐振电感值/ μH	输出功率/W
50	4.7	200-500

表 3-1: CCM 软开关电路实验 (分析) 参数

此时我们同样采用 enhancement 器件作为分析示例。以输出功率 300W 的情况为例,针对各部分进行损耗分析。

3.4.1 主电感损耗

此处主电感依然选用 PQ20-20 的磁芯,材料为 DMR50B,如图 2-5。采用 $0.1\text{mm}^2 \times 25$ 股的铜线,计算和上述相同:

$$B_{max} = \frac{L_{in} \cdot I_{in_max}}{n \cdot Ae} \quad (3-16)$$

$$\Delta B = \frac{L_{in} \cdot \Delta I}{n \cdot Ae} \quad (3-17)$$

故计算磁损为式 3-18：约为 0.844W

$$P_{\text{locore}} = P_v \cdot V_e \quad (3-18)$$

计算铜损如式 3-19，约为 1.297W

$$P_{\text{Lin_con}} = I_{\text{in_rms}}^2 \cdot \frac{\rho \cdot 2\pi R \cdot n}{\pi r^2 \cdot m} \cdot k_1 \cdot k_2 \quad (3-19)$$

k_1, k_2 分别为电阻的温度系数和交流系数，依据经验取：

$$k_1 = 1.3, k_2 = 3.5$$

总损耗约 0.844+1.297=2.588W

3.4.2 MOS 管损耗

计算导通损耗，考虑温度系数 k ，如式 3-20,主管和辅管的导通损耗约为 0.224W 和 0.077W。

$$P_{\text{con}} = I_{\text{rms}}^2 \cdot R_{\text{on}} \cdot k \quad (3-20)$$

计算开关损耗，首先计算电压下降时间式 3-21：

$$T_s = \frac{(V_o + V_c) \cdot C_{\text{gd}} \cdot R_{\text{drive}}}{V_t} \quad (3-21)$$

近似认为开关过程中电流电压线性变化，故计算如式 3-22：得到主管关断损耗约 1.236W，辅管关断损耗约 1.092W。

$$P_{\text{off}} = \frac{(V_o + V_c) \cdot I_{\text{max}} \cdot t_{\text{off}} \cdot f_s}{2} \quad (3-22)$$

得到主管总损耗 1.46W，辅管总损耗 1.169W。

当负载过轻时，由于电路特性，并不能实现完全的软开关，故会存在一定程度的硬开关，在计算开通损耗时同样认为电流电压线性变化，利用平均值计算，方法同关断损耗。

3.4.3 主二极管损耗

二极管采用 SiC 二极管 IDD06SG60C，图 2-6 为其 I-V 曲线图，我们从中可以拟合出式 3-23，用于计算其导通损耗。

$$V(t) = 0.27538 \cdot I(t) + 0.83475 \quad (3-23)$$

$$I_l(t) = \frac{I_{\text{lk_max}}}{(1-D) \cdot T_s} \cdot t \quad (3-24)$$

$$W_1 = \int_0^{(1-D) \cdot T} I(t) \cdot V(t) dt \quad (3-25)$$

$$I_2(t) = I_{lk_max} - \frac{I_{lk_max}}{t_s} t \quad (3-26)$$

$$W_2 = \int_0^{t_s} I(t) \cdot V(t) dt \quad (3-27)$$

$$P_{dcon} = \frac{W_1 + W_2}{T} \quad (3-28)$$

其中， t_s 为谐振电流续流时间，导通损耗约为 1.523W。

3.4.4 谐振电感损耗

谐振电感我们采用型号 EC23，材料 DMR51W 的磁芯进行实验。

当采用 7 匝线圈时，其对应的 B_{max} 和 ΔB 为式 3-29，式 3-30：

$$B_{max} = \frac{L_{in} \cdot I_{in_max}}{n \cdot Ae} \quad (3-29)$$

$$\Delta B = \frac{L_{in} \cdot \Delta I_{in}}{n \cdot Ae} \quad (3-30)$$

故计算磁损为式 3-31：约为 0.114W。

$$P_{locore} = P_v \cdot V_e \quad (3-31)$$

计算铜损如式 3-32，其中 k_1 , k_2 为导线温度系数与交流系数，得到铜损约为 0.449W

$$P_{Lin_con} = I_{in_rms}^2 \cdot \frac{\rho \cdot 2\pi R \cdot n}{\pi r^2 \cdot m} \cdot k_1 \cdot k_2 \quad (3-32)$$

总损耗约 0.114+0.391=0.505W

3.4.5 损耗分布

综合以上分析，使用 enhancement 结构器件，当输出功率为 300W 时电路总损耗为 $P_{total}=6.798W$ 。效率 $\eta=97.7\%$ 。电路损耗分布如图 3-10。可以看到和临界模式软开关相同，其中二极管导通损耗与主电感铜损所占比重最大，但此时主电感电流相对临界模式软开关较小，故铜损较小；二极管损耗基本相同，可见导通损耗所占比重较大；而此时 MOS 管关断损耗也比较大，所额外增加的辅助管的关断损耗较高，会导致损耗增加，效率降低。

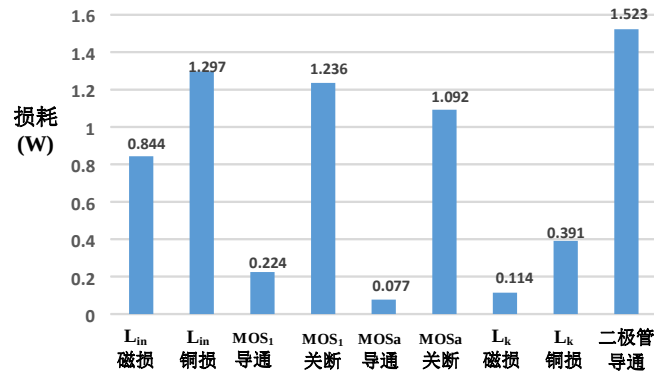


图 3-10: 使用 enhancement 结构器件电路损耗分布

计算结果与实验结果对比如图 3-11 所示，可以看到计算基本契合实验结果。

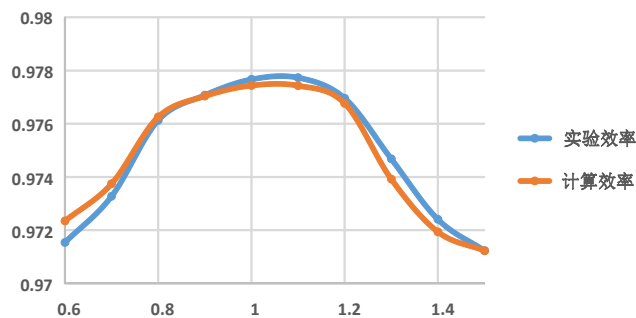


图 3-11: 实验结果与计算结果对比

当使用 cascode 结构器件时，计算方式同上，所得到损耗分布图 3-12。总损耗 $P_{total}=8.08W$ ，效率 $\eta=97.3\%$ 。损耗较大的点同样为主电感铜损、二极管导通损耗、以及 MOS 管的关断损耗。

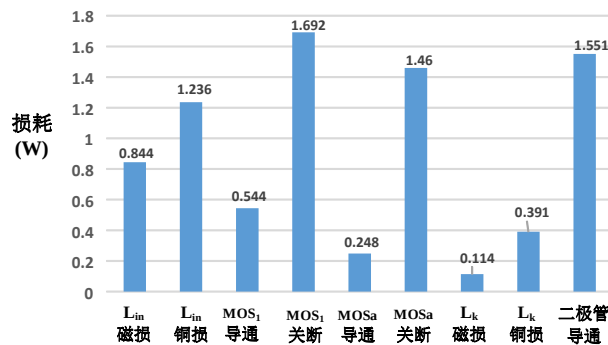


图 3-12: 使用 cascode 型器件电路损耗分布

在电路工作状态相同、其他元件相同的情况下，我们仅更换了 MOS 管进行对比，得到图 3-13。蓝色为使用 enhancement 结构器件时电路效率，橙色为使用 cascode 结构时电路效率。从上述损耗分布中可以得到，主电感 L_{in} 损耗、谐振电感 L_k 损耗、主二极管 D 损耗等基本相同，主要差距在于 MOS 管的导通损耗和关断损耗。由于 cascode 结构栅极串

联低压 Si MOS，其栅极电荷以及寄生电容 C_{gd} 、 C_{gs} 相对于 enhancement 型器件比较大，会产生比较大的关断损耗，同时 cascode 型器件导通电阻也比较大，会产生较大导通损耗，故效率会相比于 enhancement 型器件比较低。

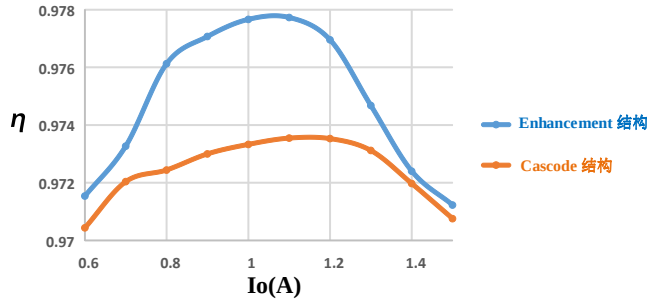


图 3-13: 不同结构器件电路效率对比

3.5 两种模式效率及损耗分析对比

连续模式和临界模式下的电路工作效率对比如图 3-14 所示，其中虚线的三角标志为使用 enhancement 型器件临界模式电路效率，实线的三角标志为使用 cascode 型器件临界模式电路效率，虚线的圆形标志为使用 enhancement 型器件连续模式电路效率，实线的圆形标志为使用 cascode 型器件连续模式电路效率。连续模式电路工作在恒频情况下，工作频率 1MHz；临界模式电路工作在变频情况下，在输出电流 $I_o=1A$ 时，工作频率约为 1MHz，在轻载时频率升高，在重载时频率降低。整体而言，临界模式软开关电路效率普遍高于连续模式软开关，效率高约 0.8%。连续模式下为保证实现恒频 ZVS，加入了辅助管以及谐振电感等元件，额外增加的辅助管和谐振电感损耗较大。虽然临界模式下主电感电流相对较大，损耗相较连续模式较大，但增大不大，故依然是临界模式软开关效率较高。同时，enhancement 型器件在两种模式电路中效率相比于 cascode 型器件都较高，因为其结构简单，有着较小的栅极寄生电容以及较小的导通电阻，导致关断损耗和导通损耗都相比较小。图 3-15 为使用 enhancement 结构器件、输出 300W 时不同电路损耗分布对比。从损耗分布对比的角度来看，连续模式是采用增加额外开关损耗的方式来减小电路的导通损耗，在目前的功率等级下，连续模式软开关模式在效率对比中并不存在优势，但随着功率的逐渐增大，电路中导通损耗的比重更加明显时，连续模式所能减小的损耗部分会逐渐增加，连续模式软开关电路的优势应当能够更明显的显现出来，这部分工作中有待验证。

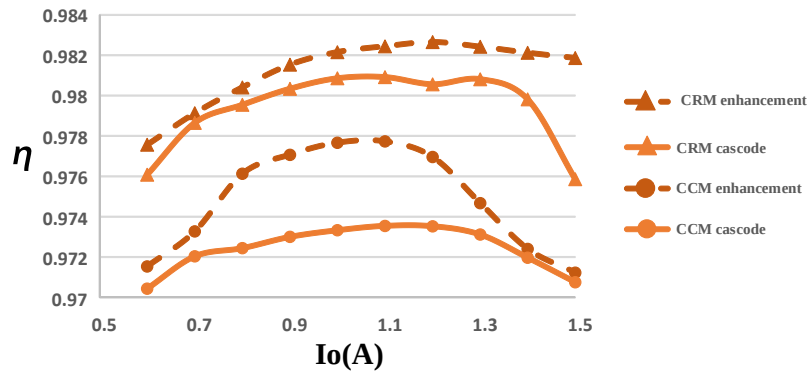


图 3-14: 连续模式与临界模式效率对比

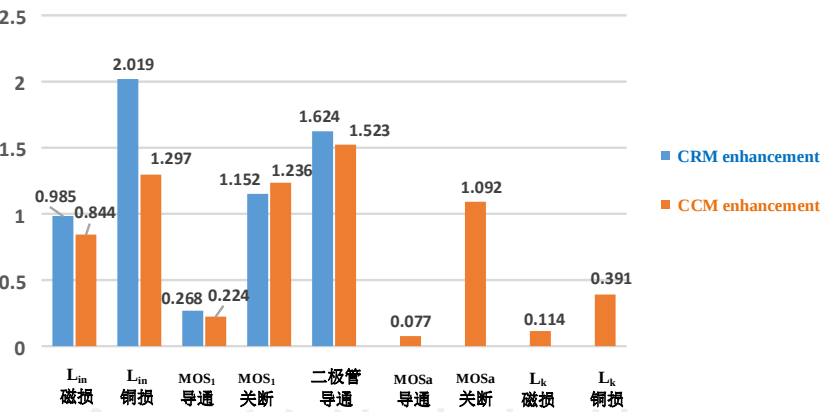


图 3-15: 连续模式与临界模式损耗分布对比

第4章 自举电容电压不稳定问题分析

4.1 电路介绍及电压不稳定现象

在所采用的连续模式箝位软开关 Boost 电路中，主管和辅管组成了一个半桥桥臂。其中上管驱动采用自举驱动电路，如图 4-1 所示。 S_1 、 S_a 组成半桥桥臂， D_B 为自举二极管， C_B 为自举电容。基本工作原理为：当下管（主管）导通时，桥臂中点电压下降至接近 0，此时 V_S 点电压约为 0V， V_B 点电压为 $(V_{cc}-V_{Db})$ ， V_{Db} 为自举二极管的导通压降。所以此时自举电容 C_B 上电压为 $(V_{cc}-V_{Db})$ ；当下管关断时，桥臂中点电压提升至 V_d ，即 $V_S=V_d$ ，由于自举二极管 D_B 不能反向导通，故 V_B 电压值会被箝位在 $(V_d+V_{cc}-V_{Db})$ 。所以采用此电路时，无论下管开通还是关断，上管驱动都可以保持稳定的驱动电压，也就是自举电容 C_B 的电压值可以保持稳定。

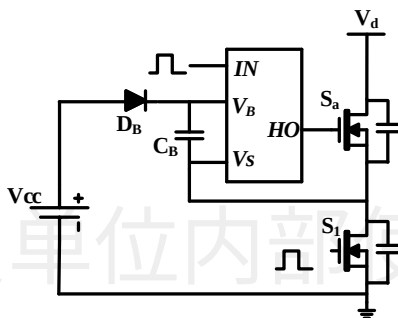


图 4-1：自举电路电路图

然而在实验中，在改变输出负载的情况下，自举电容电压会产生变化。图 4-2 展示了使用两种不同结构的 GaN 器件的电路中自举电容电压的变化情况，三角标志实线代表使用 cascode 管的电路中自举电容电压的理想值，而三角标志虚线代表的实际电压，在负载较轻的情况下有一定的升高，在较重载的情况下与理想基本一致。圆形标志实线代表使用 enhancement 管的电路中自举电容电压的理想值，而圆形标志虚线表示的实际电压在轻载情况下会提高，随着负载的升高电压先逐渐降低至接近理想电压，之后随着负载的继续增加再升高。整体表现不稳定，约有 2.5V 的抬升幅度，不利于 MOS 管的使用。下面我们来具体分析这一现象并提出解决方案。

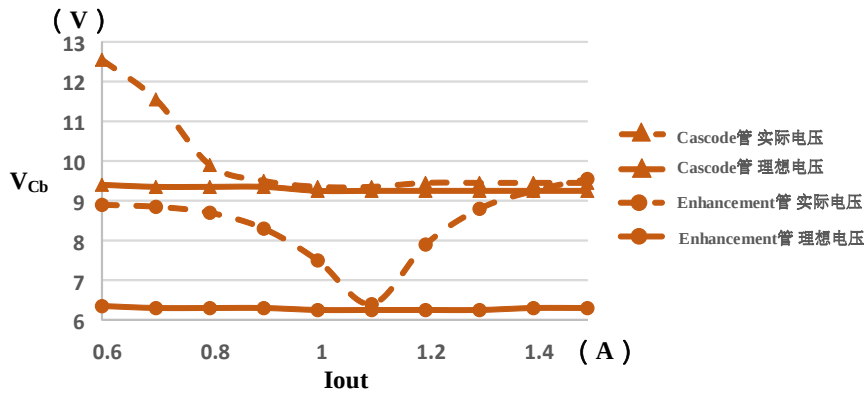


图 4-2: 自举电容电压不稳定现象

4.2 MOS 管等效模型

4.2.1 Cascode 结构 MOS 管等效模型

首先我们针对器件的静态特性进行建模和分析。图 4-3 为 cascode 结构 GaN HEMT 的静态 I-V 特性。在第一象限中，当 $V_{gs} \leq 2V$ 时，器件处于未开通的状态；当 $V_{gs} = 3V$ 时，器件未完全开通；当 $V_{gs} > 3V$ 时，器件完全开通，此时器件可等效为一个恒定电阻 I-V 表现出线性特性。如图 4-4(a)。在第三象限中，当 $V_{gs} \leq 2V$ 时，必须满足 $V_{ds} \leq -0.6V$ 时才会导通；当 $V_{gs} \geq 3V$ 时，器件反向导通，特性与第一象限基本对称^[29]。在 I_{ds} 电流反向导通时，MOS 管关断，故此时 $V_{gs} = 0V$ ，故其特性可等效为恒定电阻与恒定电压源的串联。考虑到 MOS 的寄生电容，等效模型如图 4-4(b)。

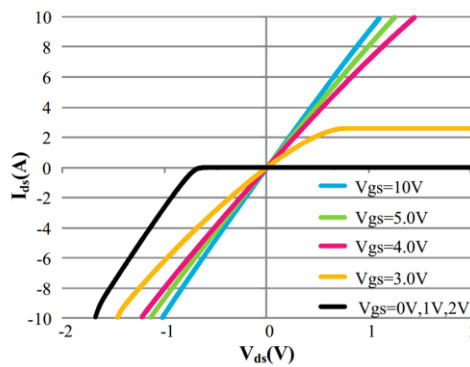
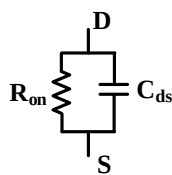
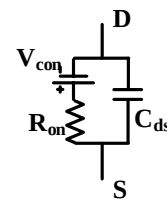


图 4-3: cascode 结构 I-V 特性曲线



(a) 第一象限



(b) 第三象限

图 4-4: cascode 结构 MOS 管等效模型

4.2.2 Enhancement 结构 MOS 管等效模型

图 4-5 为 enhancement 结构 I-V 特性曲线^[30-33], 从图中可以看到: 在 $V_{ds} > 0$ 的情况下, 当 $V_{gs} \leq 2V$ 时, 器件处于未开通状态; 当 $V_{gs} > 2V$ 时, 器件开通, I-V 曲线表现出线性特性, 即可等效为恒定的导通电阻。如图 4-6(a)。在 $V_{ds} < 0$ 的情况下, 当 $V_{gs} > 2V$ 时, 器件表现出和第一象限对称的特性, 可等效为恒定的导通电阻; 当 $V_{gs} \leq 2V$ 时, 其 I-V 曲线表现为只有当 V_{ds} 低于某一阈值 V_e 时才会表现出恒定电阻特性曲线, 该阈值 V_e 值随着驱动电压 V_{gs} 的降低而降低, 所以第三象限特性整体而言可以看作恒定电阻串联受控电压源, 电压源方向与 V_{ds} 相反, 其绝对值与驱动电压 V_{gs} 相关, 等效电路如图 4-6(b)。公式可表示为式 4-1。其中该电压源的值可以用驱动电压 V_{gs} 表示, 由图中可以得到表达式为式 4-2。

$$V_{ds} = I \cdot R_{on} + V_e \quad (4-1)$$

$$V_e = -0.9857 \cdot V_{gs} - 1.5571 \quad (4-2)$$

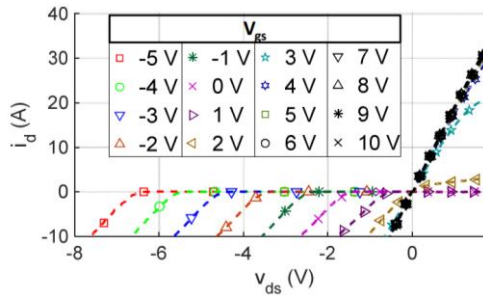
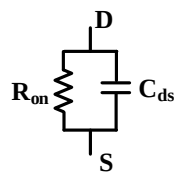
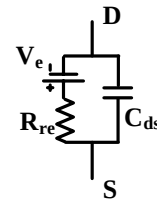


图 4-5: enhancement 结构 I-V 特性曲线



(a) 第一象限



(b) 第三象限

图 4-6: enhancement 结构 MOS 管等效模型

4.3 不稳定现象原因分析

我们以使用 enhancement 管的电路现象为例分析这一现象。如图 4-7, 我们根据不同

负载的情况进行了分类，蓝色为未实现软开关区域，绿色为临界实现软开关区域，红色是完全实现软开关并有余量的区域。下面我们根据这三个不同分类对现象进行分析。

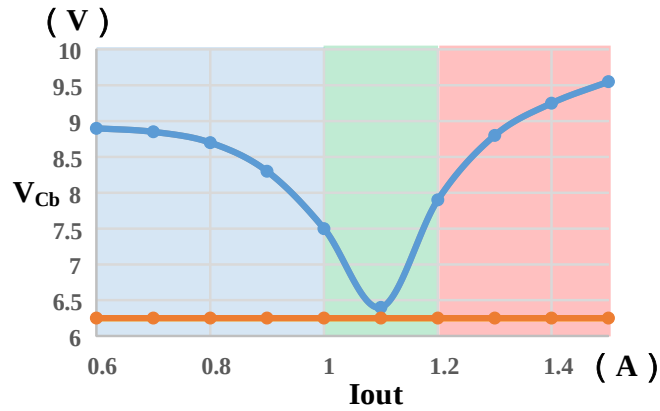


图 4-7: 驱动电容电压不稳定现象分类

4.3.1 未实现软开关区域分析

首先我们重新简述下电路中主管 ZVS 实现的过程。如图 3-3 中模态 4，在上管关断的死区时间内，利用谐振电感的电流 I_{lk} 和主电感 I_{in} 的电流差，给两个寄生电容分别充放电，从而减小主管开通时 V_{ds} 值，实现主管的 ZVS。在负载较小、电流差不足以实现完全软开关时，此时两个电流与开关状态的波形图如图 4-8。其中蓝色波形为主管（下管） V_{ds} 两端电压波形，深蓝色为主管驱动电压 V_{gs} 波形，绿色为谐振电感电流 I_{lk} 波形，紫色为主电感电流 I_{in} 波形。

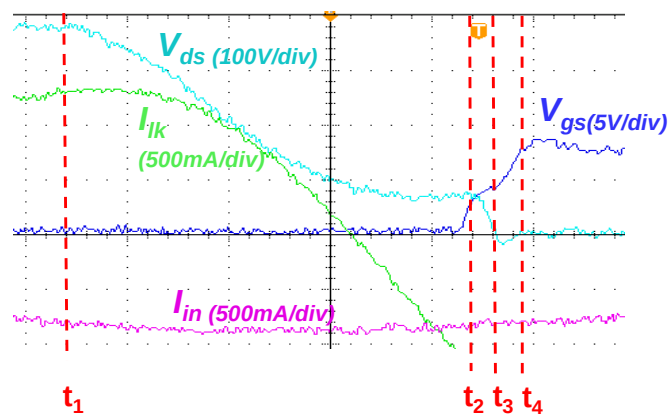


图 4-8: 未实现软开关关键波形图

模态 1 (t_1 - t_2): 如图 4-9(a)，此时谐振电感与开关管寄生电容进行谐振，主电感电流值降至最低点。谐振电感电流 I_{lk} 大于主电感电流 I_{in} ，此时电流为主电感电容放电， V_{ds} 电压降低，为 ZVS 做准备。

模态 2 (t_2-t_3): 如图 4-9(b), 由于 I_{lk} 在谐振过程中快速降低, 导致此时 $I_{lk} < I_{in}$, 即电流开始给主管寄生电容充电, 导致 V_{ds} 重新升高, 开通损耗增加。

模态 3 (t_3-t_4): 如图 4-9(c), 此时 V_{gs} 电压达到阈值电压, 主管逐渐开通, 但此时寄生电容上电压并未降至 0, 故会产生开通损耗, 等效于硬开通。电容 C_{s1} 上电压通过导通电阻 R_{on} 释放, 同时 C_{sa} 电压通过流过 L_{sa} 、 L_{da} 、 L_{s1} 、 R_{on} 、 L_{d1} 的回路充电。由于时间较短, 箝位电容电压 V_c 和输出电压 V_o 近似不变, 故此阶段中存在着回路总寄生电感 L_p 和 MOS 寄生电容 C_{sa} 、导通电阻 R_{on} 的谐振, 等效电路如图 4-10, 为方便计算, 我们列出了其频域等效电路如图 4-11。可以得到 i_l 频域表达式为式 4-2, 桥臂中点电压 U_A 频域表达式为式 4-3。由于表达式较复杂, 这里没有列出其时域表达式, 针对每一个负载点的具体数据可以解出每一点的表达式, 例如当负载输出电流 $I_o=0.7A$ 时, 表达式为式 4-4, 式 4-5。

$$i_l = \frac{\frac{V_d - U_{Csa}(0_-)}{s} + L \cdot i_l(0_-) - \frac{C_{s1} \cdot R_l \cdot U_{Cs1}(0_-)}{1 + sR_l \cdot C_{s1}}}{\frac{1}{sC_{sa}} + \frac{R_l}{1 + sC_{s1} \cdot R_l} + sL} \quad (4-3)$$

$$U_A = \frac{V_d}{s} - \frac{1}{sC_{sa}} \cdot i_l - \frac{U_{Csa}(0_-)}{s} \quad (4-4)$$

其中, $U_{Csa}(0_-)$ 为辅管寄生电容初始值, $U_{Cs1}(0_-)$ 为主管寄生电容初始值, $i_l(0_-)$ 为回路寄生电感初始值。

$$U_A = 69.12 \cdot e^{-2.993 \cdot 10^8 t} + 0.8812 \cdot e^{-4.878 \cdot 10^7 t} \cdot \cos(2.303 \cdot 10^9) + 6.83 \cdot e^{-4.878 \cdot 10^9 t} \cdot \sin(2.303 \cdot 10^9 t) \quad (4-5)$$

$$i_l = 0.0001 \cdot e^{-3.968 \cdot 10^9 t} + 2.068 \cdot e^{-2.993 \cdot 10^8 t} - 1.568 \cdot e^{-4.878 \cdot 10^7 t} \cdot \cos(2.303 \cdot 10^9 t) + 0.2356 \cdot e^{-4.878 \cdot 10^7 t} \sin(2.303 \cdot 10^9 t) \quad (4-6)$$

模态 4 (t_4-t_5): 如图 4-9(d), 谐振结束后, 主管电容 C_{s1} 电压降低至 0, 辅管电容 C_{sa} 电压上升至 $(V_o + V_c)$, 此时电流流过主管导通电阻, 辅管回路彻底关断。

由于自举电路的特性, 自举电容的电压一旦上升就会被箝位, 保持较高的电压。在模态 3 的谐振过程中桥臂中点电压会产生小于 0 的最低点, 所以造成自举电容电压上升, 此谐振最低点的值即为自举电容电压上升的电压值。如图 4-12。

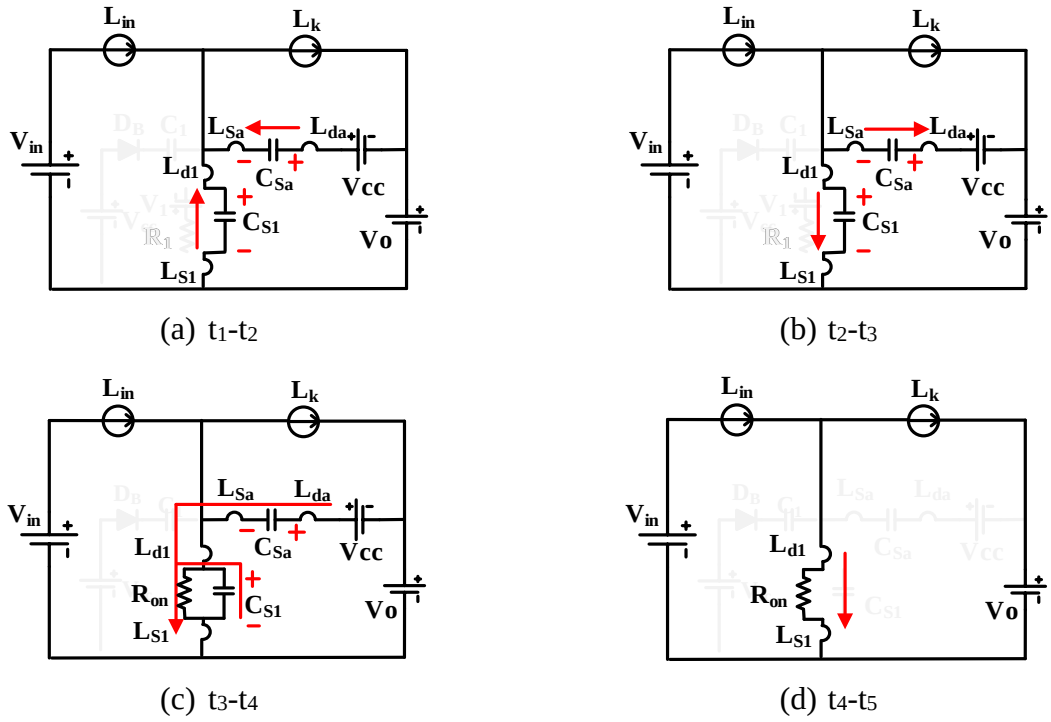


图 4-9 未实现软开关时等效电路图

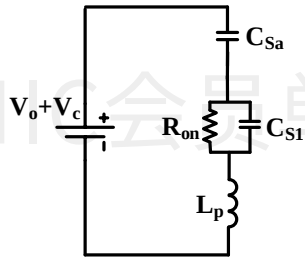


图 4-10: 模式 3 等效电路

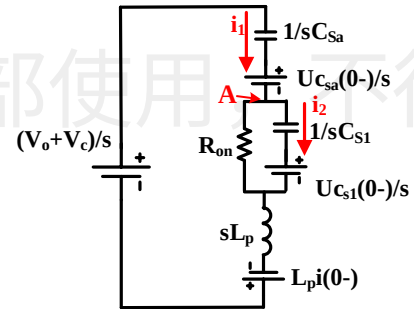


图 4-11: 模式 3 频域等效电路

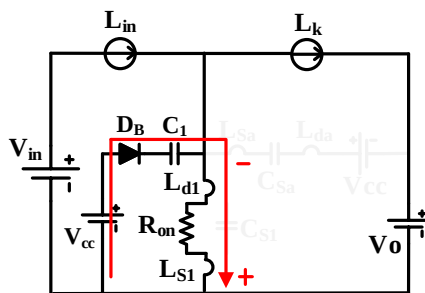


图 4-12: 自举电容电压升高过程电路

4.3.2 临界实现软开关区域分析

在临界实现 ZVS 的情况下，此时关键波形图如图 4-13。浅蓝色为主管 V_{ds} ，深蓝色为主管 V_{gs} ，绿色为谐振电感电流值 I_{lk} ，紫色为主电感电流 I_{in} 。在主管 V_{ds} 降低至 0 时， I_{lk} 与 I_{in} 的值恰好相等，也就是说提供 ZVS 的能量也刚好耗尽，不再有剩余。故此时的模态分析如下。

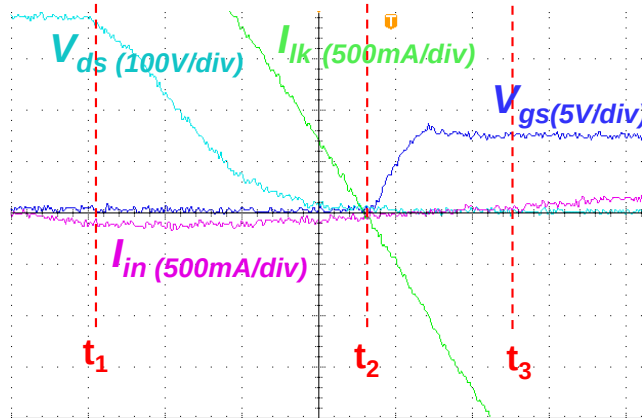


图 4-13: 临界实现软开关关键波形图

模态 1 (t_1 - t_2): 如图 4-14(a)，此时谐振电感与开关管寄生电容进行谐振，主电感电流值降至最低点。谐振电感电流 I_{lk} 大于主电感电流 I_{in} ，此时电流为主电感电容放电， V_{ds} 电压降低，为 ZVS 做准备。

模态 2 (t_2 - t_3): 如图 4-14(b)，当主管实现 ZVS 的同时，谐振电感电流等于主电感电流，故此时主管彻底导通，并且流过正向电流，辅管回路完全关断。

在此过程中不存在桥臂中点电压小于 0 的情况，故理论上自举电容电压不会上升。在图中已依然有少许上升，可能是因为并不是完全临界的负载点，依然有着未实现软开关或完全实现软开关的影响。

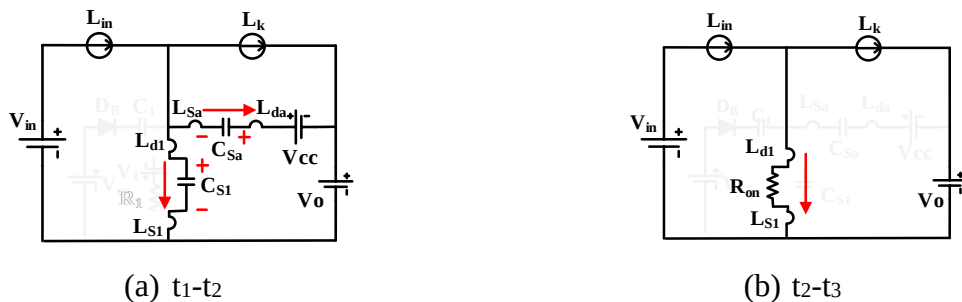


图 4-14: 临界软开关时等效电路图

4.3.3 完全实现软开关区域分析

在完全实现 ZVS 的情况下，此时关键波形图如图 4-15。浅蓝色为主管 V_{ds} ，深蓝色为主管 V_{gs} ，绿色为谐振电感电流值 I_{lk} ，紫色为主电感电流 I_{in} 。在主管 V_{ds} 降低至 0，即已经实现 ZVS 时，谐振电感电流 I_{lk} 仍然大于主电感电流 I_{in} ，此时主管仍处于关断状态，并流过反向电流。故此时的模态分析如下。

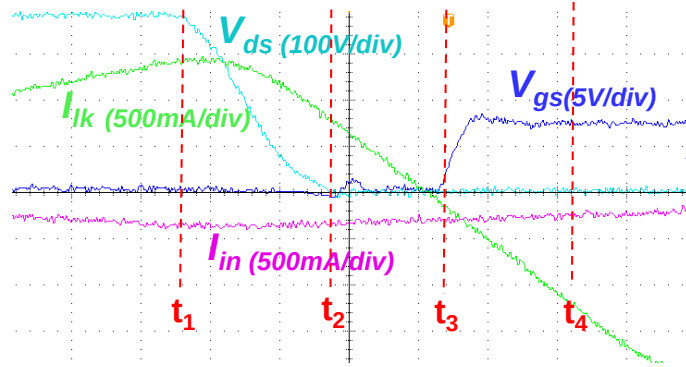


图 4-15：完全实现软开关关键波形图

模态 1 (t_1 - t_2): 如图 4-16(a)，此时谐振电感与开关管寄生电容进行谐振，主电感电流值降至最低点。谐振电感电流 I_{lk} 大于主电感电流 I_{in} ，此时电流为主电感电容放电， V_{ds} 电压降低，为 ZVS 做准备。

模态 2 (t_2 - t_3): 如图 4-16(b)， t_2 时刻，主管 V_{ds} 降低至 0，但此时谐振电感 I_{lk} 依然大于主电感电流 I_{in} ，故在这个阶段，对主管而言， $V_{ds} \leq 0$ ， $I_{ds} \leq 0$ ，即电路工作在第三象限。故此时 MOS 管模型可以用图 4-6(b)表示，即等效为导通电阻与受控电压源串联。受控电压源导致桥臂中点电压降低，使自举电容电压升高。升高的值即为受控电压源电压值。电压值可表示为式 4-1。此时 V_{gs} 关断，即 $V_{gs}=0$ ，可以得到串联电压源电压 $V_e=-1.5571V$ 。则此时对下管而言，其 I-V 表达式为式 4-7。其产生的负向电压值即为自举电容电压上升的值。

$$V_{ds} = -0.24 \cdot I_{ds} - 1.5571 \quad (4-7)$$

模态 3 (t_3 - t_4): 如图 4-16(c)，当主管开通后，开关管可等效为恒定电阻，此时主管流过正向电流，辅管回路完全关断。

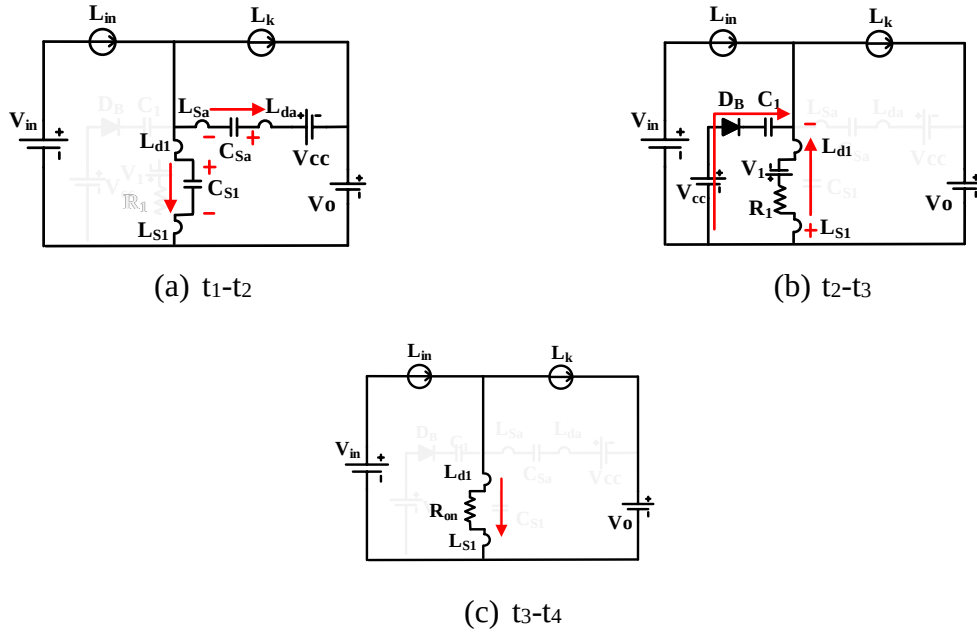


图 4-16: 完全软开关时等效电路图

4.3.4 分析总结与对比

综上所述, 当未完全实现软开关时, 存在部分硬开关开通情况, 此时开关管寄生电容剩余电荷通过沟道放电, 产生较高的 di/dt 。由于回路中存在寄生电感, 较高的 di/dt 在电感的影响下会使桥臂中点产生负压, 进而使自举电容电压升高, 上管驱动电压升高; 当临界实现软开关时, 主管 V_{ds} 电压降低至 0 的同时, 提供 ZVS 的电流也恰好降低至 0, 故此时开关管导通, 不存在中点电压产生负压的情况, 自举电容电压基本保持不变; 当已实现软开关并且能量有一定余量时, 在主管 V_{ds} 电压降至 0 后, 用于实现 ZVS 的反向电流依然存在, 故此时 MOS 工作在第三象限。由于 enhancement 型器件独特的特性, 当工作在第三象限时, 可等效于受控电压源与恒定电阻的串联, 由于电压源的存在会使得桥臂中点产生负压, 进而使得自举电容电压升高, 上管驱动电压升高。

当使用 cascode 开关管时, 在未实现软开关和临界实现软开关时分析同 enhancement 管; 在已实现软开关并有余量时, 同样会存在开关管工作在第三象限的阶段, 但其第三象限特性等效于恒定电阻与恒定电压源, 故桥臂中点会产生固定负压, 故此时自举电容电压恒定。

分析结果与实验结果对比如图 4-17, 分析计算结果基本符合实验情况。

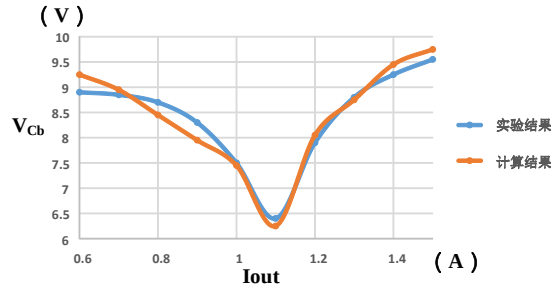


图 4-17: 分析结果与实验结果对比情况

4.4 解决方案

自举电容的电压不稳定会导致上管驱动电压不稳定, 很容易升高超过栅极驱动电压上限, 导致更大的漏电流或直接损坏 MOS 管, 故我们需要减小或消除这种现象。为此我们在自举驱动回路加入串联稳压电路, 用于稳定传输到开关管驱动端的电容电压, 电路如图 4-18。电容 C_B 为原自举电路中自举电容, 但此时 C_B 并不直接为驱动芯片提供电压, 而是通过串联稳压电路后由电容 C_{B1} 来提供。串联稳压电路由调整管 T_B , 限流电阻 R_B , 稳压管 D_{B1} 和电容 C_{B1} 组成。该电路主回路由调整管 T_B 与负载相串联构成, 且 T_B 工作在线性状态, 故称为串联稳压电路。工作时由稳压管 D_{B1} 将电压稳定住, 再减去三极管 BE 级导通压降, 即为输出稳定电压。电容 C_B 的电压变化全部加在三极管 T_B 的 CE 级之间, 这样为驱动芯片提供电压的是稳定之后的电容 C_{B1} , 上管驱动即可保持稳定。加入串联稳压电路前后上管电压对比如图 4-19。加入稳压电路后自举驱动电容电压基本保持稳定, 消除了原本的不稳定现象。

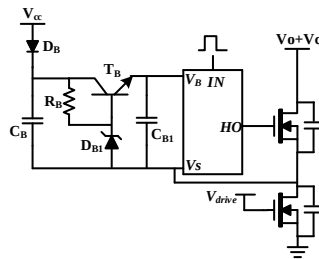


图 4-18: 加入串联稳压电路后的自举驱动电路

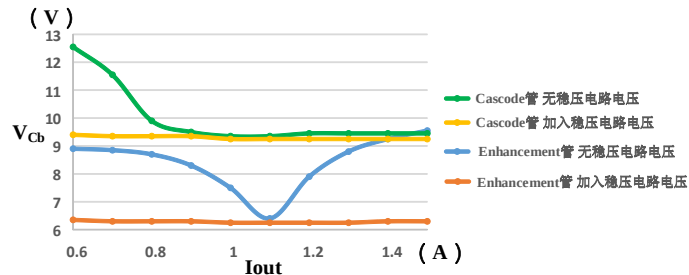


图 4-19: 加入串联稳压电路前后自举电容电压对比

第5章 总结与展望

GaN 器件作为一种新型的宽禁带器件,有着优越的材料性能。GaN 功率器件相比于 Si 器件而言,有着更小的寄生电容、更少的栅极电荷,更适合工作在高频情况下,进而可以帮助减小无源元件体积,降低成本。但针对 GaN 在电路中的研究多数集中在临界模式软开关,故在本文中将临界模式软开关与连续模式软开关进行对比,分析高频情况下更适合 GaN 的工作模式。

本文首先将两种结构的 GaN 器件应用在研究较多的临界模式软开关电路中,并进行损耗分析。之后重点分析了一种连续模式有源箝位软开关电路,对其工作原理、设计要点等进行了介绍,并且与临界模式软开关进行对比。相比而言,在主电感损耗、主管关断损耗等方面,连续模式电路优于临界模式;但在额外增加的损耗部分,例如辅助管关断损耗、谐振电感损耗等,所增加的损耗量较大,超过了主电感、主管所减少的损耗,导致在 1MHz、300W 左右工作情况下,连续模式有源箝位软开关电路效率略低于临界模式软开关电路,体现不出优势。在继续增大功率的情况下理论上可以体现出连续模式的优势,此部分有待后续工作验证。

连续模式箝位软开关电路中桥臂上管驱动采用自举驱动,其自举电容电压随着软开关实现程度的不同,而产生了不同程度的抬升。文中针对这一现象进行了分析:在软开关未实现阶段时存在极高的 di/dt ,通过回路寄生电感时会使桥臂中点产生负压,进而导致自举电容电压上升,由于自举电路的特性,电容电压升高后被二极管箝位,故电容会保持较高的电压值;在临界实现软开关时,不存在桥臂中点负压情况,即电压不会升高;在完全实现软开关并有余量时,MOS 管会有工作在第三象限的阶段,由于 enhancement 型器件的静态特性等效于受控电压源与恒定电阻的串联,会导致桥臂中点出现负压,进而抬升自举电容电压。我们通过在自举电路中加入串联稳压电路成功的消除了这一现象。

文中还存在着一些不足之处。首先对于关断损耗采用的是统一的计算方式,而 cascode 结构由于存在串联部分,用普通的计算方式可能准确性不高,需要针对其结构进行详细分析与计算;在计算谐振电感磁损时,采用的新材料 DMR 51W 并没有完整的磁损曲线,采用所给出的个别点来近似模拟其磁损曲线,也可能不太准确等等。

进一步的工作展望有:

1. 在目前的实验中,并不能体现出连续模式软开关电路的优势,进一步可以改变输

入输出增益比、输出功率、工作频率等进行实验，探究在何等情况下连续模式软开关更具有优势。

2. 针对 **cascade** 结构进行详细的开关过程分析，并根据过程来详细计算较准确的开通和关断损耗。
3. 与磁芯厂家进行沟通，或通过自己进行实验，得到较准确的 **DMR 51W** 磁损曲线，用于较准确的计算损耗。铜损方面交流系数和涡流损耗等可通过仿真等进行验证分析。
4. 在自举电容电压不稳定现象中，分析数据结果仍有部分不能完美契合，可能由于测量条件限制，导致测量不太稳定；也有可能分析参数未能完全正确，有待进一步进行验证分析。

仅限PMIC会员单位内部使用，不得外传

参考文献

- [1] 张兴柱. 开关电源功率变换器拓扑与设计[M]. 中国电力出版社, 2010.
- [2] 秦海鸿, 董耀文, 张英,等. GaN 功率器件及其应用现状与发展[J]. 上海电机学院学报, 2016, 19(4):187-196.
- [3] 何亮, 刘扬. 第三代半导体 GaN 功率开关器件的发展现状及面临的挑战[J]. 电源学报, 2016, 14(4):1-13.
- [4] Huang X, Liu Z, Li Q, et al. Evaluation and Application of 600 V GaN HEMT in Cascode Structure[J]. IEEE Transactions on Power Electronics, 2014, 29(5):2453-2461.
- [5] 佚名. 第三代半导体 SiC 技术的崛起[J]. 中国有色冶金, 2015(2):17-17.
- [6] Liu Z, Huang X, Lee F C, et al. Simulation model development and verification for high voltage GaN HEMT in cascode structure[C]// Energy Conversion Congress and Exposition. IEEE, 2013:3579-3586.
- [7] Huang X, Li Q, Liu Z, et al. Analytical Loss Model of High Voltage GaN HEMT in Cascode Configuration[J]. IEEE Transactions on Power Electronics, 2014, 29(5):2208-2219.
- [8] Zhang W, Huang X, Lee F C, et al. Gate drive design considerations for high voltage cascode GaN HEMT[C]// IEEE Applied Power Electronics Conference and Exposition - Apec. IEEE, 2014:1484-1489.
- [9] 侯世谦. GaN 功率器件调研[J]. 魅力中国, 2015(38).
- [10] 梁春广, 张冀. GaN——第三代半导体的曙光[J]. Journal of Semiconductors, 1999, 20(2):89-99.
- [11] 倪磊, 习毓, 惠东. SiC 材料器件的发展及应用[J]. 民营科技, 2015(8):54-54.
- [12] Ikeda N, Li J, Yoshida S. Normally-off operation power AlGaIn/GaN HFET[C]// The, International Symposium on Power Semiconductor Devices and Ics, 2004. Proceedings. Ispsd. IEEE, 2004:369-372.
- [13] Niiyama Y, Ootomo S, Kambayashi H, et al. Normally-Off Operation GaN Based MOSFETs for Power Electronics[C]// Compound Semiconductor Integrated Circuit Symposium. IEEE, 2009:1-4.
- [14] Marcon D, Saripalli Y N, Decoutere S. 200 mm GaN-on-Si epitaxy and e-mode device technology [C] . Proceedings of the 2015 IEEE International Electron Devices Meeting (IEDM) ,2015:16.12.11-16.12.14.
- [15] Huang Xiucheng, Liu Zhengyang, Lee F C, et al. Characterization and enhancement of high-voltage cascode GaN devices [J] . IEEE Trans.Electron Devices.,2015,62 (2) :270- 277.
- [16] Huang S, Jiang Q, Wei Ke, et al. High-temperature lowdamage gate recess technique and ozone-assisted ALDgrown Al₂O₃ gate dielectric for high-performance normallyoff GaN MIS-HEMTs [C] . Proceedings of the 2014 IEEE International Electron Devices Meeting (IEDM) ,2014:17.4.1. -17.4.4.

- [17] Tang Cen, Xie Gang, Sheng Kuang. Enhancement-mode GaN-on-Silicon MOS-HEMT using pure wet etch technique [C] . Proceedings of the Power Semiconductor Devices & IC's (ISPSD) ,2015:333-336
- [18] Wang Maojun, Wang Ye, Zhang Chuan, et al. 900 V/1.6 mΩ·cm² normally off Al₂O₃/GaN MOSFET on silicon substrate [J] . IEEE Trans. Electron Devices.,2014,61 (6) :2035- 2040
- [19] Yao Yao, He Zhiyuan, Yang Fan, et al. Normally-off GaN recessed-gate MOSFET fabricated by selective area growth technique [J] .Applied Physics Express,2014,7 (1) :0165021- 0165024.
- [20] Liu Z, Lee F C, Li Q, et al. Design of GaN-based MHz totem-pole PFC rectifier[C]// Energy Conversion Congress and Exposition. IEEE, 2015:799-807.
- [21] Liu Z, Huang Z, Lee F C, et al. Operation analysis of digital control based MHz totem-pole PFC with GaN device[C]// Wide Bandgap Power Devices and Applications. IEEE, 2016:281-286.
- [22] Liu Z, Lee F C, Li Q, et al. Design of GaN-based MHz totem-pole PFC rectifier[C]// Energy Conversion Congress and Exposition. IEEE, 2015:799-807.
- [23] Hua G, Leu C S, Jiang Y, et al. Novel zero-voltage-transition PWM converters[J]. IEEE Transactions on Power Electronics, 2002, 9(2):213-219.
- [24] Cunha Duarte C M D, Barbi I. A new family of ZVS-PWM active-clamping DC-to-DC boost converters: analysis, design, and experimentation[J]. Power Electronics IEEE Transactions on, 1997, 12(5):824-831.
- [25] Jovanovic M M. A technique for reducing rectifier reverse-recovery-related losses in high-voltage, high-power boost converters[C]// Applied Power Electronics Conference and Exposition, 1997. Apec '97 Conference Proceedings. IEEE Xplore, 1997:1000-1007 vol.2.
- [26] Wu X, Zhang J, Ye X, et al. Analysis and Derivations for a Family ZVS Converter Based on a New Active Clamp ZVS Cell[J]. IEEE Transactions on Industrial Electronics, 2008, 55(2):773-781.
- [27] Wang C M. Novel zero-Voltage-transition PWM DC-DC converters[J]. IEEE Transactions on Industrial Electronics, 2006, 53(1):254-262.
- [28] Xu D M, Zhang J M, Wu X H, et al. A novel single-phase active-clamped ZVT-PWM PFC converter[C]// Applied Power Electronics Conference and Exposition, 2000. Apec 2000. Fifteenth IEEE. IEEE Xplore, 2000:456-459 vol.1.
- [29] Jones E A, Wang F, Costinett D, et al. Characterization of an enhancement-mode 650-V GaN HFET[C]// Energy Conversion Congress and Exposition. IEEE, 2015:400-407.

- [30] Passmore B, Storkov S, Mcgee B, et al. A 650 V/150 A enhancement mode GaN-based half-bridge power module for high frequency power conversion systems[C]// Energy Conversion Congress and Exposition. IEEE, 2015:4520-4524.
- [31] Sørensen C, Fogsgaard M L, Christiansen M N, et al. Conduction, reverse conduction and switching characteristics of GaN E-HEMT[C]// IEEE, International Symposium on Power Electronics for Distributed Generation Systems. IEEE, 2015:1-7.
- [32] Lu J, Bai H, Brown A, et al. Design consideration of gate driver circuits and PCB parasitic parameters of paralleled E-mode GaN HEMTs in zero-voltage-switching applications[C]// IEEE Applied Power Electronics Conference and Exposition. IEEE, 2016:529-535.
- [33] Jones E A, Wang F, Costinett D, et al. Cross conduction analysis for enhancement-mode 650-V GaN HFETs in a phase-leg topology[C]// Wide Bandgap Power Devices and Applications. IEEE, 2016:98-103.

仅限PMIC会员单位内部使用，不得外传

攻读硕士学位期间所发表的论文

第一作者

Shaokai Liu and Xinke Wu, "A 1-MHz ZVS Boost DC-DC converter with active clamping using GaN power transistors," 2016 IEEE 8th International Power Electronics and Motion Control Conference (IPEMC-ECCE Asia), Hefei, 2016, pp. 557-562.

第二作者

Haijun Lv, Shaokai Liu, Xinke Wu. "A High Power Buck Derived Non-isolated AC/DC LED Driver," in IEEE 2nd International, Future Energy Electron. Conf. (IFEEC), Nov. 2015. pp. 1-6.
(EI 收录)

仅限PMIC会员单位内部使用，不得外传

致谢

这篇论文的结束，标志着研究生生活的终结，标志着在浙大 7 年时光的尾声，也标志着 20 多年学生生涯的落幕。能够来到浙大的我是幸运的，这里丰富的活动多彩了我的青春，真挚的友谊温暖了我的岁月；能从浙里毕业的我也是幸运的，老师的谆谆教导让我受益匪浅，同窗的热心指点助我一路前行。回首往昔，我思绪纷飞，此刻最想说的莫过感谢二字。

感谢吴新科老师三年前收我入门，三年来的不吝赐教，也许我最终也没能学到老师科研精神的精髓，但他严肃的科学态度，严谨的治学精神，精益求精的工作作风，仍然深深地感染和激励着我。感谢董老师对我学习上的指导，精神矍铄、干劲十足的董老师虽已退休，但仍是我们的年轻人的典范，祝您健康长寿！感谢周大姐在实验室事务上对我的帮助，您是我们的科研生活的坚实后勤保障，祝您家庭幸福，万事如意！

感谢陈慧师姐和秦伟、黄华高师兄，博士师兄师姐扛起了实验室的大旗。感谢同级的吕海军、蓝桂星、董泽政以及周宗杰、张思亮、施鸿波、康培林等师弟师妹，感谢大家无私的帮助，共同组成博蓝这个大家庭。特别感谢杨金旭、赵臣凯、张乐、邱凯，能够一起分享欢乐和痛苦是一种缘分，也许离去之后大家也会各奔东西，相见甚难，但相信水长流，情常在。

感谢求是潮、电气学生会、校研究生会、求是强鹰、研干讲习所等社团，在这里我认识到了世界原来可以如此的丰富多彩，原来生活还可以这么过。也感谢在其中认识的小伙伴们，你们让我感受到了不同价值观、不同立场的观念冲击，你们是我永远的青春。

感谢我的父母，在外住宿的十一年里，离家越来越远，回家机会越来越少，我深感抱歉。但纵使相距千里，你们给我的关怀始终温暖着我。家是港湾，身后有良港，是我无所畏惧破浪前行的勇气之源。

山长水远，幸而我还有一生可以浪费。浙大，有缘再见。

刘劭凯

2017年6月1日于浙大玉泉