

分类号: TM46

单位代码: 10335

密 级: _____

学 号: 21610016

浙江大学

硕 士 学 位 论 文



中文论文题目: 基于低 FOM 器件的高效

高功率密度兆赫兹 DC-DC 变换器

英文论文题目: High Efficiency High Density 1 MHz

380V-12V DCX with Low FoM Devices

申请人姓名: 施鸿波

指导教师: 郭清

合作导师: 吴新科

专业名称: 电力电子与电力传动

研究方向: 电力电子

所在学院: 电气工程学院

论文提交日期 2019 年 1 月 15 日

基于低 FOM 器件的高效

高功率密度兆赫兹 DC-DC 变换器



论文作者签名:_____

指导教师签名:_____

论文评阅人 1: _____ 董伯藩 教授

评阅人 2: _____ 姚文熙 教授

评阅人 3: _____ 陈 怡 教授

评阅人 4: _____

评阅人 5: _____

答辩委员会主席: _____ 谢小高 教授

委员 1: _____ 张军明 教授

委员 2: _____ 吴新科 教授

委员 3: _____ 郭 清 教授

委员 4: _____ 陈 敏 教授

委员 5: _____

答辩日期: 2019 年 3 月 9 日

浙江大学研究生学位论文独创性声明

本人声明所呈交的学位论文是本人在导师指导下进行的研究工作及取得的研究成果。除了文中特别加以标注和致谢的地方外，论文中不包含其他人已经发表或撰写过的研究成果，也不包含为获得浙江大学或其他教育机构的学位或证书而使用过的材料。与我一同工作的同志对本研究所做的任何贡献均已在论文中作了明确的说明并表示谢意。

学位论文作者签名：

签字日期： 2019 年 3 月 9 日

仅限PMIC会员单位内部使用，不得外传

学位论文版权使用授权书

本学位论文作者完全了解 浙江大学 有权保留并向国家有关部门或机构送交本论文的复印件和磁盘，允许论文被查阅和借阅。本人授权 浙江大学 可以将学位论文的全部或部分内容编入有关数据库进行检索和传播，可以采用影印、缩印或扫描等复制手段保存、汇编学位论文。

（保密的学位论文在解密后适用本授权书）

学位论文作者签名：

导师签名：

签字日期： 2019 年 3 月 9 日

签字日期： 2019 年 3 月 9 日

本论文研究工作受国家自然科学基金（51877191）资助，国家重点研发计划项目（2017YFB0402804）资助，浙江省杰出青年基金（LR18070001）资助。

This work was supported by National Natural Science Foundation of China under Grant (51877191), the National Key Research and Development Program of China (2017YFB0402804), and Zhejiang Natural Science Outstanding Young Scholar Foundation (LR18070001).

仅限PMIC会员单位内部使用，不得外传

致谢

转眼已是三年，在浙大的研究生时光将迎来告别。在这三年里我收获了许多，有基础的电路知识，有精湛的实验技巧，还有求是与创新的治学精神。秋天的丰收总是与辛勤的耕耘与付出息息相关，在即将告别硕士生涯前，我首先要感谢我的研究生导师吴新科教授。吴老师严谨求是的科研态度与精益求精的工作作风使我获益良多。吴老师时常对我们说，要做就做他人所不能，要做就做到最好，在保持学习时更需要有质疑精神，这些都是我需要一直铭记与实践的箴言。在这里我再次感谢吴老师这三年对我的培养与付出。

我还要感谢实验室的董伯藩教授在我科研中给予的指导和帮助。董老师在电力电子领域的深厚积累是我们实验室的宝贵财富，在工作中遇到问题后与董老师的请教与讨论总能令我获益良多。在这里衷心祝福董老师身体健康，福如东海！

我还要感谢实验室的周大姐在日常生活中的关心与科研工作中的后勤保障。周大姐承担了实验室繁杂的工作，为我们创造了一个良好的科研环境，谢谢周大姐，祝您阖家幸福，心想事成！还要感谢葛老师在科研过程中给予的无私帮助与付出，葛老师为实验室的科研提供了支撑与后盾，谢谢葛老师！

我还要感谢杨金旭师兄在我进入实验室后对我的指导与帮助，让我尽快地进入了科研状态，学习了许多知识与经验。感谢秦伟师兄在科研中给予的无私帮助，解决了许多实验中的问题。感谢黄华高、董泽政、刘天骥、吕海军、李海燕、刘邵凯、蓝桂星、张乐、赵臣凯等师兄师姐对我的帮助与支持，祝你们工作顺利，各自前程远大！

感谢同窗张思亮、周宗杰、邱凯、吴贤，在浙里一起工作科研生活三年谢谢你们们的陪伴与帮助，祝你们进入社会后一如往昔的优秀，事事顺利！

感谢韩阅、吴嘉文、康培林、张博诚、虞乃鹏、李光灿、孙家红、齐雨、陈子健、范高、田霖等师弟师妹的帮助，祝你们学业顺利，文章似锦！

最后我要感谢我的父母，含辛茹苦将我培养成人，为我提供了无忧的求学环境，祝愿父母身体健康，事事顺心。

施鸿波

2019年1月14日于求是园

摘要

随着现代社会信息化程度越来越高,互联网数据中心的规模与日俱增,导致数据中心能耗也迅速增长。高压直流母线供电架构与传统交流母线供电架构相比,拥有能效高、结构简单、可靠性高等优点,是未来数据中心供电架构的发展趋势。在高压直流母线供电架构中需要一级集成在服务器主板上的隔离降压 DC-DC 母线变流器模块,板上集成的需求要求模块有高效率与高功率密度的特性。串联谐振变换器 (Series Resonant Converter, SRC) 谐振变换器在能实现原边开关管的零电压开通与副边整流管的零电流关断,几乎消除了电路的开关损耗,为高频下电路的高效率与高功率密度提供了可能。然而高频下基于高压 Si 器件的 DC-DC 模块效率与功率密度较低,难以满足板上集成的需求。

为了提高基于 Si 器件的高频母线变换器的效率,减小 SRC 谐振变换器原边开关管的导通损耗,通常选择导通电阻较小的器件。但对 SRC 工作模式中死区时间内的 ZVS 过程进行分析后发现,导通电阻越小的器件在电路中会导致原边电流有效值的越大,因此导通损耗的设计需平衡器件导通电阻与原边电流有效值之间的关系。此外,通过分析揭示出导通损耗与电路死区时间 t_d 和器件的 NFoM (the Modified Figure of Merit, $\text{NFoM} = R_{\text{dson}} \cdot C_{\text{or}}$) 直接相关, R_{dson} 与 C_{or} 为开关管的导通电阻与结电容。然而在电路设计中,死区时间的设计需要综合考虑原副边的损耗,在基于高压 Si 器件作为原边开关管进行设计时,死区时间的设计受到了极大的限制。因此本文提出利用低压 Si 器件的低 NFoM 的特性,将多个低压器件串联代替高压 Si 器件,解决了高频 SRC 的原边开关管损耗与变压器铜损、副边整流电路导通损耗在设计中互相制约的问题。

在高频变换器中,尤其是在低压大电流输出的场景下,变压器的磁损与铜损往往占据了损耗的一大部分。本文在变压器总损耗数学模型的基础上,根据变压器尺寸与损耗折中设计的原则,设计了多个分离的矩阵变压器。配合原边低压器件设计了多相输入串联输出并联串联谐振变换器,并采取交错并联的控制策略,降低输出侧的电流纹波。最终设计了一台输入电压为 380V,输出电压为 12V,输出电流 150A 的样机对设计进行了验证。

关键词: 串联谐振变换器, 高效率, 高功率密度, 软开关, 兆赫兹

Abstract

With the rapid development of informationization of society, the scale of Internet data centers is increasing day by day, which results in rapid growth of data center energy consumption. Compared with the traditional AC power supply system, the high-voltage DC power supply architecture has the advantages of high energy efficiency, simple structure and high reliability, which is the future trend. In the high-voltage DC power supply architecture, an isolated step-down bus converter module is required which should be integrated on the server motherboard. The on-board integration requires high efficiency and high power density. The series resonant converter can achieve the zero voltage turn-on of the switch in primary side and the zero current turn-off of the secondary rectifier, which provides high efficiency and high power density at a high frequency for SRC almost eliminates the switching loss. However, DC/DC modules based on high-voltage Si devices at high frequency can't meet the requirements of on-board integration for its low efficiency and power density. In order to improve the efficiency and power density of converters based on Si devices, the following research has been done.

In the design of a SRC DCX procedure, in order to reduce the conduction loss of the primary switch, the device with a lower on-resistance is preferred. However, the analysis of the operation of SRC especially the ZVS of primary switch in the dead time, pointed out that the device with lower on-resistance would increase the rms value of the primary side current in the resonant tank. The compromise between the on-resistance and the rms current of the primary side should be designed carefully. In addition, the analysis also pointed out that conduction loss is related to the device's NFoM and dead time. Furthermore, the design of the dead time should take both the conduction loss of the primary switches and secondary SRs in to account. However, the dead time is limited by the high-voltage Si device due to its high NFoM. Therefore, the using of series-connected low NFoM Si device which take the place of high-voltage Si devices is proposed in this paper.

The core loss and copper loss of the transformer usually occupy a large part of

the total loss in high frequency converters especially that with low-voltage high-current output. Based on the mathematical model of the total loss of the transformer, the design of multiple separate matrix transformers is adopted with the balance of size and loss of transformer. An input-series output-parallel multiphase interleaved SRC DCX is proposed. A prototype with an input voltage of 380V, an output voltage of 12V, and an output current of 150A is built up to verify the design.

Key words: SRC DCX, high efficiency high power density, ZVS on, MHz frequency

仅限PMIC会员单位内部使用，不得外传

插图清单

图 1-1 国内数据中心市场规模和年耗电量	3
图 1-2 传统数据中心交流母线供电架构	4
图 1-3 高压直流母线供电架构	4
图 1-4 HVDC 中的 Rack 供电	5
图 1-5 低压大电流下变压器副边并联整流结构	8
图 2-1 半桥串联谐振电路	9
图 2-2 开关周期内关键波形图	11
图 2-3 开关周期内电路模态图	11
图 2-4 半桥 SRC 变压器中的电流	12
图 2-5 ZVS 过程的电路模态图及其简化等效电路	13
图 2-6 MOSFET 结电容 C_{oss} 随电压的非线性特性	13
图 2-7 Si MOSFET 的结电容与导通电阻关系(系列号 IPB60RxxxC7) ^[26]	14
图 2-8 原边导通损耗在不同死区时间下与 R_{dson} 的关系@380V-12V/125A ..	16
图 2-9 原边电流与死区时间的关系	17
图 2-10 P_{cmin_N} 与死区时间 t_d 的关系(IPB60RxxxC7)	18
图 2-11 不同频率下死区时间 t_d 的设计范围(IPB60RxxxC7)	19
图 2-12 不同耐压器件串联对比	20
图 2-13 器件串联的等效电路	20
图 2-14 串联低压器件的 NFoM 与耐压的关系(Infineon)	21
图 2-15 1MHz 下死区时间 t_d 的设计范围	22
图 2-16 原边总损耗归一化比例与 t_d 的设计	24
图 3-1 各类磁材料的单位体积磁损(DMEGC)	26
图 3-2 绕组尺寸标注	28
图 3-3 变压器尺寸定义	28
图 3-4 变压器总损耗 P_T 与 r_w 和 A_e 的关系	31
图 3-5 变压器总损耗 P_T 与 r_w 和 r_{leg} 的关系	31
图 3-6 总损耗 P_T 随 r_{leg} 的趋势	32
图 3-7 P_T 随 A_T 变化的趋势图	33
图 3-8 变压器损耗与尺寸关系(2 个矩阵变压器)	33
图 3-9 变压器损耗与尺寸关系(4 个矩阵变压器)	34
图 3-10 变压器损耗与尺寸关系(8 个矩阵变压器)	34
图 3-11 矩阵变压器损耗对比	35
图 3-12 ISOP 电路的一个单元	36
图 3-13 四个电路单元构成 ISOP 变换器	36
图 3-14 同步整流电路总损耗与 SR 并联数的关系	39
图 3-15 副边直流侧并联的电路图	40
图 3-16 不同驱动电平下 BSZ0501NSI 的沟道电阻	41
图 3-17 SR 的总损耗随驱动电平的变化	41
图 3-18 SRC DCX 输出电流	42
图 3-19 四相交错并联时的输出电流纹波	42
图 3-20 原边谐振电流与副边输出电流	43
图 3-21 输出电压纹波对比	44

图 3-22 样机实验原理图	45
图 3-23 实验样机照片	46
图 3-24 变压器绕组排布结构	47
图 3-25 绕组中电流分布的 2D 仿真	47
图 3-26 380V 输入电压下的实验波形	48
图 3-27 电路启动与负载跳变时的单元间均压实验	48
图 3-28 SRC 电路单元内与单元间的均压与均流实验	49
图 3-29 不同死区时间下的效率测试@ $T_r=80\text{ns}$	50
图 3-30 低压 Si 器件样机与高压 GaN 器件样机 ^[23] 效率对比	50
图 3-31 满载下电路的温度图	51
图 3-32 满载下电路损耗分析	51
图 3-33 交错并联的驱动时序	52
图 3-34 两相电路交错并联对比	52
图 3-35 不同交错并联方式的纹波对比	53

仅限PMIC会员单位内部使用，不得外传

附表清单

表 1 预选的同步整流管的基本参数.....	38
表 2 实验样机的关键参数.....	46
表 3 样机与其他变流器模块的参数对比.....	51

仅限PMIC会员单位内部使用，不得外传

目次

致谢.....	I
摘要.....	II
Abstract.....	III
插图清单.....	V
附表清单.....	VII
目次.....	1
1 绪论.....	3
1.1 论文研究背景.....	3
1.2 板上集成母线变流器的研究现状.....	5
1.2.1 高频下开关器件的损耗问题.....	6
1.2.2 低压大电流下的变压器效率与功率密度的优化.....	7
1.3 本文主要研究内容.....	8
2 高效高功率密度 SRC DCX 的原边开关管与死区时间设计.....	9
2.1 SRC DCX 中原边开关器件的导通损耗模型分析.....	9
2.1.1 SRC 工作原理介绍.....	9
2.1.2 SRC 中原边开关管的导通损耗分析.....	11
2.2 原边开关管导通损耗优化与参数设计.....	15
2.2.1 原边开关管导通损耗优化.....	15
2.2.2 死区时间 t_d 的设计.....	17
2.3 基于低 NFoM 器件的电路设计.....	20
2.3.1 低 NFoM 器件的导通损耗模型.....	20
2.3.2 低 NFoM 器件下死区时间 t_d 的设计.....	21
2.4 原边开关管导通损耗模型的补充.....	22
2.5 本章小结.....	24
3 变压器设计与电路设计.....	26
3.1 高频下低压大电流输出的变压器设计.....	26
3.1.1 磁材料与磁芯型号选择.....	26

3.1.2 变压器参数设计	27
3.2 电路原边拓扑设计	35
3.3 副边同步整流设计	37
3.4 ISOP 电路控制策略	41
3.5 实验验证	44
3.6 本章小结	53
4 总结与展望	54
参考文献	56
作者简历及在学期间所取得的科研成果	59

仅限PMIC会员单位内部使用，不得外传

1 绪论

1.1 论文研究背景

近年来,随着大数据、云计算与人工智能行业的快速发展,各大电信运营商、互联网服务提供商与互联网企业的数据中心(Internet Data Center, IDC)的规模日益增长^[1]。数据中心规模的快速增长导致其耗电量与日俱增^{[2][3][4]},相关数据统计^{[5][6]}如图 1-1 所示。由柱状图所示,过去几年国内数据中心规模迅速增长,而年耗电量则从 12 年的 665 亿千瓦时增长到 16 年的 1100 亿千瓦时,超过 16 年三峡电站的年发电量(1000 亿千瓦时)。数据中心耗电量约占整个社会用电量的 1.8%,已经是工业用电中的一个重要部分。据报告预测^[5],未来数据中心市场规模将以更快的速度增长。

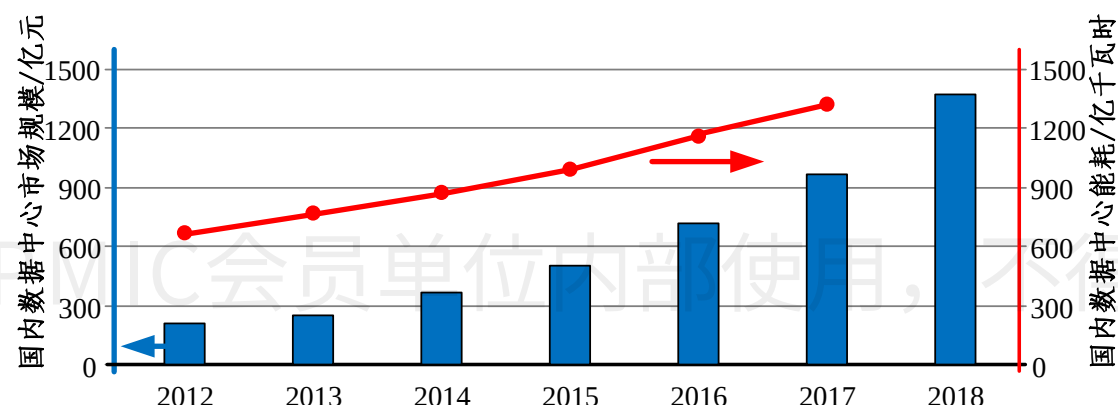


图 1-1 国内数据中心市场规模和年耗电量

然而与日益增长的规模相反,我国数据中心能源利用效率水平与国外相比整体偏低^[4]。2018 年两会的政府工作报告中指出^[7],经济发展以坚持走绿色、低碳、循环的道路,因此提升我国大型数据中心的能效变成了业界目前工作的重中之重。

数据中心能耗主要分布在 IT 系统自身能耗、配电系统和空调系统三方面^[8]。IT 系统能耗主要分布在服务器(数据处理)、存储设备(数据存储)以及网络设备(数据通信);配电系统能耗指数据中心的供电系统(供电电缆、配电系统等)在配送电中的损耗;空调系统能耗是指制冷设备(空调、压缩机等)为了维持机房的稳定温度湿度而产生的耗电。由于大部分电能都要经过配电系统进行输配电,提升配电系统的能效与提升数据中心能效密切相关。

传统的数据中心配电系统的供电架构如图 1-2 所示。电网供电首先经过两级

整流（AC/DC）与逆变（DC/AC）的交流不间断电源（AC Uninterrupted Power Supply, AC UPS），然后交流母线通过配电单元（Power Distribution Unit, PDU）分配到服务器机架，进过一级整流（AC/DC）与降压（DC/DC）后供给负载。传统的交流母线供电架构由于存在多级的交直流变换，其效率与可靠性都较低，一般低于 80%^{[9]-[10]}。

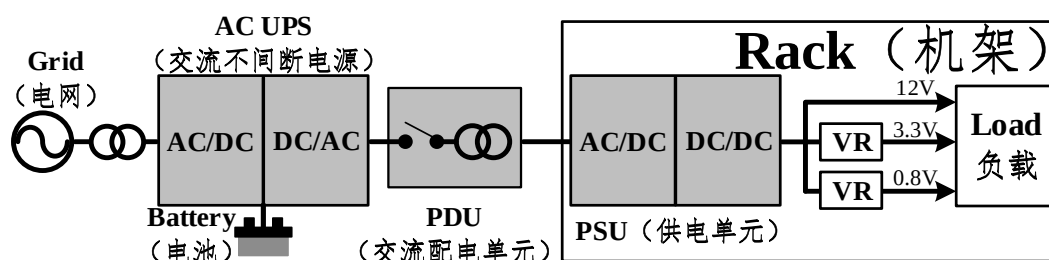


图 1-2 传统数据中心交流母线供电架构

为了提升数据中心配电系统的效率与可靠性，业界相继提出了高压直流母线供电架构（HVDC）^{[9]-[11],[12]}，其系统框图如图 1-3 所示。电网供电经过一级整流后接到 380V 直流母线，母线上挂载直流 UPS 后直接由直流配电单元分配到机架，由机架内的 DC/DC 模块降压到负载点电压。与传统交流供电架构相比，HVDC 减少了 UPS 的一级逆变变换与 PSU 的一级整流变换，架构大大简化，效率与可靠性得以提升，是未来数据中心供电架构发展的趋势^[13]。

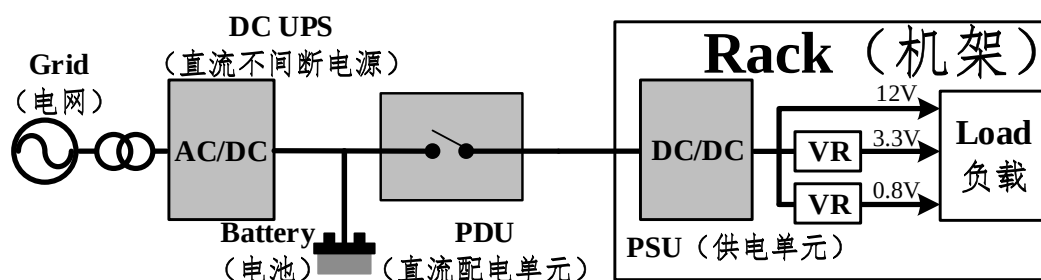


图 1-3 高压直流母线供电架构

在高压直流母线供电架构中母线电压为 380V 高压，未来的趋势是将 380V 高压直接接入服务器主板（motherboard）的供电端口，如图 1-4 所示。在 HVDC 进入机架后，直接通过机架内线缆连接到每一块主板，然后通过主板上的 DC/DC 变流器将 380V 转换为 12V 的负载电压。而传统交流供电架构在交流电进入机架后，先集中通过整流与降压转换为 12V，再通过线缆接到单独的主板。HVDC 相比于传统架构，机架内线缆电压由 12V 低压变成了 380V 高压，减小了传输线上

的电流与损耗，增大了系统容量^{[12][13]}。此外，HVDC 的功率模块不用存储与转换工频交流能量。可以省去体积庞大的工频储能与滤波电路，减小了电源装置整体尺寸，利于模块化集成到主板上。

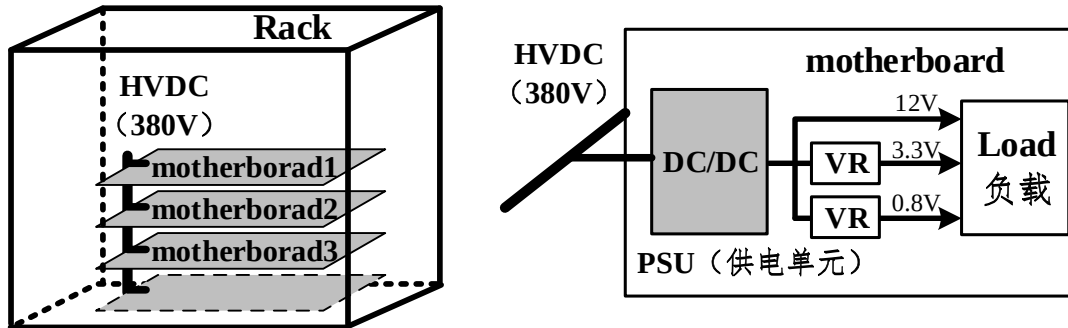


图 1-4 HVDC 中的 Rack 供电

因为主板上负载有 CPU (0.8V)、内存 (3.3V)、板载芯片 (3.3V&5V) 以及风扇 (12V)，所需供电电平较多。目前行业采用的供电方案是两级转换，前级电源模块先将 380V 直流母线降压到 12V，再通过一级不隔离的 DC/DC 模块 (Voltage Regulator, VR) 将 12V 转换到所需的负载电压。通常前级被称为母线变流器 (Intermediate Bus Converter, IBC)，这种架构为中间母线架构 (Intermediate Bus Architecture, IBA)。

HVDC 供电架构中，IBC 与 VR 都被集成在系统主板上，其中 VR 与传统交流架构中的 VR 基本一致，经过多年发展已经形成成熟的模块化产品，主板上大量集成在负载点附近，拥有高效率、高功率密度与低成本的优势^[13]。而前级的 IBC 要实现从 380V 到 12V 的降压与电气隔离，变压器的磁芯等无源元件限制了功率密度的提高，此外副边输出的低压大电流输出不利于变换器整体效率的优化提升。而板上集成模块需要兼顾到主板上的空间限制与散热条件，因此目前设计母线变流器的主要挑战在于实现高效率与高功率密度^[14]。因此，本文的主要研究内容为针对高压直流母线供电架构的板上集成供电模块，研究设计高效率高功率密度的母线变流器。

1.2 板上集成母线变流器的研究现状

主板集成功率变换器的首要挑战是模块的高功率密度，而提升变换器功率密度的一个常用方法是提升变换器的开关频率。较高的开关频率能有效减小变换器磁元件的尺寸与储能、滤波电路的体积，从而提升变换器的功率密度。而不断进步的器件工艺与磁芯材料为变换器工作频率提升到兆赫兹提供了可能^[13]。

在提升开关频率到兆赫兹后,普通的 PWM 硬开关电路由于较大的开关损耗,难以实现母线变流器的高效率高功率密度需求。而软开关电路 (Soft Switching) 能有效减小电路的开关损耗,使开关损耗在高频下依旧几乎可以忽略,合理设计下拥有高功率密度与高效率的优势,因此被广泛应用于服务器供电电源。

在软开关电路中,谐振型软开关电路拥有良好的软开关特性,能实现原边开关管的零电压开通 (ZVS on) 与副边整流管的零电流关断。其中串联谐振电路 (Series Resonant Converter, SRC) 工作在谐振点时在全负载范围内能实现原边开关管的零电压开通与小电流关断,其开关损耗在高频下可以忽略,使电路在高频下依旧有较好的效率表现,从而使高效与高功率密度能兼顾,适合实现高频直流变压器 (DC Transformer, DCX) [13]。同时 SRC 结构较为简单,在作为 DCX 工作时控制策略简单易于实现,因此本文选取 SRC 电路作为电路拓扑。

但是随着电路开关频率的提升,软开关电路中依旧存在的器件驱动损耗将快速增大,同时,在高频下实现 SRC 原边开关管的 ZVS 的死区时间成为了影响效率的因素。此外,变压器的磁芯损耗随频率将急剧增大,且目前广泛应用的平面变压器的 PCB 绕组由于高频下电流的趋肤效应与邻近效应,铜损也将急剧增加,这对于实现电路的高效率极为不利。这些都是在电路参数设计与优化中需要面对的挑战。

1.2.1 高频下开关器件的损耗问题

谐振软开关拓扑为实现高频和高效率密度的功率变换提供了可能,但目前基于谐振拓扑的 IBC 模块其工作频率大多在 200-300kHz,功率密度在普遍低于 400W/inch³[15][16][17]。一方面的原因是频率提升带来的变压器的磁损与铜损的急剧增加,另一方面则是器件导通损耗与驱动损耗的增加限制了变换器在高频下的效率表现。基于硅材料的开关器件 (Silicon MOSFET) 经过多年的发展其性能已经逐渐接近硅材料本身的性能极限,难以再有重大突破[13]。而近年来出现的基于宽禁带半导体材料的氮化镓功率器件 (GaN FET) 则突破了材料的限制,进一步提升了器件的性能。凭借着 GaN 材料相对于 Si 的优良性能, GaN 器件可以为高频变换器提供更快的开关速度与更小的开关损耗[18][19][20]。谐振拓扑结合 GaN 器件的优良特性,在电路工作频率提升到 1MHz 获得更高功率密度的同时依旧有较高的效率[21][22][23],是未来功率变换器发展趋势。然而 GaN 器件的发展时日尚短,

目前还没有大规模量产的商业化的 GaN 器件可用于工业设计。因此本文的一部分内容在于研究基于 Si 器件实现高频的高压母线变流器的高效率与高功率密度需求。

1.2.2 低压大电流下的变压器效率与功率密度的优化

在低压大电流输出的隔离 DC/DC 变换器中, 变压器往往占据了变换器整体一大部分的体积与损耗。要实现变换器的高效率与高功率密度, 一个重大挑战就在于优化磁性元件设计, 在降低变压器的磁损与铜损的同时减小磁元件的体积。目前表贴器件 (Surface Mount Devices, SMD) 在功率变换器中已经大量应用, 因此变压器的高度往往限制了变换器的整体高度, 过高的变压器会降低装置整体的空间利用率与功率密度。此外针对母线变流器板上集成的应用场景, 变压器的高度也应当做一些优化。

随着印制电路板工艺的不断发展, 基于多层 PCB 与平面型磁芯的平面变压器技术被广泛采用。相对于传统的绕线变压器, 平面变压器具有体积封装小、散热性能好、参数一致性高等优点^[24], 在高频下通过合理的交错并联能减小趋肤效应与邻近效应带来的绕组损耗^[25], 能极大提升变换器的效率与功率密度^[23]。

在大电流输出的场合, 一般通过并联使用多层副边绕组与多个同步整流器件 (Synchronous Rectification, SR) 来降低副边的导通损耗。然而绕组直接并联再加上多个并联导通 SR 的整流方式由于其电流汇流点在交流侧, 连接点上存在较大的交流损耗^{[16][25]}, 如图 1-5(a) 所示。此外的并联的副边绕组与并联的 SR 之间的由于器件参数的不一致性, 存在较大的均流问题, 并联绕组与器件之间的不均流将严重影响并联效果, 产生较大的导通损耗。因此文献^{[16][25]}提出绕组与器件直接串联后再在直流侧进行并联的排布方式, 将电流汇流点从交流转移到了直流侧, 如图 1-5(b)所示, 避免了在大电流汇流时的连接点交流损耗, 但是没有解决多个并联绕组与 SR 之间的均流问题。同时由于 SR 与输出电容往往就近布置在绕组上, 这种布局方式会大大增大多块 PCB 板叠板时变压器的高度。此外多层叠板的变压器结构过于复杂, 不适合大规模生产。因此文献^{[21][22][23]}采用多个矩阵变压器并联的方式, 如图 1-5(c)所示。矩阵式变压器将副边的大电流分布到各个并联变压器, 解决了前述的汇流时连接点交流损耗大的问题, 降低导通损耗的同时避免了多层叠板的复杂结构, 降低了变压器的高度, 保持了平面变压器的

优势。由于多个矩阵变压器的原边绕组直接串联，保证了多个矩阵变压器之间的均流度，解决了低压大电流下副边绕组的均流问题。然而由于输出电压维持不变，将单个多层板变压器变换成多个矩阵变压器时磁芯截面积保持一致，如何优化变压器的损耗与整体尺寸是设计中不可避免的挑战。本文的一部分内容在于研究高频与低压大电流场景下矩阵式变压器的设计与优化，包括变压器绕组的排布结构优化与损耗模型的建立。

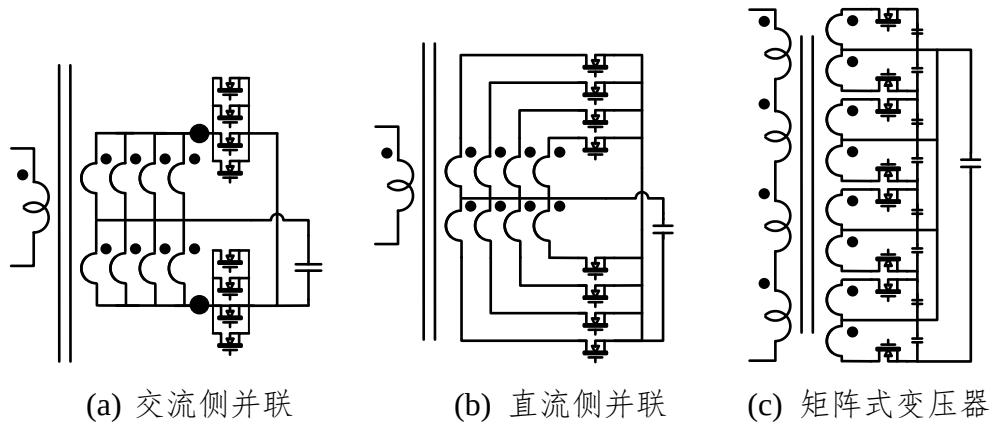


图 1-5 低压大电流下变压器副边并联整流结构

1.3 本文主要研究内容

本文针对数据中心高压直流母线供电架构中主板上集成的母线变流器，通过产业调研与文献阅读选择串联谐振拓扑对变流器模块的高效高功率密度需求进行设计与验证。本文的主要工作如下：

第一章阐述了数据中心供电架构的发展趋势，针对高压直流母线供电架构所需的板上集成母线变流器进行了背景与行业现状的调研。对母线变流器的应用场景与设计难点进行了讨论，确定论文主要内容。

第二章详细分析了 SRC 电路的工作模态，建立了原边开关管的损耗模型，揭示了制约原边开关管损耗的关键参数。根据模型提出了死区时间与原边开关管的设计与选型思路。

第三章分析了低压大电流下变压器的设计思路，建立了矩阵变压器的损耗模型，并根据变压器尺寸与功耗的平衡设计了多个分离的矩阵变压器。结合第二章的原边开关管设计，提出了多相 ISOP SRC DCX 电路，并设计了样机进行实验验证。

第四章总结了本文工作，并对本课题未来的研究方向进行了展望。

2 高效高功率密度 SRC DCX 的原边开关管与死区时间设计

2.1 SRC DCX 中原边开关器件的导通损耗模型分析

2.1.1 SRC 工作原理介绍

半桥串联谐振电路由原边的开关半桥、变压器与副边的同步整流电路构成，如图 2-1 所示。

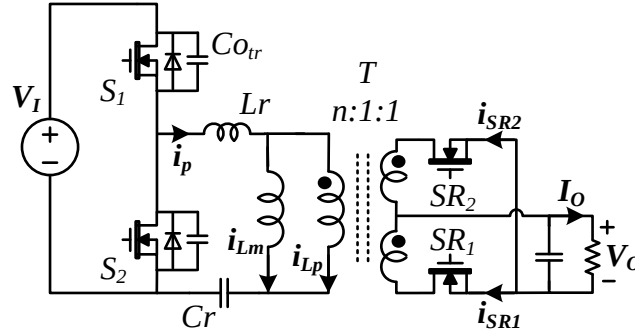


图 2-1 半桥串联谐振电路

电路的谐振腔存在三个谐振元件，分别是谐振电感 L_r ，谐振电容 C_r 以及变压器励磁电感 L_m 。电路结构主要有两个谐振频率，在副边同步整流器件导通时励磁电感 L_m 被输出电压箝位， L_m 不参与谐振，此时的谐振频率 f_r 由谐振电感 L_r 与谐振电容 C_r 决定，如式 2-1 所示。当副边同步整流器件处于关断状态时，励磁电感 L_m 不再被输出电压箝位，此时谐振频率由励磁电感 L_m 、谐振电感 L_r 与谐振电容 C_r 三元件谐振决定，如式 2-2 所示。

$$f_r = \frac{1}{2\pi\sqrt{L_r C_r}} \quad (2-1)$$

$$f_p = \frac{1}{2\pi\sqrt{(L_m + L_r) C_r}} \quad (2-2)$$

根据电路的工作频率 f_s 与谐振频率 f_r 的关系，电路可分为以下 3 种工作状态。

当开关频率 f_s 小于谐振频率 f_r ($f_p < f_s < f_r$) 时，在原边开关动作前且副边同步整流器件导通时，励磁电感 L_m 被输出电压箝位，谐振电感 L_r 与谐振电容 C_r 谐振，谐振频率为 f_r ；同步整流器件关断后，励磁电感 L_m 不再被箝位， L_m 与谐振电感 L_r 、谐振电容 C_r 一起谐振，谐振频率为 f_p 。这种模式下变压器副边的电流不连续，称为断续模式。

当开关频率大于谐振频率 ($f_s > f_r$) 时，在原边开关动作前副边的同步整流器

件始终导通,励磁电感 L_m 始终被输出电压箝位,谐振电感 L_r 与谐振电容 C_r 谐振,谐振频率为 f_r 。这种模式下变压器副边电流连续,称为连续模式。

当开关频率等于谐振频率 ($f_s=f_r$) 时,电路工作在谐振点,变压器副边电流临界连续。下面以电路工作在谐振点为例分析具体的工作模态。电路工作一个周期内的关键波形如图 2-2 所示, v_{gs_S1} 与 v_{gs_S2} 是原边开关管 S_1 与 S_2 的驱动信号, t_d 是桥臂上下管驱动的死区时间, v_{ds_S1} 与 v_{ds_S2} 是 S_1 与 S_2 的漏源极电压, i_p 是原边谐振腔的谐振电流, i_{Lm} 是变压器原边的励磁电流, i_{SR1} 和 i_{SR2} 是流过副边整流器件的电流。

模态 1(t_0-t_1): t_0 时刻,原边桥臂上管 S_1 开通,等效电路图如图 2-3(a)所示。此时谐振电感 L_r 和谐振电容 C_r 开始谐振,谐振腔电流开始以正弦形式变化,此时副边同步整流管 SR_1 开通,变压器励磁电感 L_m 被输出电压箝位,两端电压为 $n \cdot V_o$,励磁电流 i_{Lm} 开始线性上升。直至 t_1 时刻原边谐振腔电流 i_p 与励磁电流 i_{Lm} 相等,变压器副边电流下降到零,同步整流管 SR_1 关断,此模态结束,进入下一模态。

模态 2(t_1-t_2): t_1 时刻,原边开关管 S_1 关断,副边整流管 SR_1 与 SR_2 关断,此时变压器原边不再向副边传递能量,在死区时间内励磁电流 i_{Lm} 对原边开关管的结电容 C_{otr_S1} 和 C_{otr_S2} 进行充放电,等效电路图如图 2-3(b)所示。此模态内励磁电感 L_m 不再被箝位,参与电路谐振。一般有励磁电感 L_m 远大于谐振电感 L_r ,因此三元件谐振的周期远大于死区时间,励磁电流 i_{Lm} 在较短的死区时间内可视为不变。将励磁电流 i_{Lm} 等效为一个恒流源,则桥臂上下管的结电容 C_{otr_S1} 和 C_{otr_S2} 的电压线性变化。直至 t_2 时刻,桥臂下管 S_2 的漏源极电压 v_{ds_S2} 下降到 0,副边同步整流管 SR_2 导通,原边桥臂下管 S_2 的驱动信号到来,此模态结束。

图 2-2 所示开关周期内有 4 个模态,其中模态 3(t_2-t_3)和模态 4(t_3-t_4)是模态 1 与模态 2 在正负半周期的互补工作状态,模态图分别为图 2-3(c)与 2-4(d)所示,这里不再赘述。

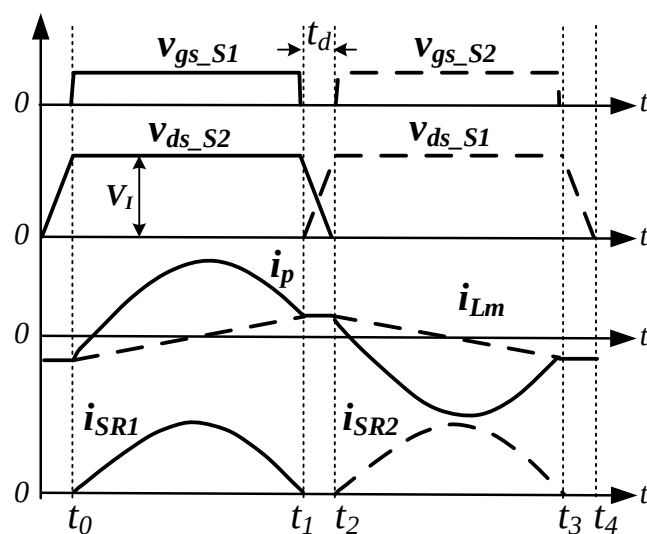


图 2-2 开关周期内关键波形图

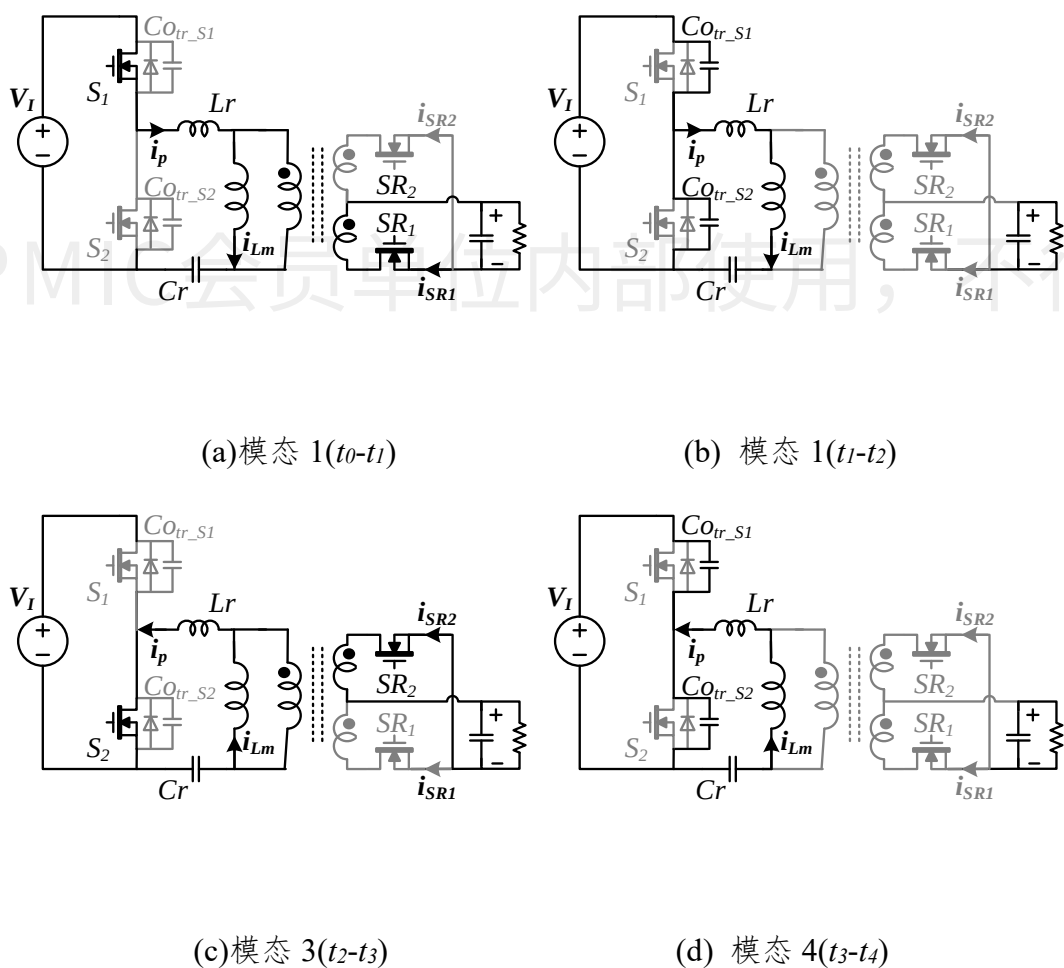


图 2-3 开关周期内电路模式图

2.1.2 SRC 中原边开关管的导通损耗分析

图 2-4 给出了串联谐振电路中变压器中的电流波形，其中 i_{Lp} 是副边的负载

电流 I_o 折算到变压器原边的负载电流, θ 是谐振腔电流 i_p 与 i_{Lp} 之间的相移角, I_{Lm} 是励磁电流的峰值, T_s 和 T_r 分别是电路的开关周期与谐振周期, t_d 为电路 ZVS 所需的死区时间。此时电路的死区时间、谐振周期与开关周期之间应该有如下关系: $2t_d + T_r = T_s$ 。

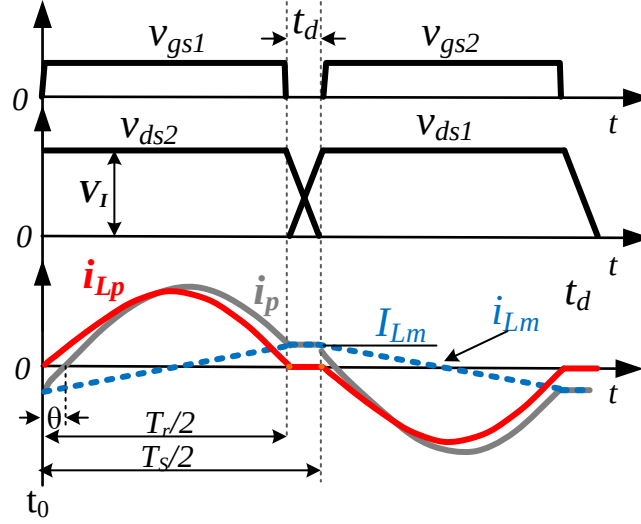


图 2-4 半桥 SRC 变压器中的电流

在半桥 SRC 中, 原边开关管的导通损耗 P_{Con} 可以通过流过开关管沟道的原边电流 i_p 的全波有效值 I_{prms} 与器件的导通电阻 R_{dson} 计算, 如式 2-3 所示。

$$P_{Con} = I_{prms}^2 \cdot R_{dson} \quad (2-3)$$

其中变压器原边电流 i_p 可以由 i_p 与 i_{Lp} 表示, 如式 2-4 所示。

$$i_p = i_{Lm} + i_{Lp} \quad (2-4)$$

由式 2-3 与 2-4 可以看出, 励磁电流 i_{Lm} 与原边开关管的导通损耗有直接关系。在串联谐振电路中, 励磁电流在死区时间内对原边开关管结电容进行充放电, 实现开关管的零电压开通 (Zero Voltage on, ZVS on)。ZVS 过程可以简化为励磁电流作为一个恒流源对原边开关管结电容进行充放电的模型, 如图 2-5 所示。其中 I_{Lm} 是励磁电流的峰值, V_I 是输入电压, C_{or} 是开关管时间等效结电容。由于原边开关管采用 Si MOSFET, 它的结电容具有严重的非线性, 如图 2-6 所示。在开关管漏源极电压 V_{ds} 变化时, MOSFET 的结电容 C_{oss} 的值也随之不断变化。为了准确描述原边 ZVS 的实现过程, 必须要考虑到结电容的非线性特性。在 ZVS 过程中, 影响励磁电流设计的是在死区时间内所充放的总电荷数, 而开关管结电容充

放电的电荷量只与结电容的充放电电压相关，总电荷数可以通过结电容 Co_{ss} 与 V_{ds} 的特性曲线进行积分计算，总电荷数即为图 2-6 阴影处面积。求出的总电荷数与结电容所变化的电压 V_{ds} 的比值就是时间等效结电容 Co_{tr} ，如式 2-5 所示。其中 $Co_{ss}(V)$ 是结电容 Co_{ss} 与 V_{ds} 的函数关系，可以通过器件公司提供的数据表进行数据提取与拟合得到。

$$Co_{tr} = \frac{\int_0^{V_{ds}} Co_{ss}(V) dV}{V_{ds}} \quad (2-5)$$

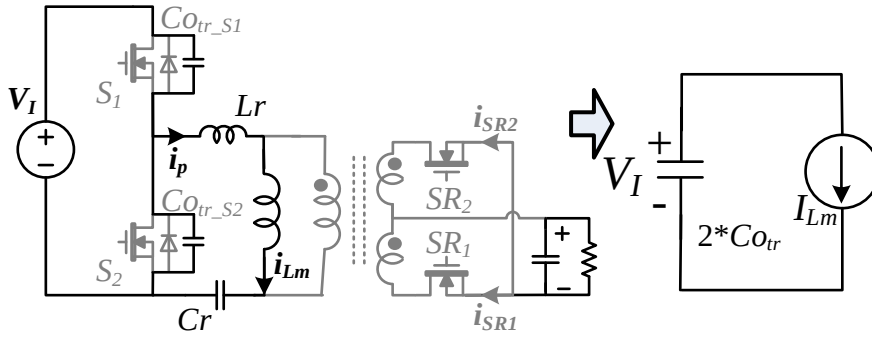


图 2-5 ZVS 过程的电路模态图及其简化等效电路

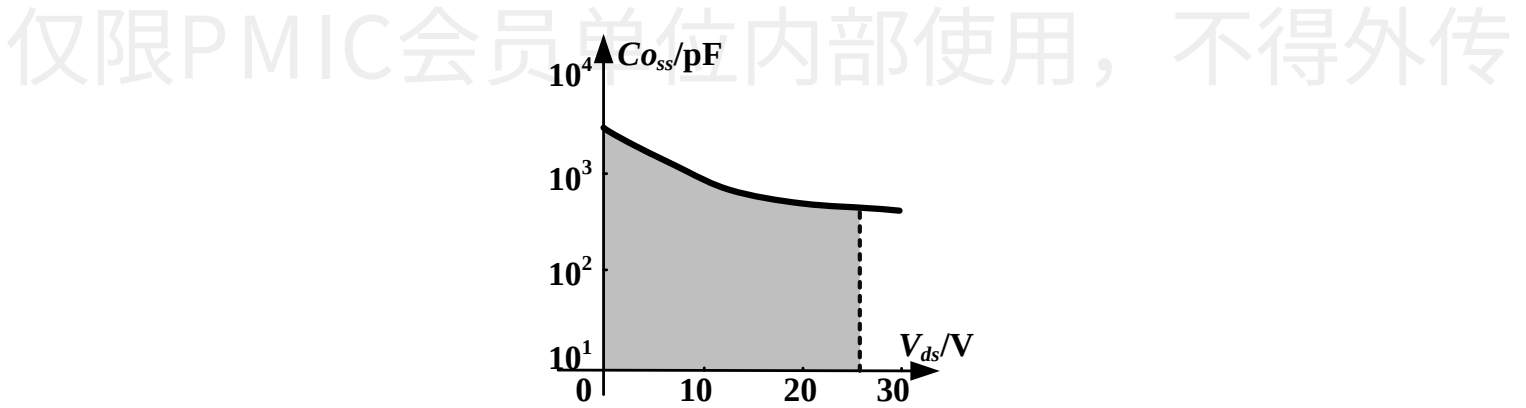


图 2-6 MOSFET 结电容 Co_{ss} 随电压的非线性特性^[26]

为了保证在设计的死区时间 t_d 内实现原边开关管的 ZVS 过程，所需的励磁电流可以由式 2-6 得到。

$$I_{Lm} = \frac{2 \cdot Co_{tr} \cdot V_I}{t_d} \quad (2-6)$$

为了减小原边开关管的导通损耗，由式 2-3 可知，减小原边电流有效值是一个有效的方式。原边电流由两部分构成，如式 2-4，其中 i_{Lp} 由负载电流与变压器变比共同决定，在电路规格确定时不能改变。因此只有优化设计变压器励磁电流

来减小原边电流。由式 2-6 可知，选取结电容更小的 MOSFET 有利于减小励磁电流，从而减少原边开关管的导通损耗。然而器件本身物理性质决定了同一系列的 Si MOSFET 的结电容与导通电阻的乘积是一个常数，文献中将其定义为 NFoM^[27]，即 $NFoM = C_{oss} \cdot R_{dson}$ ，结合式 2-5，在 SRC 中将 NFoM 修改为时间等效结电容与导通电阻的关系，如式 2-7 所示。

$$NFoM = C_{tr} \cdot R_{dson} \quad (2-7)$$

当励磁电流通过选择结电容更小的 MOSFET 减小的同时，导通损耗也会受增大的器件的导通电阻 R_{dson} 的影响，如图 2-7 所示。因此在设计励磁电流与器件选型时应当考虑折中设计。

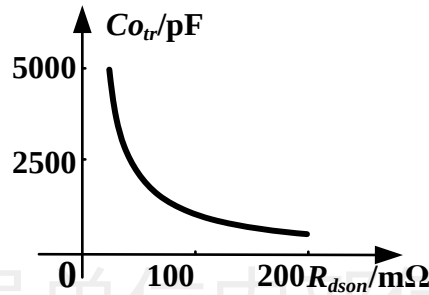


图 2-7 Si MOSFET 的结电容与导通电阻关系(系列号 IPB60RxxxC7)^[26]

为了在电路设计中需要找到原边电流有效值与器件导通电阻的一个最优点，减小原边开关管的导通损耗，下面详细推导在 SRC 中原边开关管的导通损耗模型。由于 SRC DCX 工作在电路谐振点上，其原边电流可以表达为正弦形式的解析式，如式 2-8。

$$i_p(t) = I_p \sin(\omega t - \theta) \quad (t_0 < t < t_0 + T_r) \quad (2-8)$$

其中 I_p 是正弦电流 $i_p(t)$ 的幅值， ω 是电路谐振的角频率，即 $\omega = 2\pi/T_r$ 。由原边电流表达式可以计算流过原边开关管的电流的有效值，由于在一个开关周期内只有谐振周期内原边电流流过开关管的沟道并产生导通损耗，在死区时间内原边电流给结电容充放电，并没有流过沟道，因此在计算流过开关管的原边电流有效值只需计算谐振周期内的即可，如式 2-9 所示。

$$I_{prms} = \sqrt{\frac{\int_{t_0}^{t_0+T_r} i_p^2(t) dt}{T_s}} = \sqrt{\frac{T_r}{T_s}} \cdot \frac{I_p}{\sqrt{2}} \quad (2-9)$$

由图 2-4，时刻 t_0 时原边电流 $i_p(t)$ 与励磁电流峰值相等，因此有式 2-10。

$$i_p(t_0) = I_p \sin(-\theta) = -I_{Lm} \quad (2-10)$$

由式 2-10 可以解出相移角 θ 表达式如式 2-11 所示。

$$\theta = \arcsin\left(-\frac{I_{Lm}}{I_p}\right) \quad (2-11)$$

根据变换器在稳态时的输入功率与输出功率相等，得到式 2-12。

$$\int_0^{T_s} n_T V_o \cdot I_p \sin(\omega t - \theta) \cdot dt = V_o I_o T_s \quad (2-12)$$

其中 n_T 是变压器的变比， V_o 是电路的输出电压， I_o 是电路的输出电流。将式 2-11 代入式 2-12 中，可以解得 I_p ，如式 2-13。

$$I_p = \sqrt{\frac{16n_T^2 V_o^2 C_{ot}^2}{t_d^2} + \frac{\pi^2 I_o^2 T_s^2}{4n_T^2 T_r^2}} \quad (2-13)$$

将 2-13 代入 2-9，可得 I_{prms} 的表达式，如式 2-14。

$$I_{prms} = \sqrt{\frac{8n_T^2 V_o^2 C_{ot}^2 T_r}{t_d^2 T_s} + \frac{\pi^2 I_o^2 T_s}{8n_T^2 T_r}} \quad (2-14)$$

由此，式 2-3 可以改写为式 2-15。

$$P_{Con} = \left(\frac{8n_T^2 V_o^2 C_{ot}^2 T_r}{t_d^2 T_s} + \frac{\pi^2 I_o^2 T_s}{8n_T^2 T_r} \right) \cdot R_{dson} \quad (2-15)$$

由原边开关管的导通损耗模型，在电路规格($V_I/V_o/I_o$)、工作频率与变压器匝比确定的情况下，导通损耗只与设计的死区时间 t_d 与所选器件的参数(C_{ot}/R_{dson})有关。

2.2 原边开关管导通损耗优化与参数设计

2.2.1 原边开关管导通损耗优化

在式 2-15 原边导通损耗模型的解析式中，有两个参数与器件直接相关，分别是结电容 C_{ot} 和导通电阻 R_{dson} ，根据文献^[27]这两个参数并不是独立的自变量，对某个系列的 Si MOSFET 而言结电容与导通电阻的乘积是一个常数，即 $NFoM = C_{ot} \cdot R_{dson}$ 。因此在 P_{Con} 中可以简化变量的数量，即将式 2-7 代入式 2-15，可将其改写为式 2-16。

$$P_{Con} = \frac{8n_T^2 V_o^2 T_r \cdot NFoM^2}{t_d^2 T_s} \cdot \frac{1}{R_{dson}} + \frac{\pi^2 I_o^2 T_s}{8n_T^2 T_r} \cdot R_{dson} \quad (2-16)$$

在电路的规格确定以后,根据电路的电压应力与所需裕量确定所需器件的耐压,根据所需的耐压可以确定可选器件的系列,同时也就确定了所选器件的 NFoM。同时在电路规格($V_i/V_o/I_o$)、工作频率、变压器匝比确定时,在某个死区时间下原边导通损耗是一个有唯一自变量 R_{dson} 的函数,且从数学形式上看是一个反比例函数,其在不同死区时间的函数图形如图 2-8 所示。

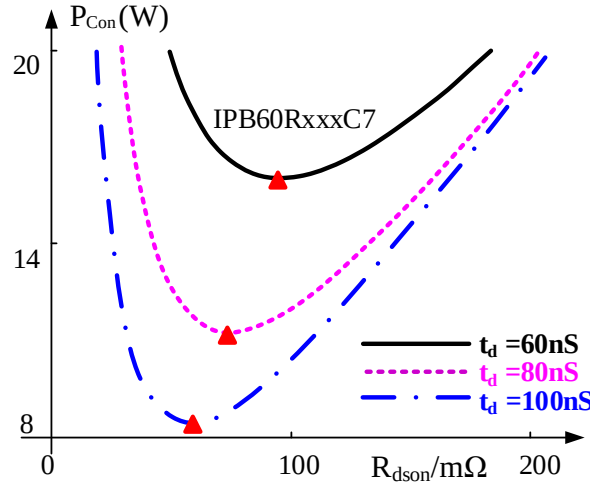


图 2-8 原边导通损耗在不同死区时间下与 R_{dson} 的关系@380V-12V/125A

导通损耗是器件导通电阻的反比例函数,则在第一象限必然存在一个函数最小值,如图 2-8 中红点所示。不难推导出这个最小点的横纵坐标值,分别如式 2-17(横坐标 $R_{dson@min}$)、式 2-18(纵坐标 P_{cmin})所示。

$$R_{dson@min} = \sqrt{\frac{8n_r^2 V_o^2 T_r \cdot NFoM^2}{t_d^2 T_s} \cdot \frac{\pi^2 I_o^2 T_s}{8n_r^2 T_r}} = \frac{8n_r^2 V_o T_r \cdot NFoM}{\pi t_d I_o T_s} \quad (2-17)$$

$$P_{cmin} = 2 \sqrt{\frac{8n_r^2 V_o^2 T_r \cdot NFoM^2}{t_d^2 T_s R_{dson}} \cdot \frac{\pi^2 I_o^2 T_s R_{dson}}{8n_r^2 T_r}} = \frac{2\pi V_o I_o NFoM}{t_d} \quad (2-18)$$

不同的死区时间 t_d 下的 $R_{dson@min}$ 确定了设计中在确定的某个器件系列中应选取的具体器件型号,使得原边开关管的导通损耗最小化。如 380V 母线输入的电路规格下,选取 600V 的 MOSFET 系列,以 Infineon 公司的 IPB60RxxxC7 系列为例,再由具体的电路规格计算出 $R_{dson@min}$ 后确定所选取具体器件型号,如导通电阻为 45mΩ 的 IPB60R045C7。

导通损耗模型的最小点正是在设计中原边开关管应选取的最佳器件,进一步优化导通损耗需要从死区时间 t_d 入手。在图 2-8 中 P_{cmin} 随着 t_d 的增大而不断减小,原因在于更大的死区时间可以满足更大结电容的 MOSFET 实现软开通,而

励磁电流维持不变，因此导通损耗随着减小的 R_{dson} 而减小。从原边开关管的导通损耗出发，更大的死区时间 t_d 可以减小导通损耗最小值 P_{cmin} ，有利于提高电路的效率表现。

2.2.2 死区时间 t_d 的设计

从减小原边开关管的导通损耗的角度，电路设计应该取更大的死区时间 t_d 。然而 t_d 的增大不利于电路整体的效率^[20]。在一定的开关频率下， t_d 的增大意味着 T_r 的减小，这会引起原边电流峰值与有效值的增大，如图 2-9 所示。电流 i_{Lp} 的有效值变大会引起原副边绕组与副边 SR 的导通损耗的增大，不利于电路整体效率的提升。

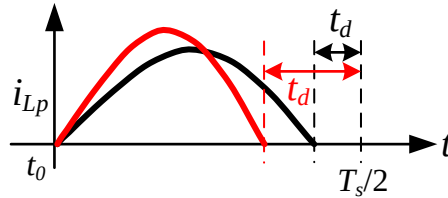


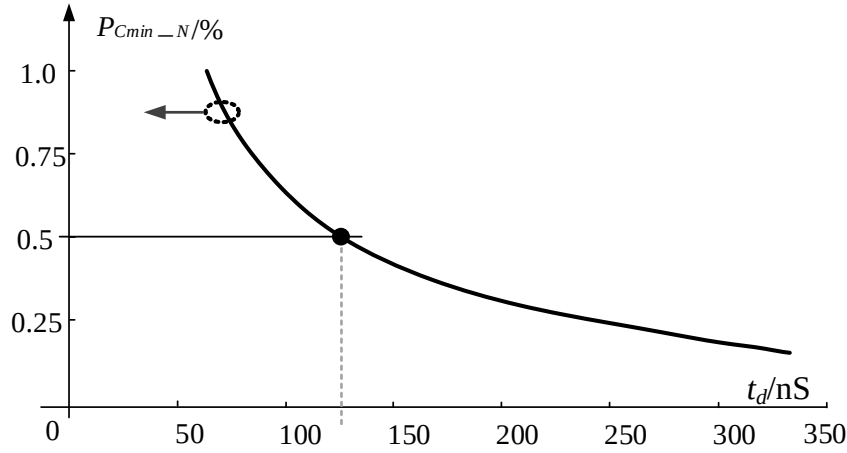
图 2-9 原边电流与死区时间的关系

因此死区时间 t_d 的设计必须综合考虑原副边的导通损耗。将式 2-18 的 P_{cmin} 写成死区时间的函数，以电路的总输入功率做归一化，如式 2-19 所示。

$$P_{cmin_N}(t_d) = \frac{P_{cmin}}{V_o I_o / \eta} = \frac{2\pi\eta \cdot NFoM}{t_d} \quad (2-19)$$

其中 η 为电路预期的效率。

本文的设计以在 30% 负载处预期峰值效率 98% 为例进行设计。 P_{cmin_N} 随死区时间 t_d 的变化趋势如图 2-10 所示， P_{cmin_N} 随 t_d 的增大而减小，意味着原边开关管的导通损耗占总功率的比例越小。要实现 98% 的峰值效率，在 30% 负载处原边开关管导通损耗应当低于某个比例，本文中在高频与低压大电流的场景下变压器与副边整流电路的损耗应当占大部分，因此以 0.5% 的原边导通损耗比例为例。如图 2-10 所示，此时 t_d 的设计范围应当大于等于 120ns。

图 2-10 P_{Cmin_N} 与死区时间 t_d 的关系(IPB60Rxxx C7)

当综合考虑原副边导通损耗时, 需要将原边电流 i_{Lp} 的有效值 I_{Lprms} 随 t_d 变化的函数求出。为了衡量 t_d 的变化对原副边铜损与副边 SR 导通损耗的影响, 定义 $I_{Lprms}(t_d)$ 与死区时间为零时 $I_{Lprms}(0)$ 的比值为电流增大的归一化比例。为了简便, 将励磁电流忽略, 电流 i_{Lp} 看做一个正弦电流。在不同的 t_d 下, 输出功率保持恒定, 因此原边的输入功率也应该相等, 有式 2-20。

$$\frac{1}{T_s} \int_0^{T_s-2t_d} n_T V_o \cdot I_{Lp}(t_d) \sin(\omega_d t) dt = \frac{1}{T_s} \int_0^{T_s} n_T V_o \cdot I_{Lp}(0) \sin(\omega_0 t) dt \quad (2-20)$$

其中 $I_{Lp}(t_d)$ 与 $I_{Lp}(0)$ 是死区时间分别为 t_d 与 0 时的电流 i_{Lp} 的幅值, ω_d 与 ω_0 分别是对应的角频率, $\omega_d = 2\pi/(T_s - 2t_d)$, $\omega_0 = 2\pi/T_s$ 。由式 2-20 可以解出归一化比例如式 2-21。

$$\frac{I_{Lp}(t_d)}{I_{Lp}(0)} = \frac{T_s}{T_s - 2 \cdot t_d} \quad (2-21)$$

则电流 $i_{Lp}(t_d)$ 与 $i_{Lp}(0)$ 的有效值的比例可以推导如式 2-22。

$$\frac{I_{Lprms}(t_d)}{I_{Lprms}(0)} = \frac{\sqrt{\frac{\int_0^{T_s-2t_d} (I_{Lp}(t_d) \sin(\omega_d t))^2 dt}{T_s}}}{\sqrt{\frac{\int_0^{T_s} (I_{Lp}(0) \sin(\omega_0 t))^2 dt}{T_s}}} = \frac{\sqrt{\frac{T_s - 2 \cdot t_d}{T_s}} \cdot I_{Lp}(t_d)}{I_{Lp}(0)} \quad (2-22)$$

将式 2-21 代入式 2-22, 得式 2-23。

$$\frac{I_{Lprms}(t_d)}{I_{Lprms}(0)} = \sqrt{\frac{T_s}{T_s - 2 \cdot t_d}} \quad (2-23)$$

由式 2-23 可见, 电路的工作频率与死区时间均影响 $I_{Lprms}(t_d)/I_{Lprms}(0)$ 的值, 当开关频率一定时, 归一化比例将随 t_d 的增大而快速变大。将 1MHz 与 250kHz 两个频率下的 $I_{Lprms}(t_d)/I_{Lprms}(0)$ 比例随 t_d 的变化绘制在图 2-10 中, 得图 2-11。

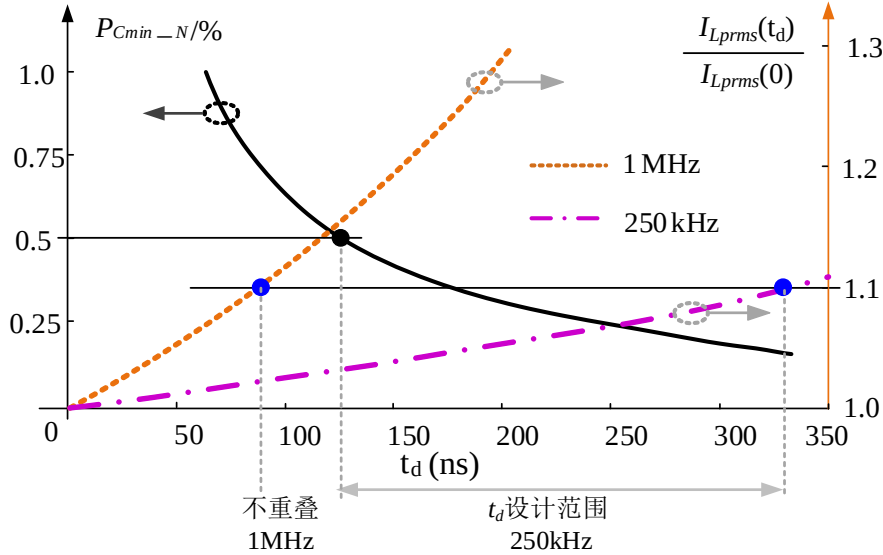


图 2-11 不同频率下死区时间 t_d 的设计范围(IPB60Rxxx C7)

变压器绕组与副边 SR 的导通损耗随归一化比例 $I_{Lprms}(t_d)/I_{Lprms}(0)$ 的平方值增大而迅速增大, 因此在 t_d 的设计中必须要考虑这一点。在高频与低压大电流的场景下, 变压器的铜损与副边 SR 的损耗将占电路总损耗的较大比例, 为了电路整体的效率, 这一部分损耗增大的比例应当予以考虑。本文中以 20% 的损耗增大比例为例, 则电流有效值 $I_{Lprms}(t_d)/I_{Lprms}(0)$ 的增大比例不应超过 10%。在开关频率为 250kHz 时, 由图 2-11, 则 t_d 应该小于 330ns; 当开关频率为 1MHz 时, t_d 的范围缩小到小于 80ns。

当综合考虑整个变换器的损耗时, 考虑图 2-11 中的两条曲线, 当 t_d 增大时, P_{Cmin_N} 随之降低, 即原边开关管导通损耗下降, 而变压器铜损与副边损耗增大。在折中考虑 t_d 对电路的损耗时, t_d 应该选取两条曲线设计范围的交集。以 250kHz 为例, 考虑 $P_{Cmin_N} < 0.5\%$ 和 $I_{Lprms}(t_d)/I_{Lprms}(0) < 1.1$ 时, 有 t_d 的设计范围为 $120\text{ns} < t_d < 330\text{ns}$, 如图 2-11 所示的交叠区域。这正是目前商业化的基于高压 Si 器件的 DC-DC 模块大致的工作频率。在 250kHz 的工作频率下, 通过合理设计可以使变换器实现较高的效率, 但功率密度相对较低。

然当电路工作频率上升到 1MHz 时, t_d 的设计范围分别为 $t_d > 120\text{ns}$ ($P_{Cmin_N} < 0.5\%$) 与 $t_d < 80\text{ns}$ ($I_{Lprms}(t_d)/I_{Lprms}(0) < 1.1$), 这意味着同时在电路设计时无法平

衡原边开关管导通损耗与副边损耗，难以实现预期的最高效率。在设计高频电路时，这是难以避免的挑战。

2.3 基于低 NFoM 器件的电路设计

2.3.1 低 NFoM 器件的导通损耗模型

在 1MHz 变换器中，高压器件(IPB60Rxxx C7 系列)在设计中难以平衡原副边的损耗。在式 2-19 的 P_{cmin_N} 解析式中，除了 t_d 外，还有原边器件参数 NFoM 同样影响原边管的导通损耗，在电路设计中可以优化。正在快速发展的新一代器件 GaN FET 凭借着氮化镓材料的优异特性，拥有远小于基于 Si 材料的 MOSFET 的 NFoM^{[28][29]}，因此在高频应用中 GaN FET 广受学术界的欢迎^{[30][31]}。

式 2-19 揭示了制约原边开关管导通损耗的是器件的 NFoM，除了新器件 GaN FET 外，商业化的低压 Si 器件也拥有远低于高压 Si 器件的 NFoM^[26]。由于高压输入的耐压限制，需要多个低压器件串联共同承受电压应力，如图 2-12 所示， n 是串联数量。

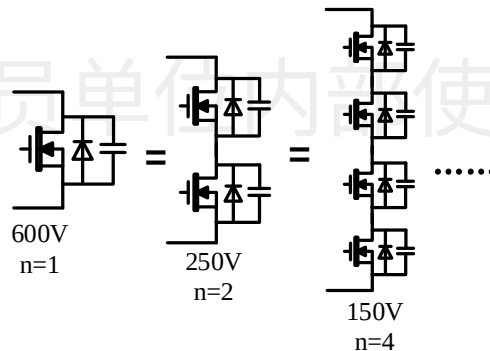


图 2-12 不同耐压器件串联对比

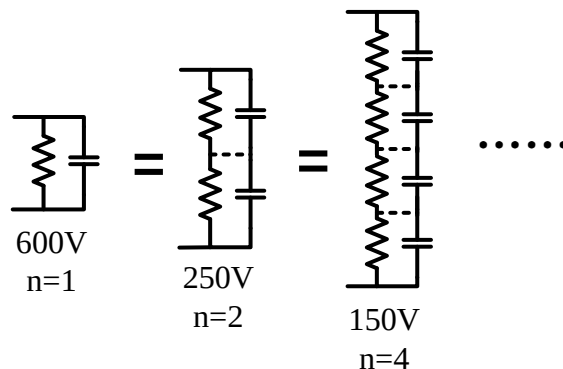


图 2-13 器件串联的等效电路

多个器件串联时，必须将这种结构考虑进电路的损耗分析与 ZVS 过程中。

如图 2-13 是器件串联的等效电路。在器件开通时，等效电路为 n 个串联的低压器件沟道；当进入 ZVS 过程时，所需充放电的结电容为 n 个低压器件串联的结电容。因此多个串联器件可以看成是一个整体，其 NFoM 可以定义为导通时的总沟道电阻与 ZVS 过程中的等效结电容，如式 2-24。

$$NFoM = nR_{ds(on)} \cdot \frac{C_{ot}}{n} \quad (2-24)$$

式 2-24 说明多个器件串联的 NFoM 是由单个器件所决定的，因此低压器件串联替代高压器件来优化导通损耗在原理上可行。在 380V 直流母线输入时，原边使用不同耐压的器件，需要对应不同的串联数量，其 NFoM 随耐压与数量变化的趋势如图 2-14 所示。

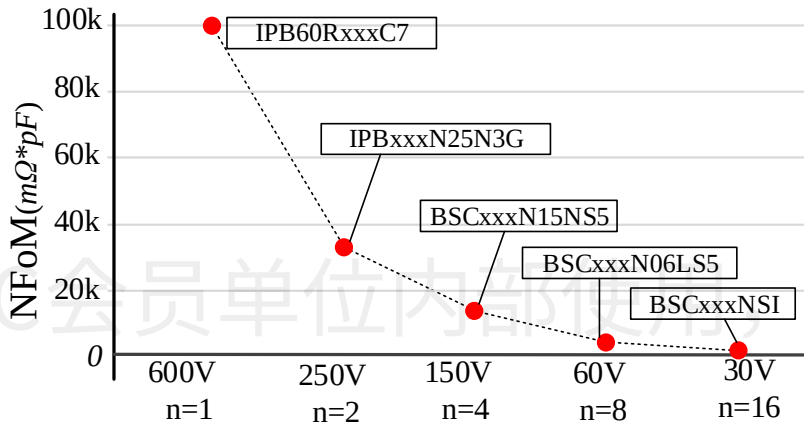


图 2-14 串联低压器件的 NFoM 与耐压的关系(Infineon)

由图 2-14，随着器件耐压的降低，器件串联数量增多，NFoM 也不断下降，当器件数量 $n > 8$ 时，NFoM 的下降已经不明显，对于损耗的影响已经可以忽略。

2.3.2 低 NFoM 器件下死区时间 t_d 的设计

在采用低 NFoM 器件后， P_{cmin_N} 随之减小， t_d 的设计与高压器件相比应当取得了更多的裕量，如图 2-15 展示了不同耐压的器件的 P_{cmin_N} 曲线与 $I_{Lprms}(t_d)/I_{Lprms}(0)$ 归一化比例曲线。在 $n=2$ 时，器件为 Infineon 250V IPBxxxN25N3G 系列，同样取 $P_{cmin_N} < 0.5\%$ ，对应的死区时间的设计范围为 $t_d > 40ns$ 。结合归一化比例的范围，可以取得死区时间的设计范围为 $40ns < t_d < 80ns$ 。当 n 逐渐变大，同一个 t_d 下 P_{cmin_N} 变小， t_d 的设计范围也逐渐变大。当 $n > 8$ 时，影响可以忽略不计。原边开关管采用低压器件串联使用的设计思路，可以在高频应用下平衡电路原边与副边的损耗，避免在设计中妥协电路某一部分的效率，最大化装置整体的效率。

此外，采用低压管串联时， $n=2$ 时原边开关管的导通损耗相比 600V 高压 Si MOSFET 大大下降。随着器件耐压的降低，串联数增大，原边开关管的导通损耗占总功率的比例也不断降低，从而提高电路的效率。当串联数 $n>8$ 时，原边开关管的导通损耗的归一化比例已经极低， n 继续增大时下降已经不再明显，说明此时 NFoM 的减小对导通损耗的影响已经可以忽略。

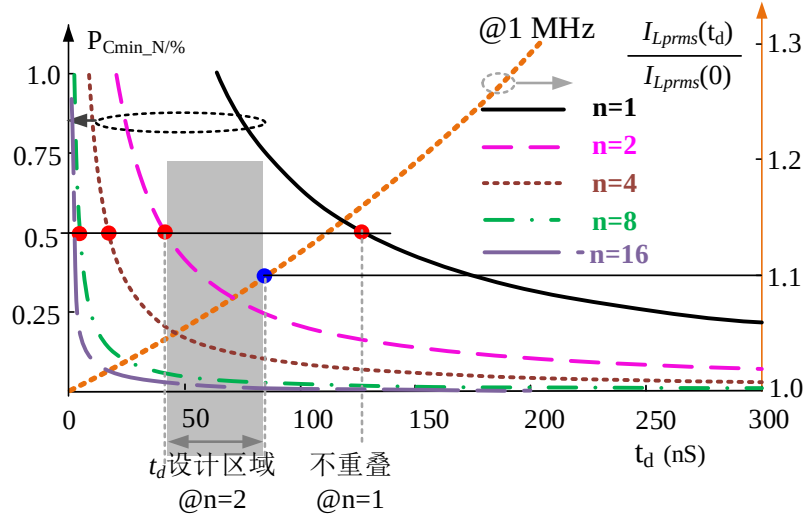


图 2-15 1MHz 下死区时间 t_d 的设计范围

2.4 原边开关管导通损耗模型的补充

在使用低耐压器件后，增长的器件数量带来的驱动损耗已经不能忽略。原边导通损耗模型需要补充驱动损耗，修正为总损耗模型。

以半桥为例，两个开关管的驱动损耗如式 2-25 所示。

$$P_{Dri} = 2f_s V_g Q_g \quad (2-25)$$

其中 f_s 是开关频率， $f_s=1/T_s$ ， V_g 是驱动电压， Q_g 是开关管的总栅极电荷。若以 n 个低压管串联代替，则可以改写为 2-26。

$$P_{Dri-n} = 2n \cdot f_s V_g Q_g \quad (2-26)$$

同理，导通损耗式 2-15 可以改写为 2-27。

$$P_{Con-n} = \left(\frac{8n_r^2 V_o^2 T_r}{t_d^2 T_s} \cdot \left(\frac{Co_{tr}}{n} \right)^2 + \frac{\pi^2 I_o^2 T_s}{8n_r^2 T_r} \right) \cdot n \cdot R_{dson} \quad (2-27)$$

式 2-26 与 2-27 相加可得总损耗模型如下。

$$P_{total} = \left(\frac{8n_r^2 V_o^2 T_r}{t_d^2 T_s} \cdot \left(\frac{Co_{tr}}{n} \right)^2 + \frac{\pi^2 I_o^2 T_s}{8n_r^2 T_r} \right) \cdot n \cdot R_{dson} + 2n \cdot f_s V_g Q_g \quad (2-28)$$

将其改写为 2-29。

$$P_{total} = \frac{8n_T^2 V_o^2 T_r N F o M^2}{t_d^2 T_s} \cdot \frac{1}{n \cdot R_{dson}} + \frac{\pi^2 I_o^2 T_s}{8n_T^2 T_r} \cdot n \cdot R_{dson} + \frac{2n \cdot V_g Q_g}{T_s} \quad (2-29)$$

在电路规格($V_I/V_o/I_o$)、工作频率、变压器匝比与驱动电压一定时,总损耗只与器件的三个参数相关,即 $N F o M$ 、 Q_g 与 R_{dson} 。在某系列的器件中, $N F o M$ 是一个常数,而 Q_g 与 R_{dson} 有类似的关系,文献提出总栅极电荷与导通电阻的乘积唯一常数^[32],如式 2-30。

$$B F o M = Q_g \cdot R_{dson} \quad (2-30)$$

将 2-30 代入 2-29 中,并整理得 2-31。

$$P_{total} = \left(\frac{8n_T^2 V_o^2 T_r N F o M^2}{n \cdot t_d^2 T_s} + \frac{2n \cdot V_g \cdot B F o M}{T_s} \right) \cdot \frac{1}{R_{dson}} + \frac{n \pi^2 I_o^2 T_s}{8n_T^2 T_r} \cdot R_{dson} \quad (2-31)$$

总损耗模型依旧是关于器件导通电阻的反比例函数,同理求出最小点的横纵坐标。

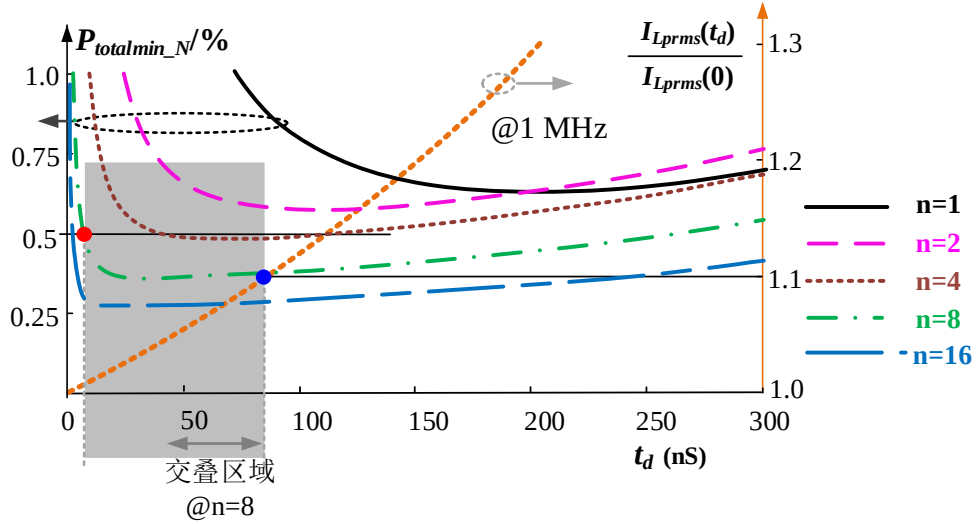
$$R_{dson@min} = \sqrt{\frac{64n_T^4 V_o^2 T_r^2 N F o M^2}{n^2 \cdot \pi^2 t_d^2 T_s^2 I_o^2} + \frac{16n_T^2 V_g T_r \cdot B F o M}{\pi^2 T_s^2 I_o^2}} \quad (2-32)$$

$$P_{totalmin} = 2 \sqrt{\frac{\pi^2 V_o^2 I_o^2 N F o M^2}{t_d^2} + \frac{n^2 \pi^2 I_o^2 V_g \cdot B F o M}{4n_T^2 T_r}} \quad (2-33)$$

横坐标 $R_{dson@min}$ 确定了设计中在确定的某个器件系列中应选取的具体器件型号,使得原边开关管的总损耗最小化。同样对 $P_{totalmin}$ 对总功率做一个归一化,如式 2-34。

$$P_{totalmin_N} = 2 \sqrt{\frac{\pi^2 \eta^2 N F o M^2}{t_d^2} + \frac{n^2 \eta^2 \pi^2 V_g \cdot B F o M}{4n_T^2 V_o^2 T_r}} \quad (2-34)$$

同理作出 $P_{totalmin_N}$ 与 $I_{Lprms}(t_d)/I_{Lprms}(0)$ 归一化比例曲线,如图 2-16。

图 2-16 原边总损耗归一化比例与 t_d 的设计

由图 2-16 可以看出总损耗 $P_{totalmin_N}$ 随 t_d 的增大先减小，后增大。原因是当 t_d 较小时，由式 2-32 可知 $R_{dson@min}$ 较大，此时开关管的 Q_g 与 Co_{tr} 都较小，因此因此驱动损耗很小，主导损耗的是较大的导通电阻引起的导通损耗，因此当 t_d 的增大时导通损耗随 $R_{dson@min}$ 的减小而减小，总损耗也随之减小。而当 t_d 逐渐增大，驱动损耗比重逐渐上升，导通损耗对总损耗的影响逐渐变小， $P_{totalmin_N}$ 下降趋势变缓，直至最小点。之后 t_d 增大时， $R_{dson@min}$ 已经足够小，此时 Q_g 较大，驱动损耗占主导，当 t_d 增大时 Q_g 进一步增大，驱动损耗也急剧变大，引起总损耗的增大。

在死区时间的设计上，本文取 $P_{totalmin_N} < 0.5\%$ ，对应的死区时间的设计范围随 n 变大而变大。可以看到当 $n > 8$ 以后，影响已经较小，因此本文设计中采用耐压为 60V 的 Si 器件，串联数 $n=8$ 。结合电流归一化比例的范围，可以取得死区时间的设计范围为 $15\text{ns} < t_d < 80\text{ns}$ 。考虑到重载下变压器铜损与副边整流电路的损耗较大，设计中死区时间限定为 80ns。

在服务器电源领域，由于负载为 CPU 等设备，有待机与轻负荷运行等工况，对变换器轻载效率要求高。因此本文的在选取原边开关管时根据式 2-32 与式 2-34，在额定功率的 30% 载处进行设计。

2.5 本章小结

本章详细分析了串联谐振电路的工作模式，尤其是在死区时间内原边开关管软开通的实现过程，揭示了软开通过程对原边开关管导通损耗的影响，在此基础

上建立了导通损耗模型。根据导通损耗模型，提出了基于低压管低 NFoM 的特性，利用低压管串联代替高压管，从而大大减小原边的导通损耗的设计思路。为了实现电路的高效率，在设计中必须平衡原副边的损耗，本章通过归一化的导通损耗与原边电流对死区时间进行了分析与设计，保证了电路各部分损耗的合理平衡。考虑到数量较大的低压管驱动损耗不可忽略，将导通损耗模型修正为总损耗模型，依此确定了原边开关管采用 60V 的低压器件。低压器件串联时需要考虑开关动作时的动态均压问题，因此直接串联结构并不适合实际工作，下一章将结合变压器设计与电路整体拓扑设计对此进行更详细的讨论。

仅限PMIC会员单位内部使用，不得外传

3 变压器设计与电路设计

3.1 高频下低压大电流输出的变压器设计

对于高频下低压大电流输出的变换器而言,通常情况下电路总损耗的一大部分集中在变压器^{[21][22][23]},从装置的尺寸来看占据体积最大的也是变压器,因此在高效高功率变换器的设计中必须要对变压器的尺寸与效率进行优化,本章对此进行讨论与设计。

3.1.1 磁材料与磁芯型号选择

磁芯损耗一般由磁材料、电路工作频率 f_s 、磁芯体积 V_{core} 与磁通密度变化量 ΔB 决定。其中磁材料、电路工作频率 f_s 与 ΔB 决定了磁芯磁损密度 P_v ,数学关系可以用斯坦梅兹公式^[33]描述,如式 3-1。

$$P_v = k \cdot f_s^\alpha \cdot \Delta B^\beta \quad (3-1)$$

其中 k 、 α 、 β 是与磁材料相关的常数。那么磁芯损耗 P_{core} 可由式 3-2 计算。

$$P_{core} = P_v \cdot V_{core} \quad (3-2)$$

选择合适的磁材料可以大大减小高频下的磁损,提升变换器的效率尤其是轻载时的效率。如图 3-1 是常见磁材料在材质温度 100℃ 时 1MHz 下的磁损密度^[34],在接下来的设计中采用 DMR 51W 的磁材料。

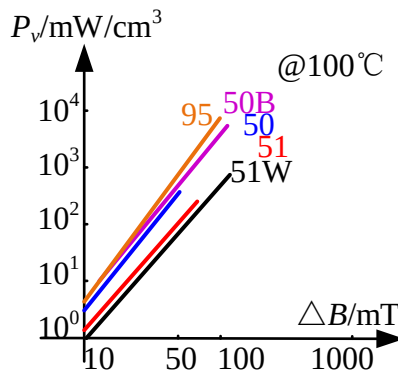


图 3-1 各类磁材料的单位体积磁损(DMEGC 锰锌功率铁氧体系列)

针对低压大电流输出的应用场景,需要多层 PCB 绕组并联减小阻抗,降低变压器铜损,然而多块 PCB 叠板时存在变压器高度过高与绕组交流损耗等问题。文献^[35]提出了采用 UI 型磁芯的矩阵变压器。矩阵变压器将 EI 型磁芯的多层板分散到两个边柱上,避免了多层板严重的交流损耗与多层 PCB 间的共模电流^[23],

由于矩阵变压器两个边柱的原边绕组串联，副边绕组可以实现天然均流。此外，文献^[35]的矩阵变压器充分利用了两个边柱上的磁通，各自单独作为一个变压器。矩阵变压器与采用 EI 型磁芯的变压器相比，提高了磁芯利用率，减小了磁芯体积，降低了变换器的磁芯损耗。因此本章设计中采用单块 6 层 PCB 板的矩阵变压器结构。

3.1.2 变压器参数设计

变压器的尺寸与损耗是设计中最关键的两个参数。通常变压器的损耗随着尺寸的增大而降低，如何取得损耗与尺寸的平衡是变压器设计不可避免的挑战。本节讨论变压器损耗的数学模型，包括磁芯损耗 P_{core} 与绕组损耗 P_w ，优化设计变压器尺寸与效率。在参数设计时取电路规格为 380V-12V/150A。

根据图 3-1，可以利用斯坦梅兹公式拟合磁芯的磁损密度曲线，如式 3-3。

$$P_v = 2.37 \cdot 10^{-3} \cdot \Delta B^{2.910} \cdot f_s^{1.943} \quad (3-3)$$

其中磁芯磁损密度 P_v 的单位是 W/m^3 ， ΔB 的单位是 T， f_s 的单位是 Hz。

高频下绕组损耗的计算必须考虑到 PCB 绕组的电阻交流系数，文献^[36]提出了绕组交流系数的数学模型，后有文献^[23]针对平面变压器对模型进行了修正。根据模型，平面变压器的 PCB 绕组的交流系数可以表达为式 3-4。

$$FR = M' + \frac{m^2 - 1}{3} D' \quad (3-4)$$

其中变量的定义如式 3-5 至 3-8。

$$M = \alpha \cdot h \cdot \coth(\alpha \cdot h) \quad (3-5)$$

$$D = 2\alpha \cdot h \cdot \tanh(\alpha \cdot h) \quad (3-6)$$

$$\alpha = \sqrt{\frac{j\omega\mu_0\eta}{\rho}} \quad (3-7)$$

$$\eta = N_l \cdot \frac{b}{a} \quad (3-8)$$

其中， M 和 D 为复数， M' 和 D' 分别是其实部， m 是通过打孔上下串联的某一绕组在 PCB 中占据的层数， N_l 是某一层 PCB 中绕组的总匝数， α 是某一层中绕组的总宽度， b 是单匝绕组的线径， h 为绕组厚度， ρ 为铜的电阻率， μ_0 为真空磁导率，如图 3-2。

变压器绕组的交流电阻可以由直流电阻乘以交流系数 FR 求得。在建立变压器损耗模型前,先定义变压器尺寸如图 3-3 所示。其中 l_{leg} 是变压器边柱的长度, r_{leg} 是边柱圆弧的半径, r_w 是绕组的线径, r_i 为某匝绕组的内径。在计算直流电阻时为简便,忽略绕组上的输出滤波电容与小封装 SR,直接计算整个封闭绕组的直流电阻。

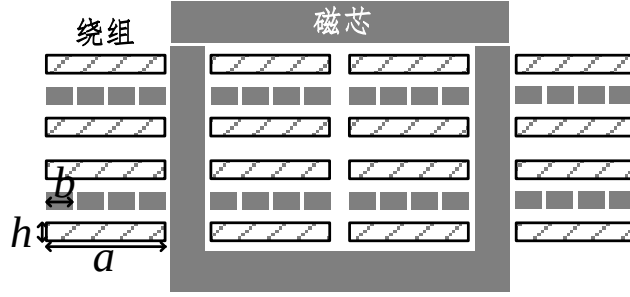


图 3-2 绕组尺寸标注

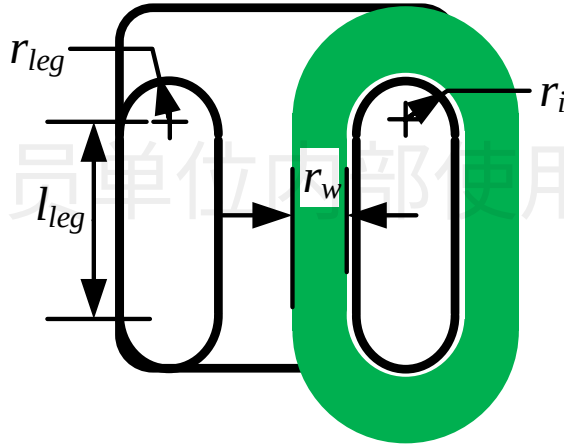


图 3-3 变压器尺寸定义

在计算绕组的直流电阻时,将其拆分为两段圆弧与两段直线分别计算。直线段的直流电阻计算如式 3-9。

$$R_{line} = \rho \cdot \frac{l_{leg}}{r_w \cdot h} \quad (3-9)$$

其中 h 绕组厚度即 PCB 铜厚,取 3oz 铜, $h=0.105\text{mm}$ 。半段圆弧的直流电阻可根据微元法进行精确计算,结果如式 3-10 所示。

$$R_{circle} = \frac{\rho \cdot \pi}{h} \cdot \frac{1}{\ln(r_w + r_i) - \ln(r_i)} \quad (3-10)$$

则一匝绕组的直流电阻为 R_{line} 与 R_{circle} 之和乘以 2 倍。

$$R_{dc} = \frac{2\rho \cdot l_{leg}}{r_w \cdot h} + \frac{2\rho \cdot \pi}{h} \cdot \frac{1}{\ln(r_w + r_i) - \ln(r_i)} \quad (3-11)$$

由 3-11 可以计算出原副边绕组的直流电阻, 结合 3-4 的交流系数可以算出原副边绕组的交流电阻, 从而可以计算出原副边的铜损 P_w , 如式 3-12 所示。

$$P_w = I_{p_rms}^2 \cdot R_{dc_p} \cdot FR_p + I_{s_rms}^2 \cdot R_{dc_s} \cdot FR_s \quad (3-12)$$

其中 I_{p_rms} 与 I_{s_rms} 是流过变压器原副边绕组的电路有效值, R_{dc_p} 与 R_{dc_s} 是变压器原副边绕组的直流电阻, FR_p 与 FR_s 是对应的交流系数。 I_{p_rms} 为流过变压器原边的电流的有效值, 与原边开关管的电流有效值相比, 区别在于死区时间内励磁电流经过原边绕组产生损耗, 而原边开关管此时已经关断。 I_{p_rms} 可如式 3-13 计算。

$$I_{p_rms} = \sqrt{\frac{\int_0^{T_r/2} i_p^2(t) dt + \int_{T_r/2}^{T_s/2} I_{Lm}^2 dt}{T_s / 2}} \quad (3-13)$$

副边电流有效值 I_{s_rms} 计算公式如 3-14。

$$I_{s_rms} = \sqrt{\frac{\int_0^{T_r/2} \left(i_p(t) + \frac{n_r V_o}{Lm} \cdot t - I_{Lm} \right)^2 dt}{T_s / 2}} \quad (3-14)$$

其中 L_m 为励磁电感。

变压器磁芯的截面积 Ae 可计算如下。

$$Ae = \pi \cdot r_{leg}^2 + 2r_{leg} l_{leg} \quad (3-15)$$

继而求出磁通路径长度 Le 如式 3-16。

$$Le = 4 \cdot r_{leg} + 4 \cdot r_w + 2h_{leg} + 2h_I \quad (3-16)$$

其中 h_{leg} 与 h_I 分别是磁芯边柱的高度与 UI 磁芯 I 片的厚度。由于采用单块 6 层板 PCB 绕组, 考虑磁芯与 PCB 板厚的公差, 磁芯边柱高度定为 $h_{leg} = h_{PCB} + 0.3\text{mm}$, h_{PCB} 为 PCB 的厚度。I 片厚度可计算如下。

$$h_I = \frac{Ae}{l_{leg} + 2r_{leg} + r_w} \quad (3-17)$$

由式 3-13 与式 3-14 可得磁芯体积, 表达式为 3-18。

$$V_{core} = \left(\pi \cdot r_{leg}^2 + 2r_{leg} l_{leg} \right) \cdot \left(4 \cdot r_{leg} + 4 \cdot r_w + 2h_{leg} + 2 \cdot \frac{Ae}{l_{leg} + 2r_{leg} + r_w} \right) \quad (3-18)$$

根据磁芯体积与 DMR51W 磁材料的磁损密度，可求出磁芯损耗。变压器的总损耗 P_T 可计算如式 3-19。

$$P_T(r_{leg}, r_w, l_{leg}) = P_{core} + P_w \quad (3-19)$$

根据式 3-15, Ae 、 r_{leg} 与 l_{leg} 三个变量的约束关系，将 l_{leg} 以 Ae 、 r_{leg} 解出，如式 3-20。

$$l_{leg} = \frac{Ae - \pi \cdot r_{leg}^2}{2r_{leg}} \quad (3-20)$$

将式 3-19 中的 l_{leg} 以 3-20 代入，可得变压器总损耗与 Ae 、 r_{leg} 、 r_w 的函数关系，如式 3-21。

$$P_T(Ae, r_{leg}, r_w) = 2.37 \cdot 10^{-3} \cdot \Delta B^{2.910} \cdot f_s^{1.943} \cdot Ae \cdot \left(4r_{leg} + 4r_w + 2h_{leg} + \frac{4Ae \cdot r_{leg}}{Ae + (4 - \pi)r_{leg}^2 + 2r_{leg}r_w} \right) + I_{p_rms}^2 \cdot R_{dc_p} \cdot FR_p + I_{s_rms}^2 \cdot R_{dc_s} \cdot FR_s \quad (3-21)$$

其中磁芯的 ΔB 由 Ae 与变压器伏秒可以计算，如式 3-22。

$$\Delta B = \frac{V_o}{4f_s Ae} \quad (3-22)$$

变压器损耗模型的三个参数中 Ae 设计范围最小，首先确定 Ae 的值有助于减小设计变量。首先根据输入输出电压规格与 SRC 电路谐振点附近的增益，确定 SRC DCX 的匝比如下。

$$n_T = \frac{V_I}{2V_o} = 16 \quad (3-23)$$

因此变压器的原副边匝比为 16:1:1，以图 3-2 的排布为例，矩阵变压器的两个边柱上各绕 8 匝原边，分两层分布，每层 4 匝，通过过孔串联；副边同样左右各分 4 层，通过过孔并联。即 6 层板中两层排布原边，4 层排布副边，以减小低压大电流输出下副边绕组的铜损。

边柱的圆弧半径 r_{leg} 的范围受截面积 Ae 的约束，即 $\pi \cdot r_{leg}^2 < Ae$ ，因此取值范围有限，可以先暂定 r_{leg} ，作总损耗与绕组线径和磁芯截面积的关系图。

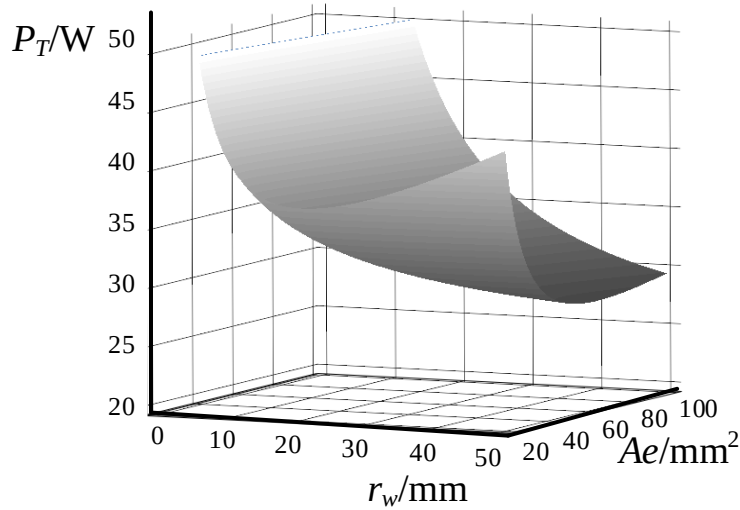
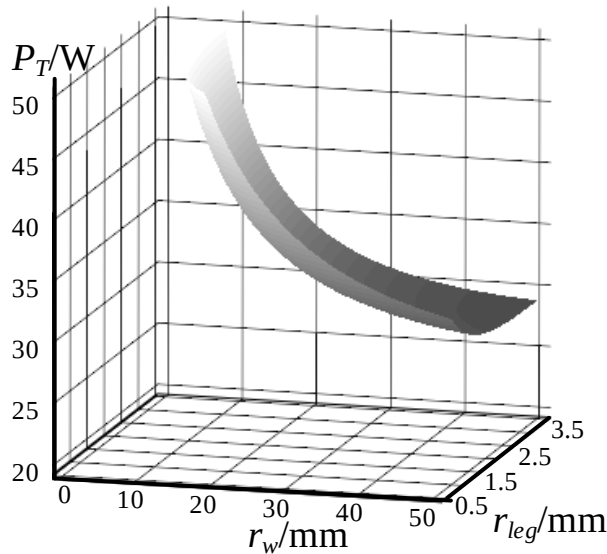
图 3-4 变压器总损耗 P_T 与 r_w 和 Ae 的关系

图 3-4 为 $r_{leg}=3\text{mm}$ 的例图, 变压器总损耗 P_T 随着绕组线径 r_w 的变大而减小, 原因在于较宽的线径大大减小了铜损。但到 r_w 较大时 P_T 几乎不再减小, 原因在于宽线径的外侧的直流电阻过大, 对减小铜损几乎没有帮助, 但磁损却随磁芯尺寸的增大而增大, 以至于最后 P_T 随 r_w 的增大反而增大。在 Ae 坐标轴上, 不难发现 P_T 在 Ae 的坐标轴上存在一个谷底, 且谷底几乎不随 r_{leg} 的变化而移动。将此时变压器损耗最小的 Ae 定为 50mm^2 。

在确定 Ae 之后, 可以由 $\pi \cdot r_{leg}^2 < Ae$ 得出 r_{leg} 的取值范围, $r_{leg} < 3.5\text{mm}$ 。作出 P_T 随 r_w 与 r_{leg} 的变化趋势图, 如图 3-5 所示。

图 3-5 变压器总损耗 P_T 与 r_w 和 r_{leg} 的关系

可以看出, 总损耗 P_T 随 r_{leg} 的增大是先减小后增大。原因在于过小的 r_{leg} 会

导致磁芯在 l_{leg} 方向上过于狭长，使绕组的路径过长，增加铜损；而过大的 r_{leg} 则增大了磁芯长度，增加了磁损。作出在一定绕组线径下的总损耗 P_T 随 r_{leg} 趋势图，如图 3-6，当 $r_{leg}=3\text{mm}$ 时，总损耗达到最小，因此边柱圆弧半径的最优值取 $r_{leg}=3\text{mm}$ 。

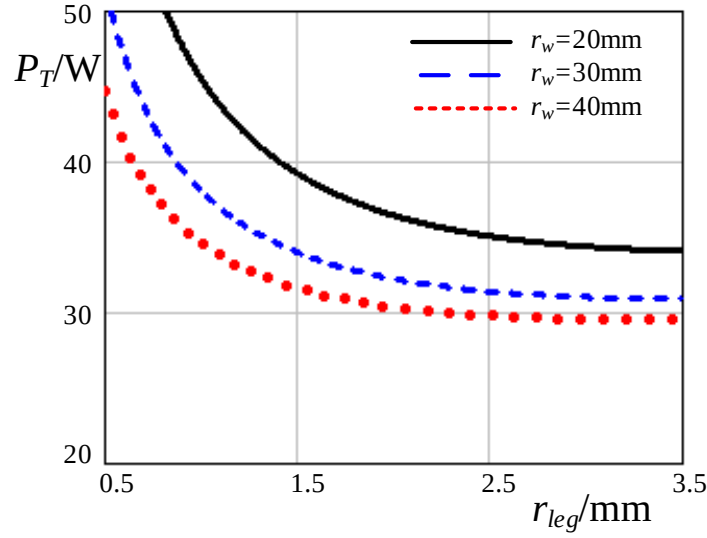


图 3-6 总损耗 P_T 随 r_{leg} 的趋势

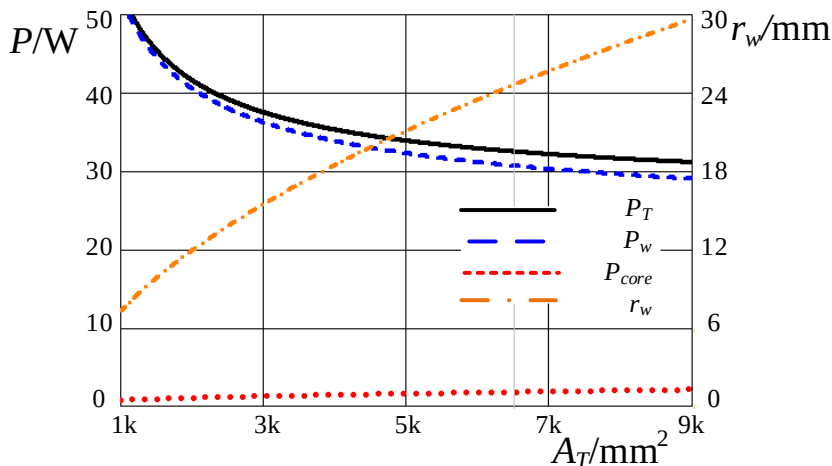
在讨论对总损耗 P_T 的 r_w 最优值时，由于变压器尺寸与 r_w 关系密切，必须将 r_w 对损耗与尺寸的影响同时考虑，在变压器效率与尺寸上作优化设计。定义变压器所占面积为 A_T ，由之前变压器的尺寸参数，可以计算出其面积如式 3-24。在计算面积时考虑变压器两侧的绕组宽度。

$$A_T = (2r_{leg} + l_{leg} + r_w) \cdot (4r_{leg} + 4r_w) \quad (3-24)$$

在式 3-24 中，只有一个未定量 r_w ，将其解出，得 3-25。

$$r_w = \frac{-(8r_{leg} + 2l_{leg}) + \sqrt{(8r_{leg} + 2l_{leg})^2 - 16\left(4r_{leg}^2 + 2r_{leg}l_{leg} - \frac{A_T}{2}\right)}}{8} \quad (3-25)$$

将 $A_e=50\text{mm}^2$ 与 $r_{leg}=3\text{mm}$ 及式 3-25 代入式 3-19 可得 P_T 随变压器的尺寸变化的函数 $P_T(A_T)=f(A_T)$ 。如图 3-7 是 P_T 随 A_T 变化的趋势图。

图 3-7 P_T 随 A_T 变化的趋势图

绕组损耗随着变压器尺寸的变大而减小，到变压器尺寸大于 5000mm^2 时已经不再明显，而磁芯损耗则不断变大，因此总损耗在 $A_T > 5000\text{mm}^2$ 时几乎不变。从图中可知，不考虑变压器尺寸，变压器损耗 P_T 的极限值为 31.1W ，占了总处理功率的 1.72% ，这使得 98% 的预期效率几乎无法达到。考虑变压器尺寸与损耗的最优点需要根据实际需求进行设计，变压器损耗将进一步变大。

在上述设计中，变压器的磁损与铜损所占比例相差悬殊，但增大绕组线径与变压器尺寸对减小绕组损耗几乎没有帮助。原因在于圆形的绕组内外侧直流电阻不完全一致，靠近外侧的绕组直流电阻较大，这种现象在绕组线径增大时尤为明显。下面将单个变压器拆分为多个矩阵变压器进行设计，并作横向对比。考虑到变压器匝比为 $16:1:1$ ，原边匝数较多，而副边输出为低压大电流，矩阵变压器之间为原边串联，副边并联。

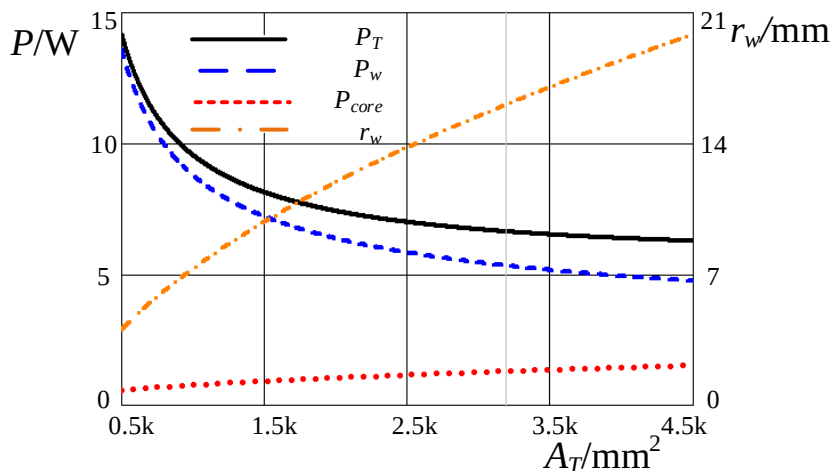


图 3-8 变压器损耗与尺寸关系(2 个矩阵变压器)

如图 3-8 是采用 2 个矩阵变压器时单个变压器损耗与尺寸的趋势图。与图 3-7

相比，在总面积保持一致时，以 5000mm^2 为例，2 个分离的矩阵变压器的总损耗为 14W ，远小于单个变压器的 33.9W 。而在相同的损耗下，分离矩阵变压器的设计能做到更小的尺寸。当分离变压器的数量分别为 4 个与 8 个时，如图 3-9 与 3-10 所示。

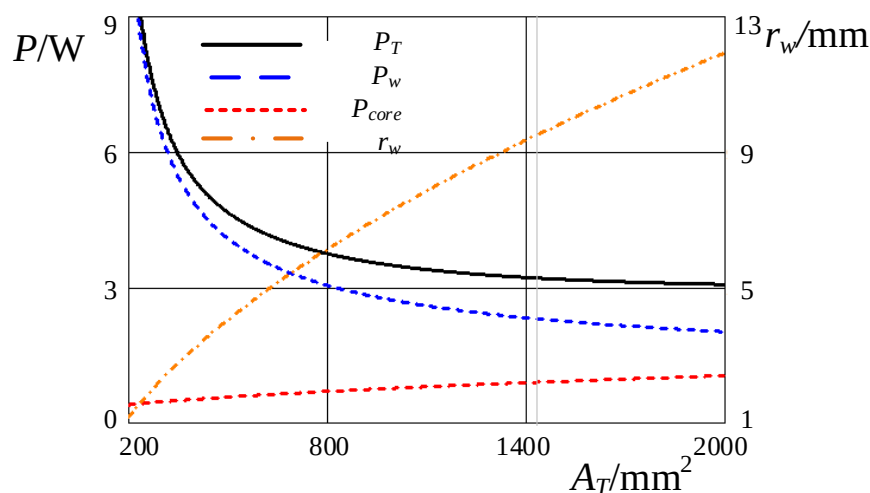


图 3-9 变压器损耗与尺寸关系(4 个矩阵变压器)

当变压器数量为 4 个与 8 个时，以总面积 5000mm^2 为例，总损耗分为 13.2W 与 12.8W 。随着矩阵变压器数量的增多，铜损在总损耗中的比重逐渐减小，而磁损则渐渐增大。原因在于矩阵变压器副边是串联结构，数目增多并没有减小由输出电压决定的变压器伏秒关系，在一定的开关频率与磁芯截面积下，其影响磁损的 ΔB 完全不变，也就是磁损密度不变。因此磁损随着磁芯数目增多，磁芯总体积不断增大而增大。

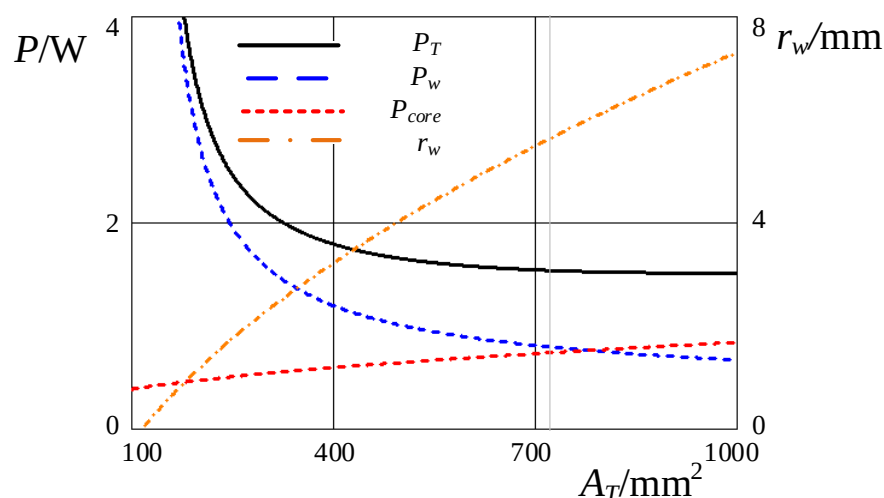


图 3-10 变压器损耗与尺寸关系(8 个矩阵变压器)

将不同数目的矩阵变压器的总损耗随总尺寸变化的趋势汇总在图 3-11, 其中 N 为变压器数目。可以看到当总尺寸较小时, N 越大总损耗反而增大。原因在于磁芯边柱所占总面积随 N 线性增大, 当总尺寸较小时磁芯边柱截面积所占比例过大, 在总尺寸一定时减小了绕组所占面积, 增大了铜损。当总尺寸增大后这个现象有所改善。本文设计中为追求变换器的高功率密度, 将总尺寸 A_T 定为 2000mm^2 , 此时取矩阵变压器数目 $N=4$, 取绕组线径为 4mm 。

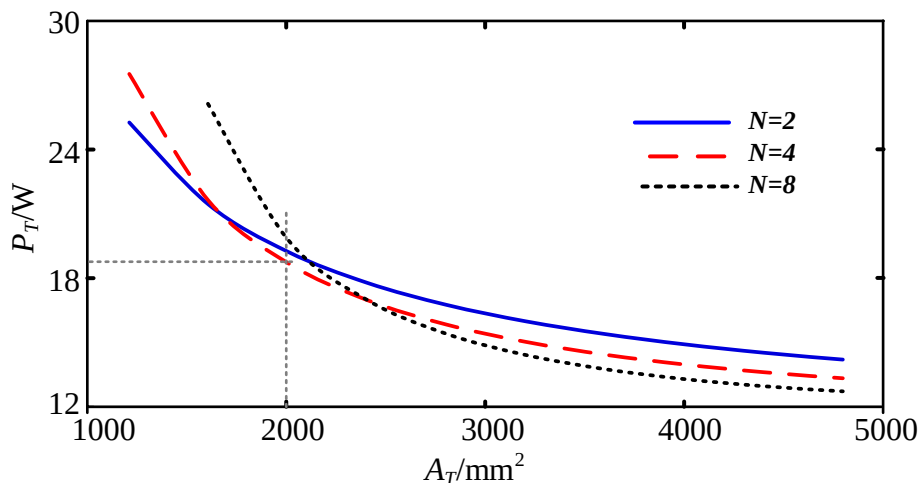


图 3-11 矩阵变压器损耗对比

3.2 电路原边拓扑设计

第二章对原边开关管导通损耗模型的讨论确定了采用 60V 的低压 Si 器件作为原边的开关器件, 然而开关器件串联时存在开关动作时的动态均压问题, 因此直接串联结构并不适合实际工作。结合本章的矩阵变压器设计, 分立的低压器件可以与多个数目的矩阵变压器配合, 若干低压器件与一个矩阵变压器构成一个低压输入的 SRC DCX, 再由若干 SRC DCX 在原边高压输入侧串联, 副边低压输出侧并联, 形成一个输入串联输出并联(Input Series Output Parallel, ISOP)的变换器如图 3-13, 如图 3-12 所示是一个电路单元。

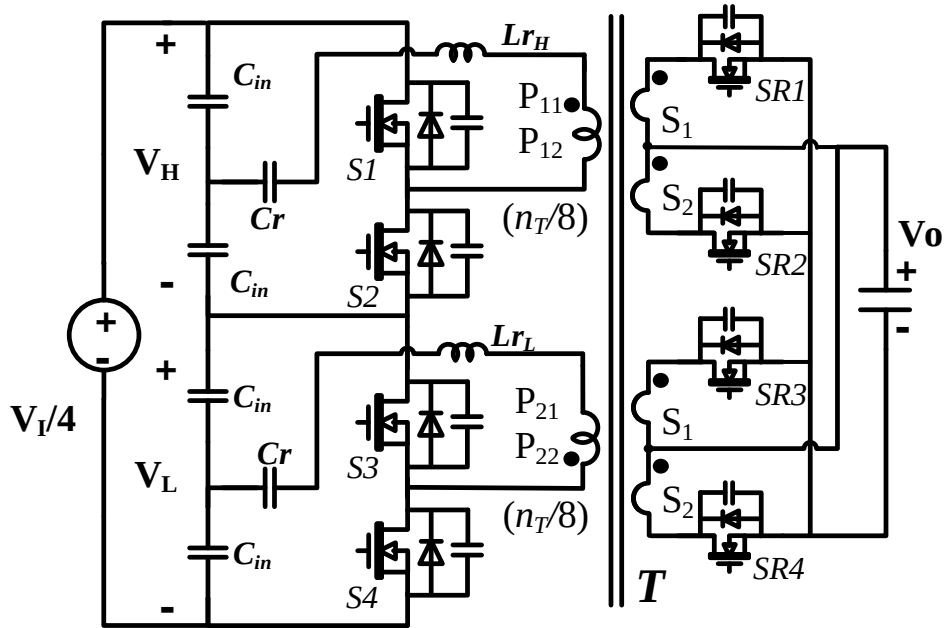


图 3-12 ISOP 电路的一个单元

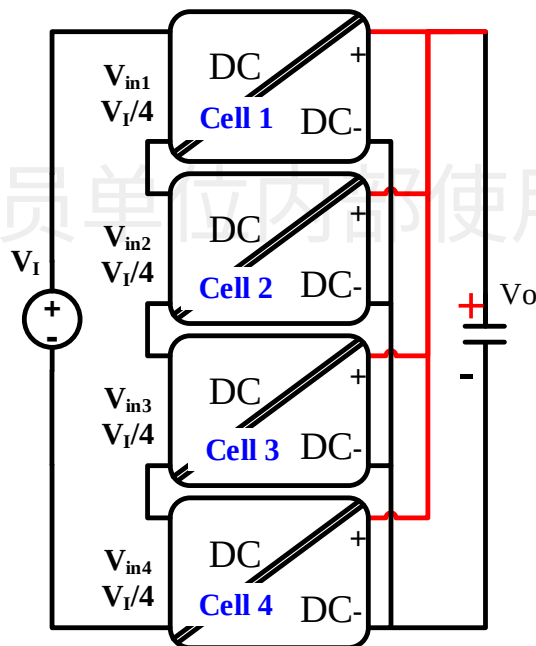


图 3-13 四个电路单元构成 ISOP 变换器

由于矩阵变压器的两个边柱的原副边绕组在电压分配与功率处理上可以看做两个变压器。由上一节矩阵变压器设计结果 $N=4$ ，则一共由 8 个边柱等效的 8 个电压器，与原边开关管的 8 对低压管构成 8 个 SRC DCX 正好组合为 8 个 SRC 子模块。根据原边开关管的低压管串联的设计，在子模块中两对低压桥臂在原边保持串联。每两对低压管构成的两对桥臂模块与一副 UI 型磁芯构成一个矩阵变压器，配合相互并联的副边整流电路为一个完整的电路单元，即两个 SRC 子模

块构成一个电路单元。共四个电路单元构成 ISOP 结构，如图 3-13，四个电路单元在原边高压输入侧串联，低压输出侧相互并联。因此单个电路单元的高压输入侧为高压直流母线电压的 $1/4$ ，原边开关器件电压应力为母线电压的 $1/8$ 。此时每个电路单元的变压器匝比为 $4:1:1$ ，每个边柱为 $2:1:1$ 。原边电路串联的结构降低了每个器件的电压应力，而分离的矩阵变压器设计与并联输出的副边整流电路提升了电路的电流输出能力，适合低压大电流的应用场景。

将器件直接串联转换为拓扑间的串联，避免了器件串联工作潜在的问题。同时拓扑副边并联输出更适合于低压大电流的应用场景。四个电路单元同时处理功率传输，重载下有利于装置的散热。

3.3 副边同步整流设计

由于副边为低压大电流输出，整流电路的导通损耗占电路总损耗的比重不可忽视。在 150A 的大电流输出下，在考虑 SR 的导通电阻时必须考虑由于温升带来的导通电阻的增大。此外焊接点电阻通常为 $0.5\text{-}1\text{m}\Omega$ ，这与 SR 的导通电阻的在同一个数量级，在 150A 大电流下一个焊点的损耗可达 22.5W ，焊点电阻不可忽略。

由于输出侧为低压输出，整流管的电压应力已经较小，采用更低压管串联的设计思路已不可行。因此，针对大电流输出，本文采取多个同步整流管并联使用，减小 SR 的导通损耗与焊接点损耗。

首先建立副边整流电路的损耗模型，若选取的同步整流管的导通电阻为 R_{dson} ，整流管的漏极与源极的焊点电阻等效为 R_{pad} ，则整体的等效导通电阻 R_{sr} 为式 3-26。

$$R_{sr} = R_{dson} + R_{pad} \quad (3-26)$$

若有 n 个同步整流管并联导通，则总等效导通电阻为式 3-27。并联数目 n 指的是矩阵变压器一个边柱上的中心抽头整流电路的其中一个抽头所连的 SR 的并联数目。

$$R_{sr-n} = \frac{R_{dson} + R_{pad}}{n} \quad (3-27)$$

副边整流电路的导通损耗可以表示为式 3-28。

$$P_{Con_sr} = I_{s_rms}^2 \cdot \frac{R_{dson} + R_{pad}}{n} \quad (3-29)$$

由于整流管通常 R_{dson} 较小, 对应的总栅极电荷 Q_g 较大, 在多个整流管并联使用时考虑其驱动损耗, 如式 3-30。

$$P_{Dri_sr} = n \cdot V_g Q_g f_s \quad (3-30)$$

由式 3-29 与 3-30 可得总损耗如下。

$$P_{total_sr} = I_{s_rms}^2 \cdot \frac{R_{dson} + R_{pad}}{n} + n \cdot V_g Q_g f_s \quad (3-31)$$

副边输出电压为 12V, 则整流管电压应力为 24V, 考虑裕量选取 30V 与 40V 的器件, 进行横向对比。由于电路的四个单元在拓扑上完全一致, 处理的功率相等, 在计算时只考虑一个电路单元的整流电路。计算时考虑整流管结温为 100℃ 时的导通电阻, 焊盘电阻取 1mΩ, 驱动电压暂定为 5V。

根据器件的 BFOM 值, 从可选的器件中挑选出了数款, 其参数如表 3-1 所示。

表 1 预选的同步整流管的基本参数

型号	导通电阻/ mΩ	栅极电荷/nC	BFoM/ mΩ·nC
BSC010N04LSI	1.45	63	91.3
BSC019N04LS	2.6	29	75.4
BSC026N04LS	3.6	22	79.2
BSZ028N04LS	3.9	21	81.9
BSZ034N04LS	4.6	18	82.8
BSZ0500NSI	1.6	18	28.8
BSZ0501NSI	2.15	11.4	24.5
BSZ0502NSI	3	9	27
BSZ0503NSI	3.1	7.1	21.7
BSZ0506NSI	4.5	5.2	23.4
SiR638ADP	1.2	80	96
SiRA66DP	3.1	29	89.9

将以上参数代入式 3-31 中, 画出总损耗 P_{total_sr} 随并联数目 n 变化的趋势图如图 3-14。从图中可以看到, 随着同步整流管并联数目的增多, 总损耗先快速下降, 在同步整流管到达一定并联数目后, 总损耗反而呈现开始增大。原因在于同

步整流管的并联减小了导通损耗，在数目较小时驱动损耗较小，总损耗随导通损耗下降而快速下降；当数目增大后，导通损耗的下降不再明显，而驱动损耗一直随 n 线性增大，比重上升，引起总损耗上升。从图中可以看到，在 $n>2$ 以后，总损耗几乎没有变化或快速增大，因此本文设计中取 $n=2$ 。此时可取副边整流 SR 型号为 BSZ0501NSI。

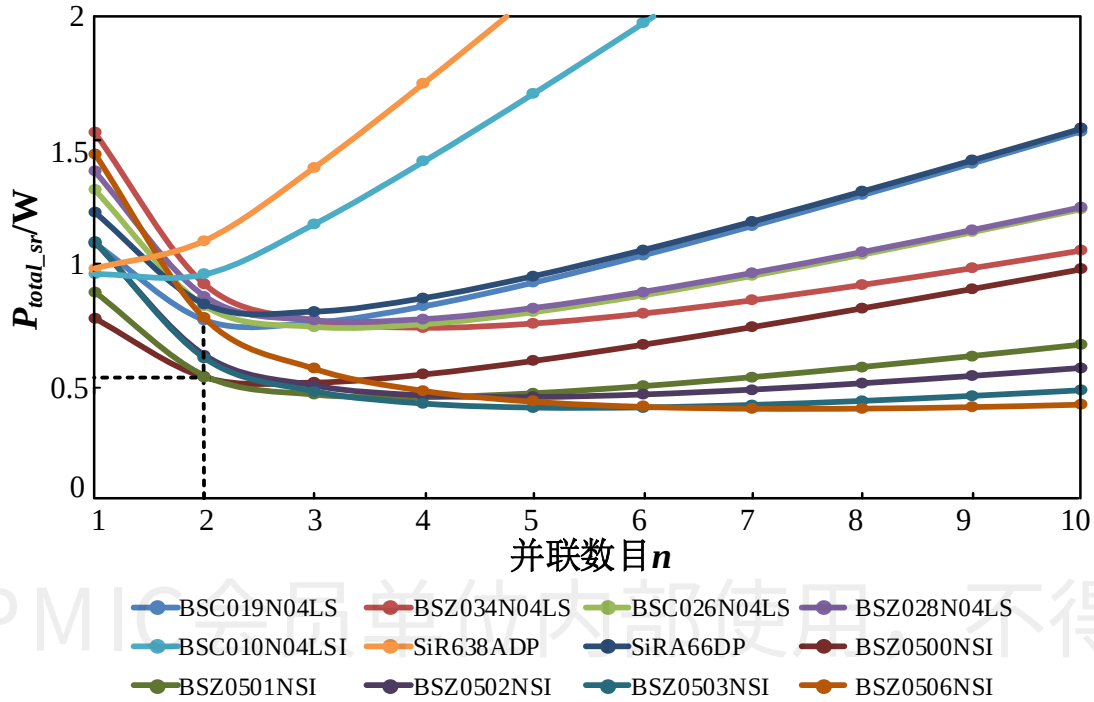


图 3-14 同步整流电路总损耗与 SR 并联数的关系

由并联数 $n=2$ ，可以得到一个电路单元的电路图如图 3-15 所示。结合变压器设计中副边绕组的排布，4 层副边绕组分为两组抽头，每组两层绕组，为了避免绕组并联再与并联 SR 串联整流带来的连接点交流损耗，采用直流侧并联的并联方式。

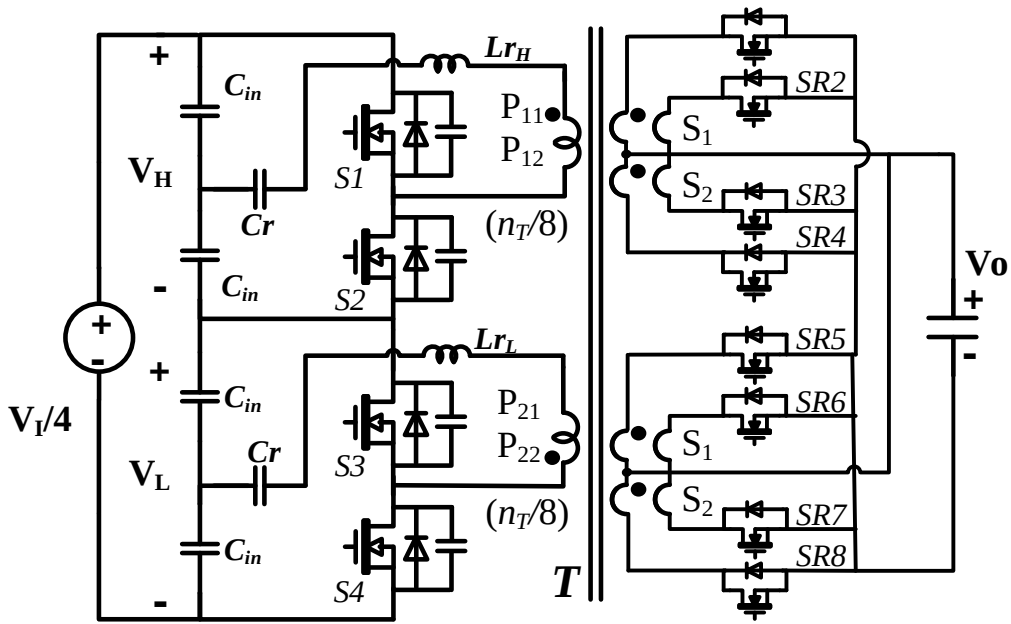


图 3-15 副边直流侧并联的电路图

由于所选器件 BSZ0501NSI 封装为 3x3mm，在满载下需要考虑其温升是否在合理范围内。在满载下一个 SR 的发热功率可以由 3-32 计算。

$$P_T = \left(\frac{I_{s-rms}}{2} \right)^2 \cdot (R_{dson} + R_{pad}) = 0.21W \quad (3-32)$$

根据器件数据表得到其结到环境的热阻 R_{thJA} 为 60K/W，可以计算出满载下器件的结温温升，如式 3-33。

$$T_{Rise} = P_T \cdot R_{thJA} = 12.6K \quad (3-33)$$

即满载下温升为 12.6℃。由于器件数据表给出的是在一定散热环境下的热阻，实际工作中与测试环境有所差异，需要在实验中进行验证。

SR 的沟道电阻与驱动电压有密切关系，如图 3-16 所示。

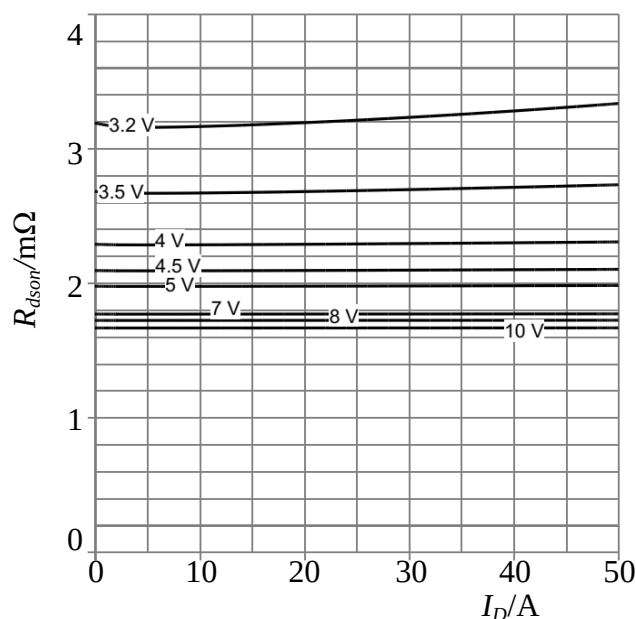


图 3-16 不同驱动电平下 BSZ0501NSI 的沟道电阻

由图中可见，驱动电压越高，沟道电阻越小，则导通损耗越小，但同时驱动损耗会增大。将在不同驱动电压下的一个 SR 的损耗算出，如图 3-17 所示。因此选择 7V 作为副边 SR 的驱动电压。

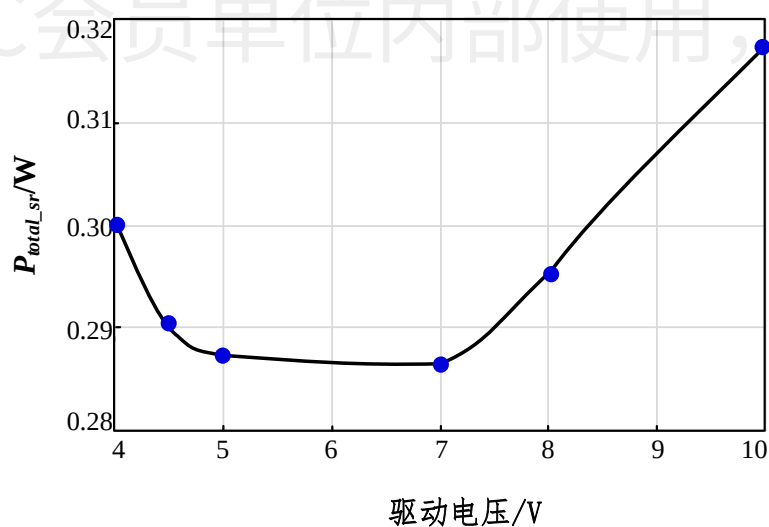


图 3-17 SR 的总损耗随驱动电平的变化

3.4 ISOP 电路控制策略

SRC DCX 副边输出为电压源，其纹波电流较大，如图 3-18 所示，输出电流与负载电流之间的纹波需要靠板上的电容吸收。SRC 需要较大的输出电容才能保证输出纹波电压符合设计要求，尤其是在低压大电流输出的变换器中。大量的输出滤波电容不利于提升电路整体的功率密度，且增加了装置的成本。

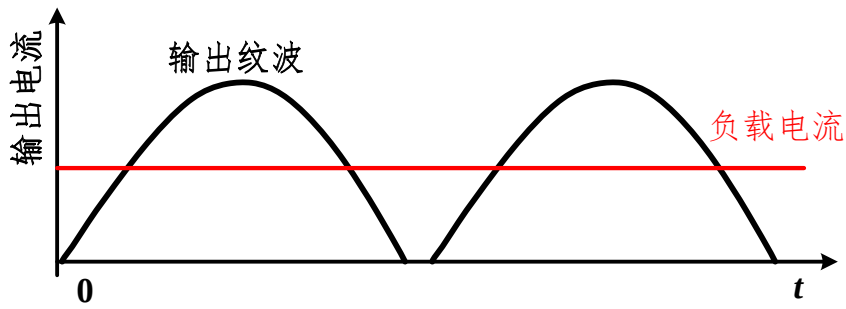


图 3-18 SRC DCX 输出电流

在本文设计的 ISOP 电路中，基于副边的并联输出结构，电路单元间采取交错并联控制策略时能有效减小输出电流的纹波与电压纹波，减少所需的输出滤波电容量，如图 3-19 所示。 I_{o1} 、 I_{o2} 、 I_{o3} 、 I_{o4} 分别是 ISOP 电流四个单元的输出电流， I_o 为四相总的输出电流，其纹波电流大大减小。此外，死区时间对负载电流的纹波也影响，如图中的灰色阴影部分。由于电路进入死区时间后原边不再向副边传递能量，副边输出电流为零，此时另外三个电路单元依旧工作，总输出电流出现一个大的纹波。而如黄色阴影部分，四相电流相互补偿，总输出电流接近负载电流，纹波较小。下面分析四相交错并联与单相电路相比能减小纹波与所需滤波电容的比例。

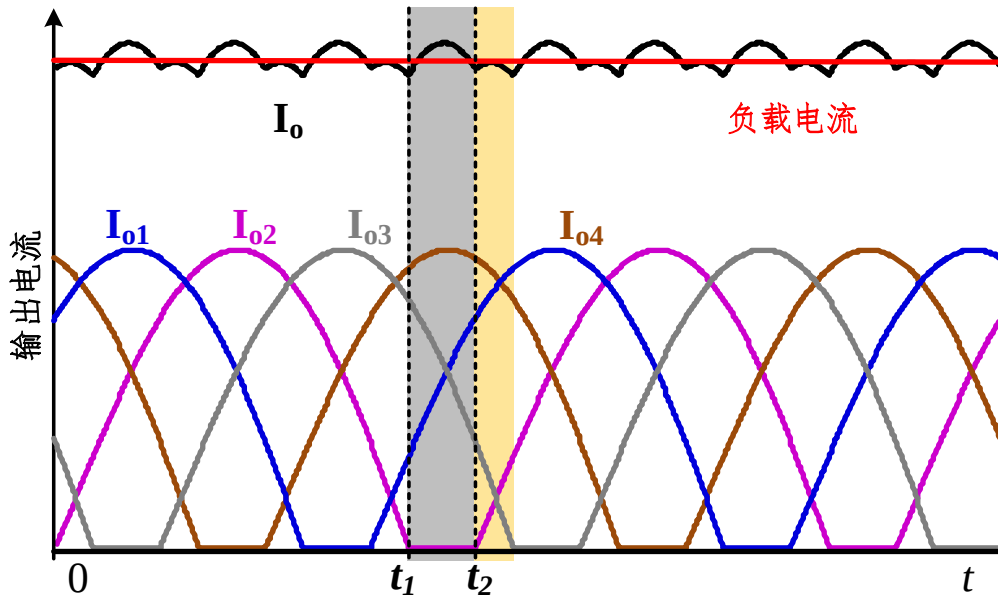


图 3-19 四相交错并联时的输出电流纹波

在计算副边输出电流纹波时，死区时间与原边励磁电流的影响均不能忽略，因此输出电流不能近似看成正弦波进行求解。将谐振过程时的原边电流看成正弦

波,励磁电流视为线性变化,则两者之差折算变压器变比可以求出副边电流波形,如图 3-20。

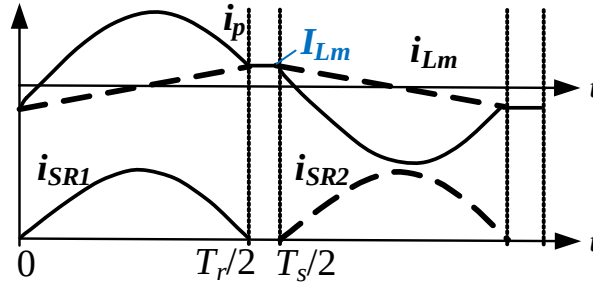


图 3-20 原边谐振电流与副边输出电流

原边电流的有效值已经在第二章中推导,现将周期内的励磁电流表达式给出,如式 3-34。

$$i_{Lm}(t) = \begin{cases} \frac{n_r V_o}{Lm} \cdot t - I_{Lm} & , 0 \leq t < \frac{T_r}{2} \\ I_{Lm} & , \frac{T_r}{2} \leq t < \frac{T_s}{2} \\ -\frac{n_r V_o}{Lm} \cdot \left(t - \frac{T_s}{2}\right) + I_{Lm} & , \frac{T_s}{2} \leq t < \frac{T_s + T_r}{2} \\ -I_{Lm} & , \frac{T_s + T_r}{2} \leq t < T_s \end{cases} \quad (3-34)$$

由此可得副边输出电流的表达式,如式 3-35。

$$i_{o_cell}(t) = \begin{cases} \left(I_p \sin(\omega t - \theta) - \frac{n_r V_o}{Lm} \cdot t + I_{Lm} \right) \cdot n_T & , 0 \leq t < \frac{T_r}{2} \\ 0 & , \frac{T_r}{2} \leq t < \frac{T_s}{2} \\ \left(I_p \sin(\omega t - \theta - \pi) - \frac{n_r V_o}{Lm} \cdot \left(t - \frac{T_s}{2}\right) + I_{Lm} \right) \cdot n_T & , \frac{T_s}{2} \leq t < \frac{T_s + T_r}{2} \\ 0 & , \frac{T_s + T_r}{2} \leq t < T_s \end{cases} \quad (3-35)$$

其中 I_p 为原边谐振腔正弦波电流的峰值, ω 为谐振角频率, θ 为谐振电流相位, I_{Lm} 为死区时间内的励磁电流, n_T 为变压器匝比。以上参数的表达式在第二章已有推导。 L_m 为保证在死区时间内实现原边开关管软开通所需的励磁电感,表达式如下。

$$Lm = \frac{T_r \cdot t_d}{16 \cdot C_{or}} \quad (3-36)$$

在四个 SRC 电路单元做交错并联时, 要实现副边各相交错, 由于副边电流为工作频率的 2 倍频, 则各相电流的相位差为 $\pi/8$ 。总输出电流可以表示为四相电流之和, 如式 3-37。

$$i_o(t) = i_{o_cell}(t) + i_{o_cell}\left(t - \frac{T_s}{8}\right) + i_{o_cell}\left(t - \frac{T_s}{4}\right) + i_{o_cell}\left(t - \frac{3 \cdot T_s}{8}\right) \quad (3-37)$$

对输出电流 $i_o(t)$ 求周期平均值, 即为负载电流, 可表示为式 3-38。

$$I_o = \frac{1}{T_s} \int_0^{T_s} \left(i_{o_cell}(t) + i_{o_cell}\left(t - \frac{T_s}{8}\right) + i_{o_cell}\left(t - \frac{T_s}{4}\right) + i_{o_cell}\left(t - \frac{3 \cdot T_s}{8}\right) \right) dt \quad (3-38)$$

如图 3-18 所示, 在电路输出电流大于负载电流时, 输出电容被充电, 电压上升。输出电容上的纹波可以由式 3-39 计算。

$$V_{ripple} = \frac{\int_{t_1}^{t_2} (i_o(t) - I_o) dt}{C_o} \quad (3-39)$$

式中 C_o 为输出滤波电容容值, 下面计算中以 60uF 为例。

由式 3-39 可以计算出单相 SRC 与四相交错 SRC 电路在负载范围内的纹波值, 如图 3-21 所示。在同样的输出滤波电容下, 单相的 SRC 输出电压纹波远大于交错并联。若要达到同样的输出电压纹波指标, 交错并联控制可以大大减少所需滤波电容数量, 从而提高电路的功率密度。

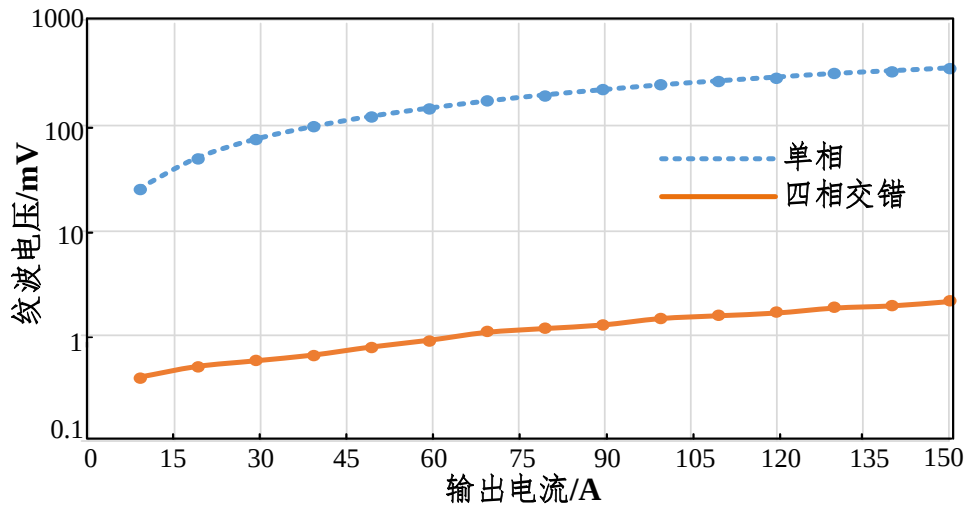


图 3-21 输出电压纹波对比

3.5 实验验证

根据前文所述的原边开关管设计思路与变压器设计方法, 搭建了一台输入电

压为 380V，输出电压为 12V，最大功率为 1.8kW 的实验样机，样机的开关频率为 1MHz。样机的其中一个单元的实验原理图如图 3-22 所示，其余三个单元完全一致。由于多相交错并联时所需控制信号数较多，采用 FPGA 可以灵活控制各相的驱动相位与频率。

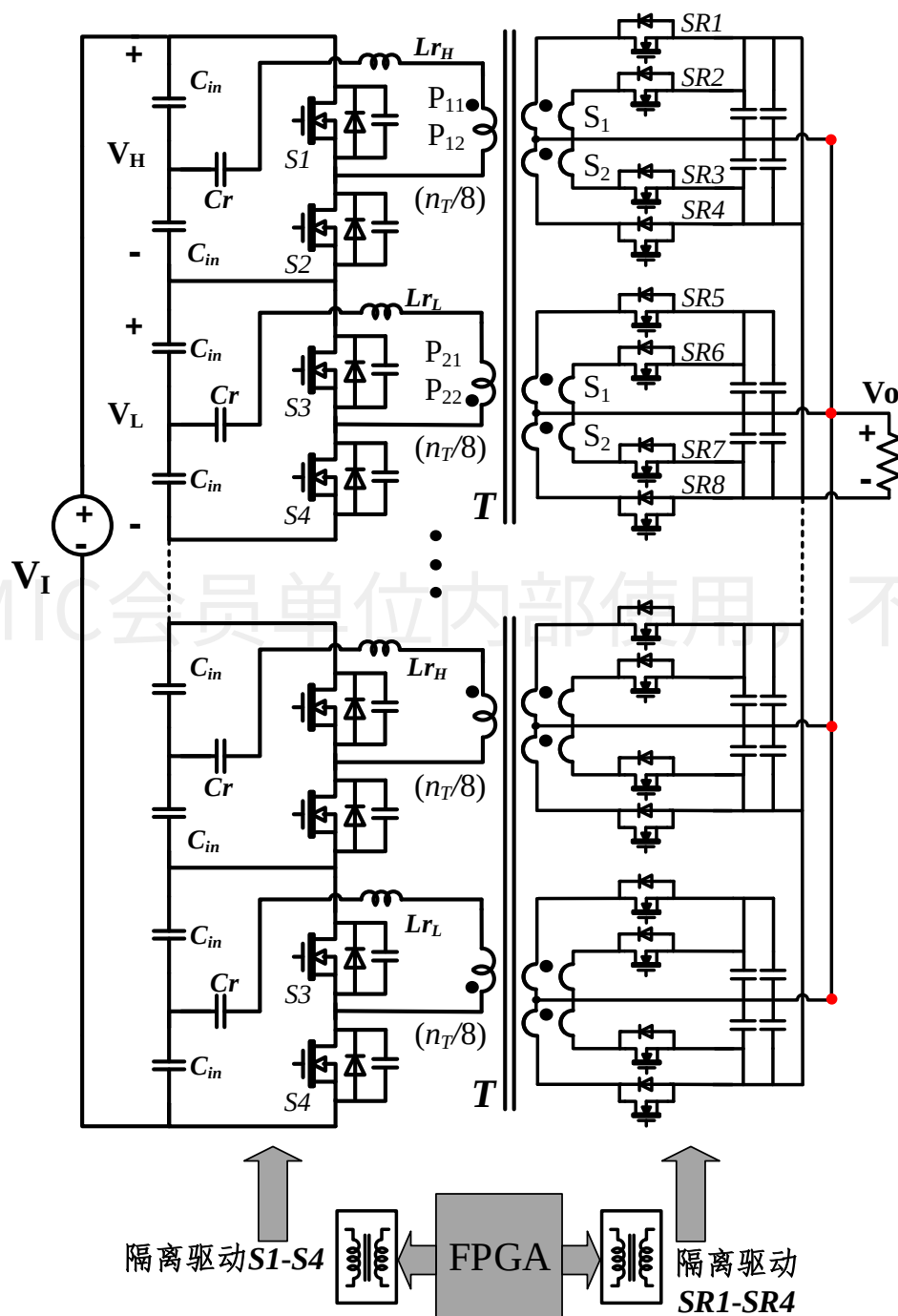


图 3-22 样机实验原理图

实验样机的关键参数如表 3-2 所示。

表 2 实验样机的关键参数

元器件	型号	元器件	型号
S1-S4	BSZ040N06LS5	SR1-SR8	BSZ0501NSI
谐振电感	14.2nH	谐振电容	12.5uF
励磁电感	1.8uH	总匝比	16:1:1
磁芯	UI29/DMR51W	PCB	6 层/3oz
输入电容	2.2uF/50V	输出电容	10uF/50V

实验样机照片如图 3-23 所示。原副边的开关管的封装都为 TSDSON-8，尺寸为 3*3mm，适合高密度变换器。电路共分为四个单元，每个单元原边包含 4 个 60V 器件构成的两个半桥与副边的 8 个 SR。由于各相的原边输入侧有电容解耦，高频电流成分较少，因此在布局时将其放在外侧，而将需要交错并联抵消各相输出电流的副边输出集中在中间，更好地起到交错并联的效果。每个单元都采用了矩阵变压器的漏感作为谐振电感，省去了外加电感的尺寸与额外的磁损。样机尺寸如图所示，功率密度可达 810W/in³。

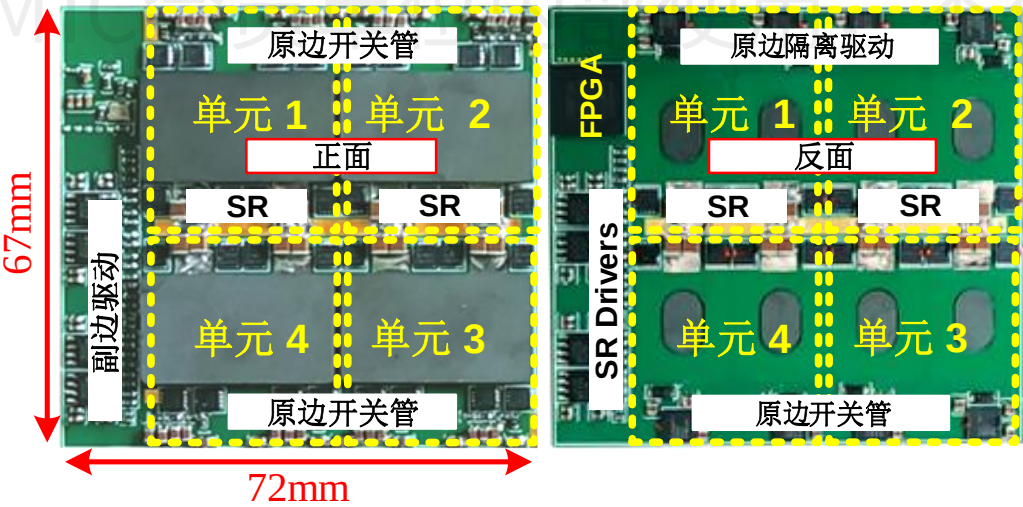


图 3-23 实验样机照片

矩阵变压器排布结构如图 3-24 所示，与图 3-22 中单元 1 的绕组相对应，其中 P₁₁&P₁₂&P₂₁&P₂₂ 为矩阵变压器的 4 匝原边绕组，S₁&S₂ 为副边绕组，均为一匝。原副边绕组够成了交错结构，减小了变压器内磁动势分布的峰值，有利于减小绕组内的涡流损耗，提升变换器的效率。同时交错的结构有利于副边并联绕组间与绕组内的均流度，提升电流分布的均匀度。如图 3-25 为对应绕组结构的电

流分布 2D 仿真，可见副边绕组均流度良好。

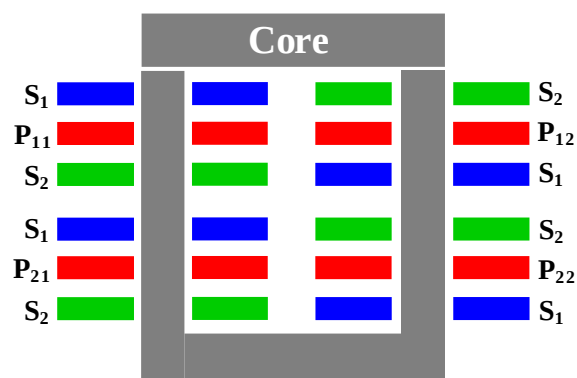


图 3-24 变压器绕组排布结构

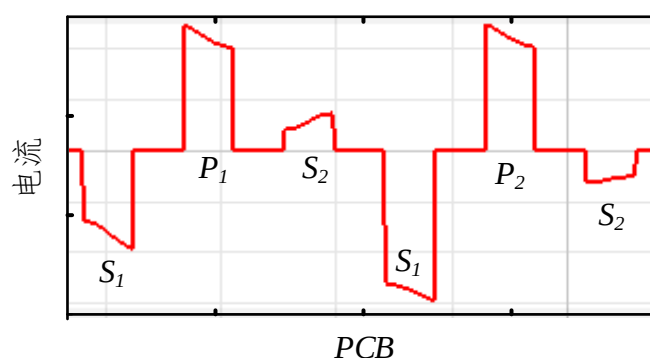
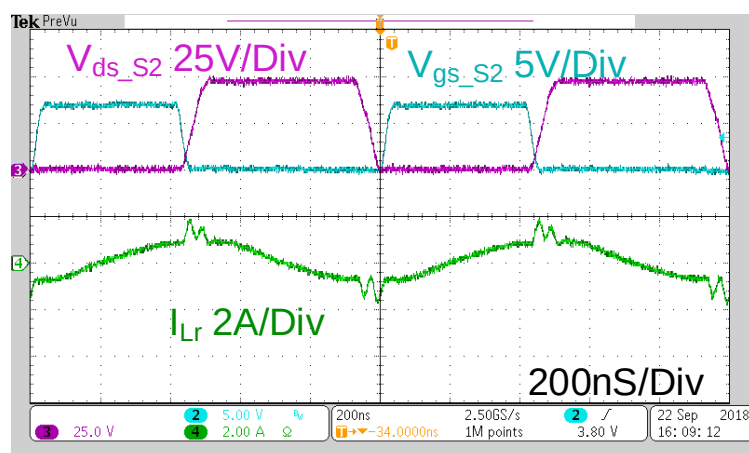
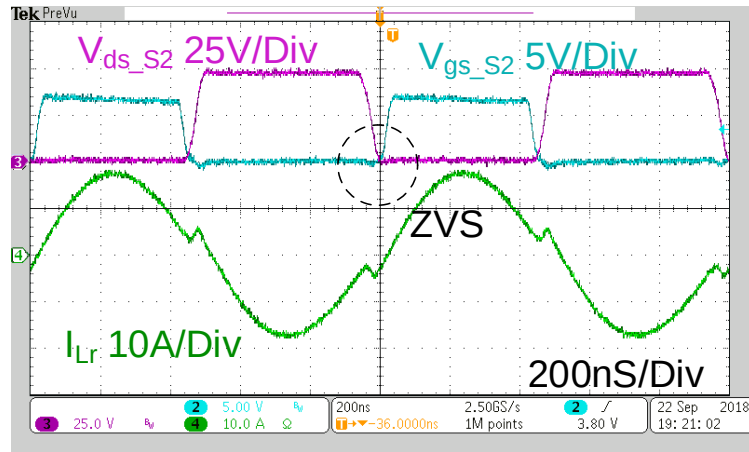


图 3-25 绕组中电流分布的 2D 仿真

如图 3-26 是在 380V 输入电压下的实验波形，其中 V_{ds_S2} 是原边开关管 S2 的漏源极电压波形， V_{gs_S2} 是 S2 的驱动电压波形， I_{Lr} 是对应单元的原边谐振腔电流。图 3-26(a)是电路空载下的实验波形，3-26(b)是电路满载下的实验波形。从图中可知，S2 的驱动电压从其漏源极电压降为零以后再上升至驱动电平，在全负载范围内实现了原边开关管的软开通。



(a) 空载



(b) 满载

图 3-26 380V 输入电压下的实验波形

各相之间的均压实验波形如图 3-27 所示。其中 V_{in1} & V_{in2} & V_{in3} 是三个电路单元的输入电压波形，如图 3-13 所示。在电路启动与负载跳变（0A-150A-0A）时，各相输入电压维持完全相等，在示波器上波形完全重叠。可知，电路启动与负载跳变时的单元间均压完全实现。

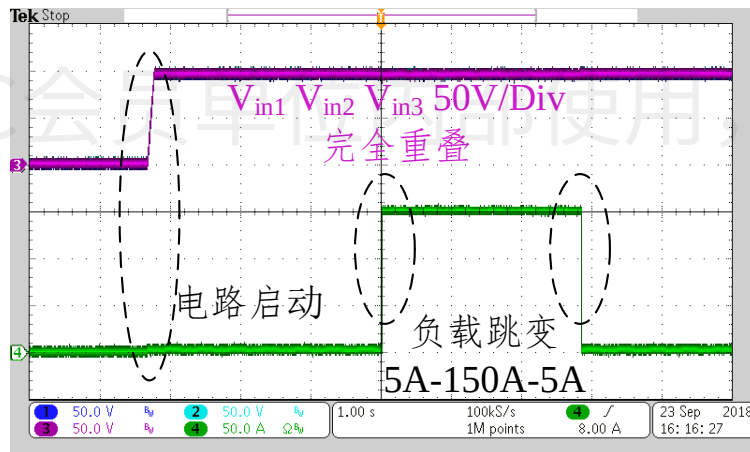
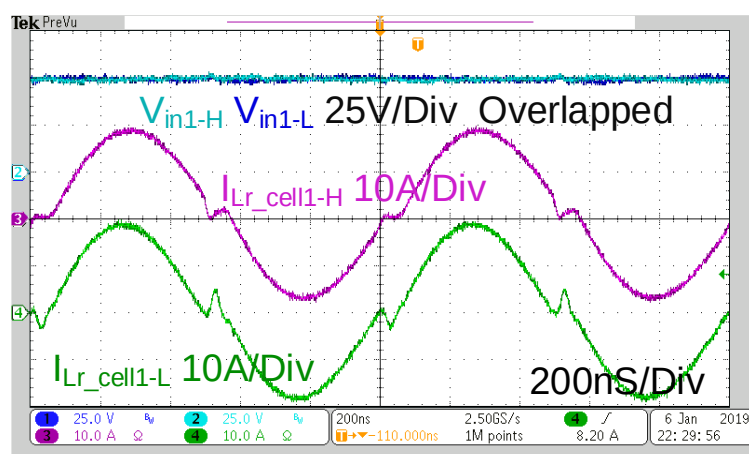


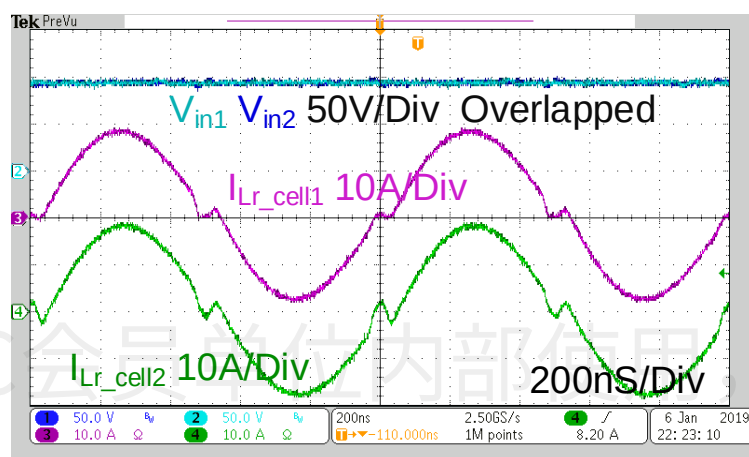
图 3-27 电路启动与负载跳变时的单元间均压实验

如图 3-28 是 SRC 电路单元内与单元间的均压与均流实验。图 3-28(a)是单元内的均压均流实验， V_{in1-H} 与 V_{in1-L} 是一个单元内的两个 SRC 子模块的输入电压， $I_{Lr_cell1-H}$ 与 $I_{Lr_cell1-L}$ 是对应的谐振腔电流，对应图 3-21 所示。由此可知单元内的两个 SRC 子模块完全实现了均压均流。图 3-28(b)是单元间的均压均流实验， V_{in1} 与 V_{in2} 是两个单元的输入电压， I_{Lr_cell1} 与 I_{Lr_cell2} 是对应的谐振腔电流，可知电路各单元之间完全实现了均流。这得益于电路原边串联副边并联的结构，由于各相电路的输出电压均一致，各个矩阵变压器副边都被箝位在输出电压 V_o ，则由 DCX 的工作特性可知变压器原边侧会被箝位在 $n_T/8 \cdot V_o$ ，由此各相的输入电压都将维持

均衡。



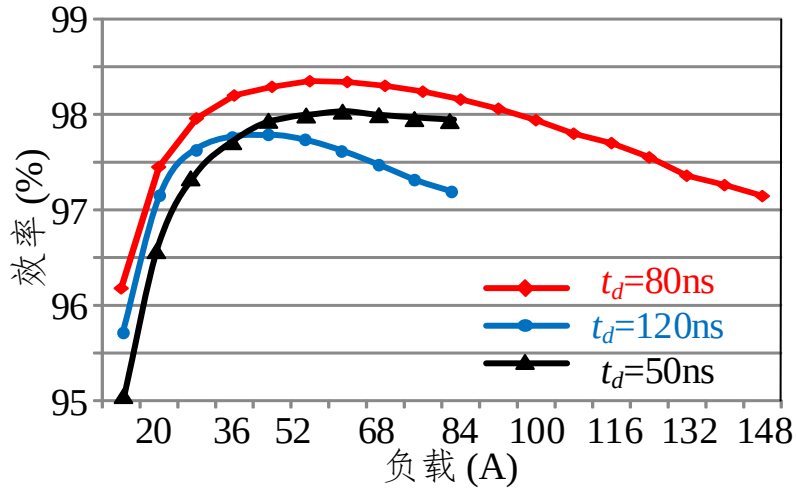
(a) 单元内



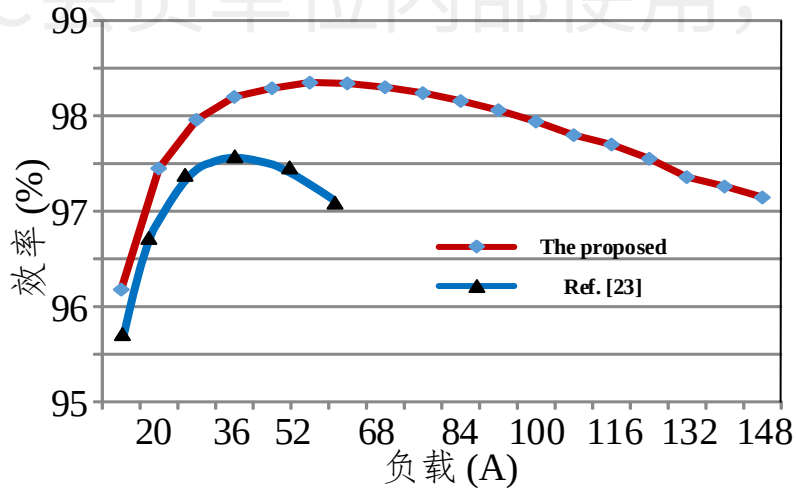
(b) 单元间

图 3-28 SRC 电路单元内与单元间的均压与均流实验

如图 3-29 是在不同死区时间下的效率对比。对比不同死区时间下电路的效率，过大或过小的死区时间均不利于效率提升。死区时间的选择需要同时考虑原边开关管导通损耗与变压器铜损及副边导通损耗的平衡，如图 2-15 的死区时间 t_d 的设计范围。从效率对比可以看出，当死区时间较小时，实现电路软开关需要较大的励磁电流，因此在轻载时由励磁电流引起的损耗相对较大，电路轻载效率较低；当死区时间较大时，电路励磁电流较小，轻载时效率较高，但重载时由于原副边电流有效值增大，引起变压器铜损与副边 SR 的导通损耗增大，因此重载效率较低。在 1MHz 开关频率和当前所选器件的前提下，当死区时间设计为 80ns 时，能较好地平衡原副边的损耗，保证电路在全负载范围内的高效率。

图 3-29 不同死区时间下的效率测试@ $T_r=80\text{ns}$

为了验证原边开关管设计,将本文样机效率与文献[23]中基于高压 GaN 器件的 DCX 进行对比,如图 3-30。由于两台样机的最大功率不同,文献[23]的效率曲线至其满载功率为止。本文所提出的样机在 40%额定负载处实现了最高效率 98.3%,在轻载(10%载)处效率为 97.5%,满载效率可达 97% (不考虑驱动损耗)。样机功率密度达 $810\text{W}/\text{in}^3$ 。对比可知本文提出的基于低 NFOF 的 Si 器件设计的高频 SRC 变换器在 MHz 下依旧能实现较高的效率。

图 3-30 低压 Si 器件样机与高压 GaN 器件样机^[23]效率对比

如图 3-31 时样机在满载下的温度分布图。满载下原边开关管的温度分布在 103.7°C 与 107.1°C 之间,如图中的原点 1-5,温度略有差别,原因在于实验时风扇冷却的方向,如右图所示,靠近风扇的器件温度低于远离风扇的器件。点 6-7 与 8-9 分别是变压器与 SR 的温度,基本一致。由热图可知电路各单元之间处理的功率与损耗分布较为均匀。

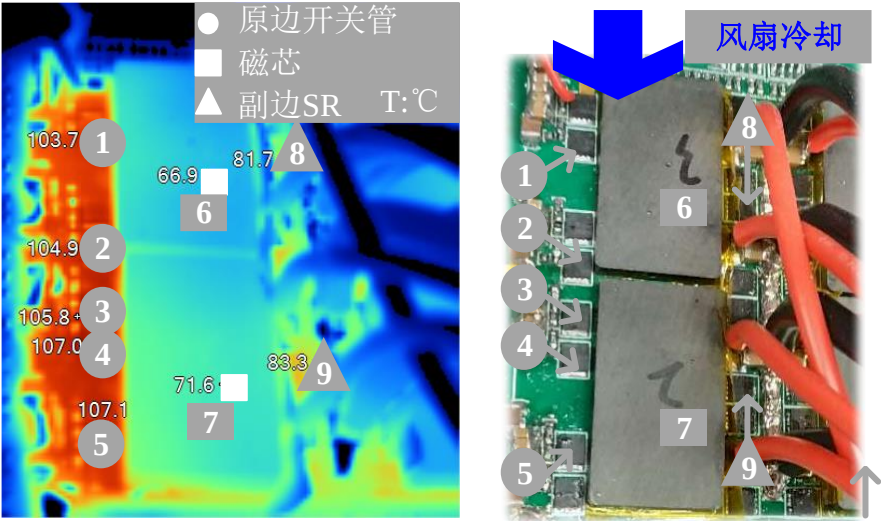


图 3-31 满载下电路的温度图

图 3-32 是电路在满载下的损耗分析，此时变压器的铜损占了主要部分，原边开关管与副边 SR 的导通损耗经过设计优化均低于 0.4%。

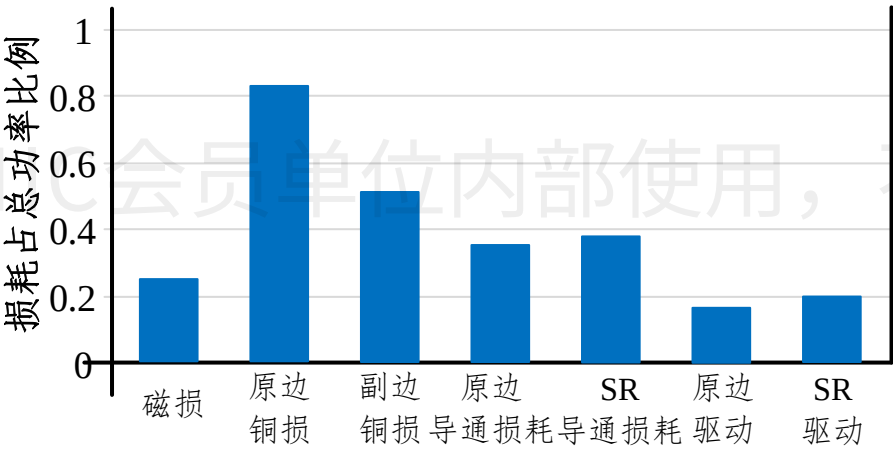


图 3-32 满载下电路损耗分析

表 3 样机与其他变流器模块的参数对比

	Synqor ^[17]	Vicor ^[37]	文献 ^[23]	本文
开关频率/Hz	250k	1M	1M	1M
效率/%	95.9%	97.1%	97.6%	98.3%
功率密度 W/in ³	470	711	900	810
输入电压	352V-11V	380V-12V	380V-12V	380V-12V
输出电压	60A	125A	66A	150A
输出电流				

表 3-3 是本文所提出的样机与其他高压母线变流器的参数对比，从表可知，

本文所提出的样机在效率与功率密度上都占据了优势，再一次验证了设计的合理性。

在考虑多相电路的交错并联时，为了实现各相输出电流之间相互的交错并联，则各相驱动时序应逐相差 $T_s/8$ ，如图 3-33 所示。此时对于样机而言，四相电路在排布上并不完全平等，如单元 1 与单元 2 的输出端相距较远，而单元 1 与单元 4 则在板上直接相连，距离较近。对于 1MHz 的高频信号，单元 1 与单元 2 之间的互连的 PCB 的引线寄生电感将影响高频电流的交错并联效果，而相对的单元 1 与单元 4 由于输出端直接相连，其交错效果较为理想。

对于图 3-33 的驱动时序，其交错效果也不相同。以两相交错并联为例，如图 3-34，当以驱动时序 1 与驱动时序 2 驱动两相交错 SRC 时，其交错并联效果不如以驱动时序 1 与驱动时序 3 驱动两相电路。因此，在四相 SRC 交错并联控制时，存在两种实施方式，分别是以驱动时序 1、2、3、4 驱动 SRC 单元 1、2、3、4，以及以驱动时序 1、2、3、4 驱动 SRC 单元 1、2、4、3，分别称之为相邻单元交错与对面单元交错。其交错并联效果如图 3-35 所示。可见，相对于四相完全同步驱动的不交错，实施了交错并联的纹波大大降低。而在两种实施方式中，以对面交错对输出电压纹波的抑制效果最好。

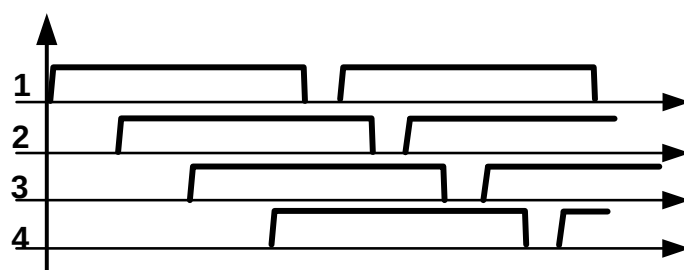


图 3-33 交错并联的驱动时序

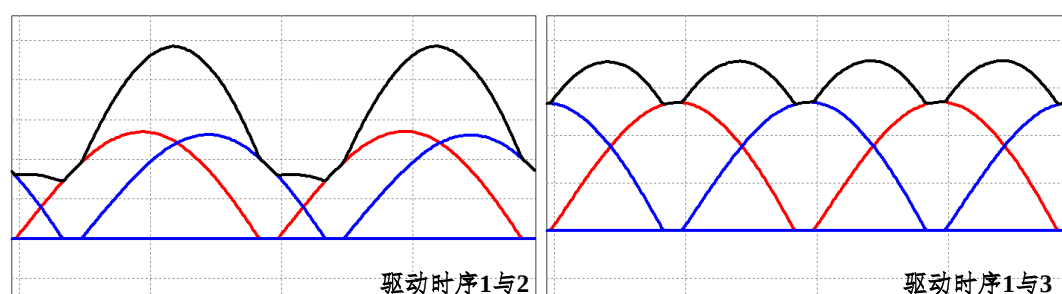


图 3-34 两相电路交错并联对比

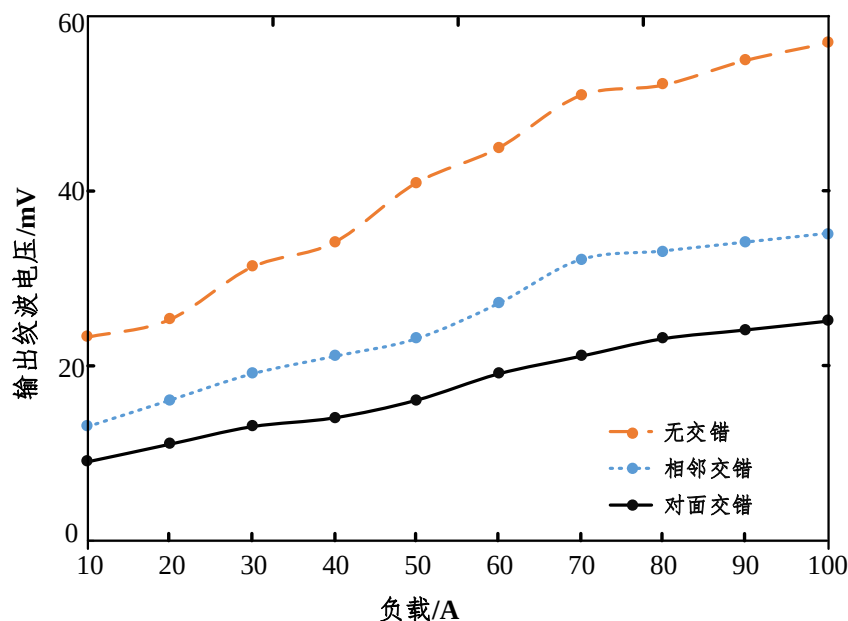


图 3-35 不同交错并联方式的纹波对比

3.6 本章小结

本章针对低压大电流输出的场景，分析了变压器的铜损与磁损，建立了损耗的数学模型，根据模型设计了矩阵变压器的具体参数。在第二章提出的低 NFoM 器件串联代替高压器件的设计的基础上，结合分离的矩阵变压器确定了电路的拓扑为原边串联副边并联的多相串联谐振电路，并设计了其副边整流电路。分析了多相电路交错并联减小输出电流纹波与电压纹波的效果，确定了电路的控制策略。最后通过样机实验验证了第二章与第三章的设计，所提出的基于低 NFoM Si MOSFET 的多相交错 ISOP SRC DCX 具有高效率与高功率密度的特性。

4 总结与展望

高压直流母线供电架构是数据中心供电架构的发展趋势,提升了数据中心配电系统的效率与可靠性。从高压直流母线到主板上负载需要一级隔离降压的母线变流器,为了减少降压后大电流传输中线缆上的损耗,母线变流器通常作为模块集成在主板上。由于主板的空间与散热环境的限制,对主板集成变流器的要求为高效率与高功率密度。串联谐振拓扑能实现全负载范围内的原边开关管软开通,在高频下几乎没有开关损耗,保证了电路的高效率,因此适合于板上集成的模块电源。

第二章详细分析了串联谐振电路的工作模式,揭示了决定原边开关管导通损耗的关键参数为器件 NFoM 与死区时间 t_d ,并建立了原边开关管的导通损耗模型。提出了基于低压 Si 器件低 NFoM 的特性,利用低压管串联替代单个高压管的设计,大大减小原边的导通损耗。结合死区时间对原副边损耗的影响,提出了 SRC 原边开关管的选择方法与死区时间的设计方法。

第三章在分析变压器的铜损与磁损的基础上建立了变压器损耗的数学模型,并设计了矩阵变压器的具体参数。结合低 NFoM 器件与分离的矩阵变压器,提出了原边串联副边并联的多相串联谐振电路,并针对低压大电流场景设计了副边整流电路。为了减小 SRC 的输出电流纹波与电压纹波,采取了多相电路交错并联的控制策略。通过样机实验验证了第二章与第三章的设计,所提出的基于低 NFoM Si 器件的多相交错 ISOP SRC DCX 具有高效率与高功率密度的特性。

针对数据中心高压直流母线供电架构中的板上集成母线变流器的高效率与高功率密度的问题,本文已经完成了一部分的研究工作,但依旧存在一些问题。第一,设计的样机器件数量多,驱动电路复杂且隔离驱动芯片占用面积大,不利于装置功率密度的提升,如何针对性设计驱动电路值得进一步研究。第二,驱动损耗与磁损与负载无关,因此对于电路轻载效率影响十分明显,如何优化本设计的驱动损耗与磁损,进一步提升轻载效率值得研究。在本文工作的基础上,未来可进一步展开如下工作。第一,目前 GaN 器件还没有完全商业化,而随着器件工艺的不断进步,在低压 GaN 器件进入大规模生产后,基于低压 GaN 器件的高压母线变流器相对于高压 GaN 器件同样有优势,装置如何实现更高功率密度与效率值得进一步探究。第二,在服务器电源不断发展的趋势下,未来更高频率的

变压器如何优化设计，减小在高频下的磁损与铜损，尤其是在变换器低压大电流输出的场景中，是一个难以避免的挑战。

仅限PMIC会员单位内部使用，不得外传

参考文献

- [1] 中国互联网络信息中心. 中国互联网络发展状况统计报告[R/OL]. http://www.cac.gov.cn/2018-08/20/c_1123296882.htm
- [2] 中国 idc 圈. 能耗弥巨已成数据中心发展瓶颈[N/OL]. <http://dc.idcquan.com/jfjs/65392.shtml>
- [3] 中国 idc 圈. 全国数据中心将达 8 万 1 年耗电超过三峡大坝发电量[N/OL]. <http://news.idcquan.com/news/131592.shtml>
- [4] 中国电子技术标准化研究院. 中国数据中心能效研究报告[R/OL]. <http://www.cesi.cn/201612/1685.html>
- [5] 中国 idc 圈. 2017-2018 年中国 IDC 产业发展研究报告[R/OL]. <http://www.idcquan.com/Special/2017baogao/>
- [6] 搜狐科技. 数据中心一年耗电超过三峡大坝发电量[N/OL]. http://www.sohu.com/a/242291921_820840
- [7] 中国日报网. 2018 全国两会特别报道[N/OL]. <http://cn.chinadaily.com.cn/2018npccppcc/>
- [8] 谷立静, 周伏秋, 孟辉. 我国数据中心能耗及能效水平研究[J]. 中国能源, 2010, 32(11): 42-45, 29
- [9] Pratt A, Kumar P, Aldridge T V. Evaluation of 400V DC distribution in telco and data centers to improve energy efficiency [C]. Telecommunications Energy Conference (INTELEC), 2007: 32-39
- [10] T. Babasaki, T. Tanaka, K. Asakura, Y. Nozaki and F. Kurokawa. Development of power distribution cabinet for higher-voltage direct-current power feeding system[J]. Telecommunications Energy Conference (INTELEC), 2010: 1-5
- [11] G. AlLee and W. Tschudi. Edison Redux: 380 Vdc Brings Reliability and Efficiency to Sustainable Data Centers[J]. IEEE Power and Energy Magazine, 2012, 10(6): 50-59
- [12] A. Fukui, T. Takeda, K. Hirose and M. Yamasaki. HVDC power distribution systems for telecom sites and data centers[C]. International Power Electronics Conference, 2010: 874-880
- [13] 陈慧. 高压直流服务器电源的高效率 DC-DC 拓扑结构及其控制策略研究[D]. 浙江大学, 2016.
- [14] International Electronics Manufacturing Initiative. iNEMI Statement of Work (SOW) DC-DC Power Module, Phase 2[N/OL]. http://thor.inemi.org/webdownload/2015/SOW_DC-DC_Power_Module_Phase2_050115.pdf
- [15] D. Fu, B. Lu, and F. C. Lee. 1MHz high efficiency LLC resonant converters with synchronous rectifier[C]. In Proc. IEEE PESC, 2007, pp. 2404-2410.
- [16] D. Fu, F. C. Lee and S. Wang. Investigation on transformer design of high frequency high efficiency dc-dc converters[C]. 2010 Twenty-Fifth Annual IEEE Applied Power Electronics Conference and Exposition (APEC), Palm Springs, CA, 2010, pp. 940-947.
- [17] SynQor. BQ35/4H Series High Input Voltage DC-DC Bus Converters[N/OL]. <http://www.synqor.com/Datasheets/BQ35211EEC60Datasheet.pdf>
- [18] X. Huang, Z. Liu, Q. Li, and F. C. Lee. "Evaluation and application of 600 V GaN HEMT in

- cascode structure[J]. IEEE Trans. on Power Electron., vol. 29, no. 5, pp. 2453-2461, May 2014.
- [19] B. Hughes, R. Chu, J. Lazar and K. Boutros, "Increasing the switching frequency of GaN HFET converters[C]. 2015 IEEE International Electron Devices Meeting (IEDM), Washington, DC, 2015, pp. 16.7.1-16.7.4.
- [20] D. Reusch and J. Strydom, "Evaluation of Gallium Nitride Transistors in High Frequency Resonant and Soft-Switching DC-DC Converters[J]. IEEE Transactions on Power Electronics, vol. 30, no. 9, pp. 5151-5158, Sept. 2015.
- [21] D. Huang, S. Ji, and F. C. Lee. "LLC resonant converter with matrix transformer[J]. IEEE Trans. on Power Electron., vol. 29, no. 8, pp. 4339-4347, Aug. 2014.
- [22] M. Mu and F. C. Lee. "Design and Optimization of a 380V-12V High-Frequency, High-Current LLC Converter with GaN Devices and Planar Matrix Transformers[J]. IEEE Journal of Emerging and Selected Topics in Power Electronics, vol. 4, no. 3, pp. 854-862, Sep. 2016.
- [23] C. Fei, F. C. Lee and Q. Li, "High-Efficiency High-Power-Density LLC Converter With an Integrated Planar Matrix Transformer for High-Output Current Applications[J]. IEEE Transactions on Industrial Electronics, vol. 64, no. 11, pp. 9072-9082, Nov. 2017.
- [24] Ouyang Z, Andersen M A E. Overview of Planar Magnetic Technology: Fundamental Properties [J]. IEEE Transactions on Power Electronics, 2014, 29(9): 4888-4900
- [25] C. Yan, F. Li, J. Zeng, T. Liu and J. Ying. A Novel Transformer Structure for High power, High Frequency converter[C]. 2007 IEEE Power Electronics Specialists Conference, Orlando, FL, 2007, pp. 214-218.
- [26] Infineon. Product-Power-MOSFET[N/OL]. <https://www.infineon.com>
- [27] Kim I J, Matsumoto S, Sakai T, et al. New power device figure of merit for high-frequency applications[J]. International Symposium on Power Semiconductor Devices and ICS. IEEE, 1995:309-314.
- [28] J. L. Hudgins, G. S. Simin, E. Santi and M. A. Khan. An assessment of wide bandgap semiconductors for power devices[J]. IEEE Transactions on Power Electronics, vol. 18, no. 3, pp. 907-914, May 2003.
- [29] A. Q. Huang. New unipolar switching power device figures of merit[J]. IEEE Electron Device Letters, vol. 25, no. 5, pp. 298-301, May 2004.
- [30] X. Huang, Z. Liu, F. C. Lee and Q. Li. Characterization and Enhancement of High-Voltage Cascode GaN Devices[J]. IEEE Transactions on Electron Devices, vol. 62, no. 2, pp. 270-277, Feb. 2015.
- [31] M. Mu and F. C. Lee. Comparison and optimization of high frequency inductors for critical model GaN converter operating at 1MHz[J]. 2014 International Power Electronics and Application Conference and Exposition, Shanghai, 2014, pp. 1363-1368.
- [32] B. J. Baliga. Power semiconductor device figure of merit for high-frequency applications[J]. IEEE Electron Device Letters, vol. 10, no. 10, pp. 455-457, Oct. 1989.
- [33] S. Mulder. Power ferrite loss formula for transformer design[J]. Power Conversion & Intelligent Motion. vol 21, no. 7. pp. 22-51, July 1995.

-
- [34] DMEGC. MnZn power ferrite[N/OL]. http://www.chinadmegc.com/products_list.php?2
- [35] D. Reusch and F. C. Lee. High frequency bus converter with low loss integrated matrix transformer[C]. 2012 Twenty-Seventh Annual IEEE Applied Power Electronics Conference and Exposition (APEC), Orlando, FL, 2012, pp. 1392-1397.
- [36] P. L. Dowell. Effects of eddy currents in transformer windings[J]. Electrical Engineers, Proceedings of the Institution of, vol.113, no.8, pp.1387-1394, Aug. 1966.
- [37] Vicor. BCM High Voltage Bus Converter Module[N/OL] http://www.vicorpower.com/documents/datasheets/ds_BCM4414xD1E13A3yzz.pdf.

仅限PMIC会员单位内部使用，不得外传

作者简历及在学期间所取得的科研成果



Hongbo Shi received the B.S. degree in electrical engineering in 2016 from Zhejiang University, Hangzhou, China, where he is currently working toward the M.S. degree in electrical engineering.

His research interests include high frequency resonant converters with high efficiency and power density.

1. Xinke Wu, Hongbo Shi, "High Efficiency High Density 1 MHz 380V-12V DCX with Low FoM (Figure of Merit) Devices," in *IEEE Transactions on Industrial Electronics*. (录用)
2. 施鸿波, 吴新科, 郭清. 基于低压器件的高效高功率密度串联谐振 DC-DC 变换器[J]. 电源学报, 2019. (录用)

仅限PMIC会员单位内部使用，不得外传