

分类号: TN323
密 级: _____

单位代码: 10335
学 号: 21610115

浙江大学

硕士学位论文



中文论文题目: 增强型 GaN 功率器件的动态电阻测试及分析

英文论文题目: Dynamic $R_{DS(on)}$ Evaluation and Analysis of
E-mode GaN Power Devices

申请人姓名: 李瑞

指导教师: 盛况 教授

吴新科 教授

专业名称: 电气工程

研究方向: 电力电子与电力传动

所在学院: 电气工程学院

论文提交日期 2019 年 3 月

增强型 GaN 功率器件的动态电阻测试及分析



论文作者签名:_____

指导教师签名:_____

论文评阅人 1: _____

评阅人 2: _____

评阅人 3: _____

评阅人 4: _____

评阅人 5: _____

答辩委员会主席: _____

委员 1: _____

委员 2: _____

委员 3: _____

委员 4: _____

委员 5: _____

答辩日期: _____

Dynamic $R_{DS(on)}$ Evaluation and Analysis of E-mode GaN

Power Devices



Author's signature: _____

Supervisor's signature: _____

External Reviewers: _____

Examining Committee Chairperson:

Examining Committee Members:

Date of oral defence: _____

浙江大学研究生学位论文独创性声明

本人声明所呈交的学位论文是本人在导师指导下进行的研究工作及取得的研究成果。除了文中特别加以标注和致谢的地方外，论文中不包含其他人已经发表或撰写过的研究成果，也不包含为获得 浙江大学 或其他教育机构的学位或证书而使用过的材料。与我一同工作的同志对本研究所做的任何贡献均已在论文中作了明确的说明并表示谢意。

学位论文作者签名：

签字日期：

年 月 日

学位论文版权使用授权书

本学位论文作者完全了解 浙江大学 有权保留并向国家有关部门或机构送交本论文的复印件和磁盘，允许论文被查阅和借阅。本人授权 浙江大学 可以将学位论文的全部或部分内容编入有关数据库进行检索和传播，可以采用影印、缩印或扫描等复制手段保存、汇编学位论文。

（保密的学位论文在解密后适用本授权书）

学位论文作者签名：

导师签名：

签字日期： 年 月 日

签字日期： 年 月 日

本论文部分工作得到

国家自然科学基金
(资助号：51522704)

国家重点研发计划项目
(资助号：2017YFB0402804)

浙江省杰出青年基金
(LR18070001)

资助

谨致感谢！

致谢

自 2012 年 8 月第一次踏入求是园，至 2016 年 9 月开始研究生的求学生涯，再到如今即将完成硕士学业，转眼已逾六年。临别之际，回首往事，感慨亦感恩，在此，向所有曾经给予我帮助和支持的人表示由衷的感谢。

首先，感谢盛况教授对我的指引和帮助。盛老师有着高超的学术水平和开阔的国际视野，他学识渊博，治学严谨，在生活中又十分平易近人，每每给我讲解问题时都能化繁为简，一语道破，颇具学者风范。

同时，感谢吴新科教授在我科研道路上给予的悉心指导。吴老师时常鼓励我进行积极的思考与探索，并对自己的工作进行整合、提炼和表达，使我不断磨练自己，精益求精。在吴老师的指导下，我不仅逐渐明确了自己的研究方向，培养了自己的专业技能，并且取得了不错的科研成果，并在这个过程中收获了成长与进步。在此向吴老师道一声辛苦！。

此外，感谢团队杨树老师和郭清老师的悉心指导和热心帮助。感谢团队的行政老师，你们的高效与负责让我得以更专注于自己的学习和生活。

感谢 PEDL 和博蓝实验室的每一位成员，和你们朝夕相处的点点滴滴，都将成为最美好的回忆。感谢周伟成、秦伟、董泽政、孙佳慧、徐弘毅、杨金旭以及张思亮等师兄师姐和同学对我的指导和帮助。感谢实验室其他小伙伴对的支持和陪伴。在这其中，我要特别感谢我的男朋友韩绍文同学，是你在我低落的时候给我动力，在我快乐的时候和我一起分享，你认真努力，坚持到底，化压力为动力的精神是我一直追求和学习的目标。

感谢闫睿和王菲菲两位室友，从本科建立起的同学情谊，到一起考研时的革命友谊，再到研究生室友的深厚感情，这份回忆我必将永久珍藏。

感谢每一位同学与朋友，与你们的友谊将会是我今后莫大的一笔财富。

最后，感谢我最亲爱的父母对我的呵护、关爱和支持，正是这份毫无保留的爱让我在求学道路上得以心无旁骛，在挫折与低谷之际依旧可以坚定前行。



2019 年 3 月于浙江大学

摘要

半导体器件是电力电子行业发展的重要推动力。作为第三代半导体器件的重要代表，氮化镓（GaN）功率器件凭借优异的材料性能，在高频、高效、高功率密度的电力电子变换领域（如数据中心、新能源汽车、分布式发电、各类消费电子等）具有十分广阔的应用前景和市场机遇。然而，受器件表面陷阱及缓冲层陷阱的影响，目前主流的 GaN 器件仍然面临着高压开关过程中的动态电阻退化问题，这为基于 GaN 器件的变换器设计和损耗估算带来了不确定性。因此，对 GaN 器件在高频开关应用中的动态电阻性能表征成为了近年来学术界和产业界广泛关注和研究的热点。

目前，GaN 功率器件动态电阻测试的研究工作主要集中在测试电路设计和不同电路工作条件（如工作电压、电流、温度、频率等）下的量化表征，其测试方法大多可以实现高频快速测试，符合 GaN 器件的实际应用。然而，这些工作也存在一定的局限性：（1）零电压软开关技术在基于 GaN 器件的高频功率变换中应用广泛，然而目前应用较广的测试电路只能工作在硬开关模式；（2）目前最先进的商用增强型（E-mode）GaN 功率器件主要有两种结构，不同结构在不同工作条件下对动态电阻特性的影响仍需深入研究。

针对上述不足，本文提出了一种集软、硬开关于一体的多功能测试电路。在此基础上，采用所提出的双脉冲和多脉冲的测试方法，定量表征了两种不同结构的商用 GaN 器件的动态性能。研究发现，在电压应力高至 400 V，开关频率高至 1 MHz 的测试条件下，不同结构的 GaN 器件在软、硬开通条件下表现出截然不同的动态电阻特性，因此在变换器设计和损耗分析时应给予充分关注。

为了进一步解释和验证实验结果，本文相继分析了软、硬开通条件对 GaN 器件动态电阻产生影响的内部机制，并借助 Silvaco 仿真工具，搭建了 GaN 器件物理仿真模型，进一步揭示了目前基于空穴注入的动态电阻抑制方法在软开关工作条件下的局限性，为 GaN 功率器件在电力电子实际应用中的选型评估提供了重要参考信息。

关键词：电流崩塌、动态电阻、GaN 器件、硬开关、软开关

Abstract

Semiconductor devices are the driving force for the development of power electronics. As an important representative of the third generation of semiconductor devices, gallium nitride (GaN) power devices, with tremendously enhanced performance, have broad application prospects and market opportunities in high-frequency, high-efficiency and high-power-density applications, such as data centers, new energy vehicles, distributed generation and consumer electronics, etc.

However, due to charge trapping by the surface and buffer traps, the state-of-the-art GaN devices still suffer from dynamic on-state resistance ($R_{\text{DS(on)}}$) degradation after switching from high-voltage off-state so far. It creates uncertainty to GaN-based converter design and loss estimation, and consequently has aroused extensive attention in academic and industrial communities in recent years.

Previous works on dynamic $R_{\text{DS(on)}}$ evaluation of GaN power devices mainly focus on the test circuit design or the quantitative characterization under different operating conditions, such as operating voltage, current, temperature and frequency, etc. Most of the test methods can realize high-frequency and fast test, which match well with the practical applications. However, these works have some limitations: (1) The zero voltage switching techniques are widely used in high-frequency power conversion based on GaN devices. However, the test circuit widely used at present can only work under hard switching condition. (2) Currently, there are mainly two types of commercial single-chip normally-off GaN devices. The dynamic $R_{\text{DS(on)}}$ behaviors affected by different device structures under different switching conditions require in-depth investigation.

For the above limitations, a dynamic $R_{\text{DS(on)}}$ test board integrating both hard and soft switching test circuits is built in this work. Two types of commercial GaN devices are tested and compared under hard and soft switching conditions by double-pulse and multi-pulse test modes, respectively. It has been found that with voltage stress up to 400 V and switching frequency up to 1 MHz, the dynamic $R_{\text{DS(on)}}$ of the two devices

exhibit different behaviors under hard and soft switching conditions due to different device technologies, which should be taken fully into account for GaN-based converter design and loss estimation.

Furthermore, the primary trapping mechanisms responsible for dynamic $R_{\text{DS(on)}}$ increase under different switching conditions are identified and verified by numerical device simulation using Silvaco TCAD tool. It reveals the limitation of the hole-injection-based dynamic $R_{\text{DS(on)}}$ suppression technology under soft-switching condition, which provides valuable information for the selection and evaluation of GaN power devices in practical applications.

Key words: Current collapse, dynamic on-state resistance, GaN devices, hard switching, soft switching.

仅限PMIC会员单位内部使用，不得外传

目录

致谢.....	I
摘要.....	II
Abstract.....	III
目录.....	V
第 1 章 绪论.....	1
1.1 研究背景	1
1.1.1 GaN 功率器件的特性及应用	1
1.1.2 GaN 功率器件的结构与工艺	2
1.1.3 GaN 功率器件全球产业发展现状	3
1.2 GAN 器件的动态电阻退化现象	5
1.2.1 动态电阻退化机制.....	6
1.2.2 动态电阻抑制策略.....	7
1.2.3 动态电阻测试的研究现状.....	8
1.3 本文的主要研究内容	10
第 2 章 动态电阻测试的原理、方法及设计.....	12
2.1 电压、电流测量方案	12
2.1.1 导通电压测量方案.....	12
2.1.2 导通电流测量方案.....	18
2.1.3 电压、电流延迟校准.....	20
2.2 测试电路原理	21
2.2.1 硬开关测试电路原理.....	21
2.2.2 软开关测试电路原理.....	22
2.3 测试方法	23
2.3.1 双脉冲测试方法.....	23
2.3.2 多脉冲测试方法.....	24
2.4 硬件电路设计	26

2.4.1 被测器件选型.....	26
2.4.2 驱动电路设计.....	29
2.4.3 续流电感设计.....	32
2.4.4 PCB 设计及测试板样机.....	32
2.5 本章小结	35
第 3 章 600/650V 商用 GAN 器件动态电阻测试实验	36
3.1 测试设备及连接	36
3.2 动态电阻测试实验及结果	37
3.2.1 双脉冲测试实验及结果.....	38
3.2.2 多脉冲测试实验及结果.....	41
3.3 本章小结	46
第 4 章 软、硬开通条件下的动态电阻影响机制与仿真验证.....	47
4.1 软、硬开通影响动态电阻的机理分析	47
4.1.1 软、硬开通条件下的负载动态轨迹分析.....	47
4.1.2 沟道热电子效应在软、硬开通条件下的影响.....	48
4.1.3 空穴注入效应在软、硬开通条件下的影响.....	49
4.2 空穴注入效应二维仿真验证	50
4.2.1 Silvaco-Atlas 仿真软件介绍.....	50
4.2.2 仿真模型建立.....	52
4.2.3 仿真模型求解.....	55
4.3 本章小结	57
第 5 章 总结与展望.....	58
参考文献.....	61
作者简介.....	66
硕士期间发表和录用的论文.....	67

第1章 绪论

1.1 研究背景

1.1.1 GaN 功率器件的特性及应用

作为第三代半导体材料的代表，GaN 材料具有宽禁带（3.4 eV），高临界击穿场强（~3.3 MV/cm）等优点。在 III 族氮化物的异质结结构（如 AlGaN/GaN、AlN/GaN 等）中，由于材料本身的极化效应，无需故意掺杂，就可在异质结界面处形成一层具有高电子浓度（~ 10^{13} cm^{-2} ）、高电子迁移率（~ $2000 \text{ cm}^2/\text{V}\cdot\text{s}$ ）以及高饱和电子漂移速度（ $2.5 \times 10^7 \text{ cm/s}$ ）的二维电子气（Two-dimensional Electron Gas, 2DEG）导电沟道，这是相比同为宽禁带半导体材料碳化硅（SiC）的独特优势。这些优异的电学特性决定了 GaN 材料在高频、高速、高温以及高功率密度半导体器件领域的巨大发展潜力。使 GaN 功率器件在数据中心、新能源汽车、分布式发电和各类消费电子等电力电子变换领域具有十分广阔的发展前景和市场机遇。

表 1.1 Si, GaN 和 SiC 器件关键参数对比^[1]

器件类型	电压等级 (V)	$R_{\text{DS(on)}}$ (m Ω)	$R_{\text{DS(on)}} \cdot Q_{\text{OSS}}$ (m $\Omega \cdot \mu\text{C}$)	$R_{\text{DS(on)}} \cdot Q_{\text{RR}}$ (m $\Omega \cdot \mu\text{C}$)	$R_{\text{DS(on)}} \cdot E_{\text{OSS}}$ (m $\Omega \cdot \mu\text{J}$)	$R_{\text{DS(on)}} \cdot Q_{\text{G}}$ (m $\Omega \cdot \text{nC}$)
Si SJ ¹	600	57	22.6	32.5	440	3820
GaN E-mode ²	600	55	2.2	2.2	350	320
GaN Cascode ³	600	52	3.8	7.1	730	1460
SiC DMOS ⁴	900	65	4.5	8.5	570	1950
SiC TMOS ⁵	650	60	3.8	3.3	540	3480

Q_{RR} 包含 Q_{OSS} ；除非特殊声明， Q_{OSS} ， Q_{RR} 和 E_{OSS} 提取自 $V_{\text{DS}} = 400 \text{ V}$ 。

¹ Infineon CoolMOS™ IPP60R070CFD7 数据手册；² Infineon CoolGaN™ 初步参数；³ TransPhorm Cascode TPH3205WS 数据手册；⁴ Wolfspeed C3M0065090J 数据手册；⁵ Rohm SCT3060AL 数据手册(Q_{RR} 提取自 $V_{\text{DS}} = 300\text{V}$)。

以上参数均来自 25℃ 测试条件。

表 1.1 比较了英飞凌公司最新的 GaN 增强型（E-mode）器件和目前最先进的硅（Si）基超级结（Super Junction, SJ）器件以及其他宽禁带半导体器件的关键

性能参数^[1]。可见，相比于同等规格的 Si 和 SiC 器件，GaN E-mode 器件的性能最优。其中， Q_G 性能的提升最为突出，为 Si 和 SiC 器件的 5-10 倍；输出电荷 Q_{OSS} 和反向恢复电荷 Q_{RR} 性能比 Si 器件提升了 10 倍以上；而在 E_{oss} 方面，只有 GaN E-mode 器件可以与 Si SJ 器件抗衡。这些革命性的改进使 GaN 功率器件实现了半导体器件的性能突破，成为了高效率和高功率密度电源设计的首选技术方案。无论是在传统 Si 器件应用中常见的有源钳位反激变换器、LLC 谐振变换器等，还是一度被搁置的图腾柱 PFC 等拓扑结构，都因为 GaN 功率器件的出现而再次革新，实现了电源转换效率和功率密度的再度飞跃^[1]。

如今，凭借更好的材料性能、更小的芯片体积和更高的开关速度，GaN 功率器件开始在各类新兴市场崭露头角，如卫星、自动驾驶激光雷达、增强现实系统（AR）、医学成像与诊断以及 4G/LTE 基站等^[2]。未来，GaN 功率器件将会展现出更大的市场吸引力，并继续支持越来越多的新兴领域，最终改变整个终端市场。

1.1.2 GaN 功率器件的结构与工艺

目前国内外围绕 GaN 功率器件的研发工作主要分为两大技术路线，一种是基于非本征衬底的平面型（GaN-on-Si）器件，另一种是基于单晶 GaN 本征衬底的垂直型（GaN-on-GaN）器件^[3]。

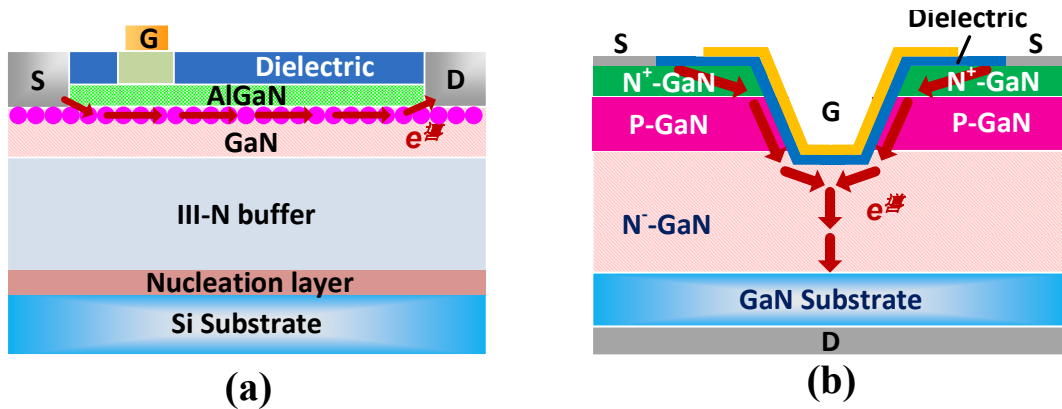


图 1.1 (a) 基于 Si 衬底的平面型 GaN 器件；(b) 基于 GaN 衬底的垂直型 GaN 器件

平面型 GaN 器件的典型结构如图 1.1(a)所示，主流的平面型器件一般生长于 Si 衬底上，但 GaN 和 Si 衬底结构存在 17%的晶格失配和 54%的热膨胀系数失配^[4]，因此需要借助缓冲层（buffer）来生长 GaN 外延，由于缓冲层和 Si 衬底存在较高的位错密度（ $10^8 \sim 10^9 \text{ cm}^{-2}$ ），会在缓冲层中引入一定的缺陷能级，导致器件产生动态电阻退化现象。

相比于传统的利用掺杂改变导电特性的 Si 器件，平面型 GaN 器件最大的特

点在于利用其异质结结构中的二维电子气进行导电。这些高浓度的二维电子气，被限制在位于 AlGaIn/GaN 异质结界面下方 0~5 nm 深度的量子阱中^[5]，具有极高的电子迁移率，因此也被称为高电子迁移率晶体管（High-Electron-Mobility Transistor, HEMT）。

然而，由于存在天然的二维电子气沟道，GaN 器件即使在外加栅压为 0 的情况下也处于开启状态，无法满足电力电子的应用需求。实现常关型（Normally-off）GaN 器件的一般思路是保留有源区的二维电子气，同时耗尽或截断栅极下方的二维电子气。目前制备常关型 GaN 器件的主流技术主要包括共源共栅级联结构（Cascode）、P 型栅结构、氟离子注入和绝缘栅结构（MIS HEMT）^[2]。其中，基于级联结构和 P 型栅结构的常关型器件已经得到了产业化发展，而 P 型栅结构由于结构简单、体积小、封装难度低等优势已被广泛研究和采用。

垂直型 GaN 器件的典型结构如图 1.1（b）所示，由于生长在本征衬底上，垂直型器件不需要缓冲层，其结构与传统的 Si MOSFET 相比并无二致，但通过利用 GaN 材料的独特优势，该器件可以获得优于 Si 器件的性能。相比于平面型 GaN 器件，垂直型器件具有耐压高、功率密度高、无动态电阻退化等明显优势^[3]。然而由于单晶 GaN 本征衬底难以制备且价格昂贵，垂直型器件的发展相对缓慢，相关研究也是由于近年 GaN 衬底的初步商业化才开始兴起，目前主要停留在实验室研究阶段，主流的商业 GaN 器件仍为平面型器件。因此，本文的主要研究对象为平面型 GaN 器件。

1.1.3 GaN 功率器件全球产业发展现状

随着半导体技术的发展，硅基器件的性能已逐渐达到其理论极限，无法满足功率变换器对高效率和高功率密度的需求。近二十几年来，随着大尺寸硅基 GaN 外延技术的逐步成熟和商业化，以及器件制造加工工艺的不断完善，GaN 功率器件取得了迅猛发展并逐步实现了产业化，其产业发展路线如图 1.2 所示。

北美地区为整个 GaN 功率半导体行业的先行者。随着 2010 年美国国际整流半导体（IR）公司推出了业界首款基于 GaN 技术的商用集成功率级器件^[6]后，越来越多的 GaN 半导体初创公司加入了这一新兴产业。美国的 Transphorm 公司从 2012 年起相继推出了一系列 600 V GaN 产品，包括功率晶体管，二极管和模块^[7]，并于 2015 年与日本 Fujitsu 公司合作推出了采用 Cascode 结构的量产化产品

[8]。而另一家起步较早的公司—美国宜普半导体 (EPC)，通过长期的研发，目前其产品已经囊括分立器件和集成 IC，电压等级从 15 V 到 350 V 不等，几乎覆盖了功率 GaN 器件所有的低压领域[9]。加拿大的 GaN Systems 公司于 2014 年推出了其量产的 100 V 和 650 V 的 GaN 功率器件，通过采用元胞岛代替传统插指结构的新技术，大幅提升了器件的电流密度。总部位于美国的 Navitas 半导体公司于 2016 年推出了带有完整栅极驱动的 650 V GaN 功率集成 IC，紧接着于 2017 年推出了业界首个集成半桥 GaN 功率 IC^[10]，极大提升了 GaN 器件的开关性能，取得了行业内的重要技术突破。

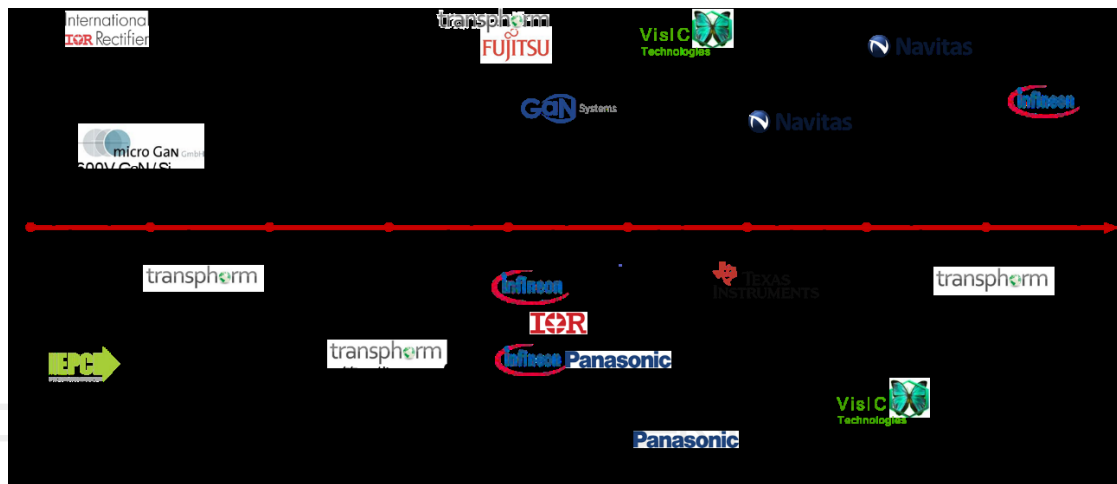


图 1.2 GaN 功率器件产业发展路线

除了以上这些 GaN 半导体初创公司，许多全球领先的半导体行业巨头也纷纷进入这一新兴领域。日本松下半导体在全球范围内率先提出了混合漏极的门极空穴注入晶体管 (HD-GIT)^[11]，并于 2015 年推出了相关产品^[12]。

全球领先的半导体公司美国德州仪器 (Texas Instrument) 于 2016 年推出了 600 V GaN 功率 IC 开发套件, 于 2018 年 10 月正式推出了集成驱动和保护电路的 600 V GaN 功率 IC 产品, 其 50 mΩ 和 70 mΩ 的产品组合可支持高达 10 kW 的电路应用^[13]。

半导体行业巨头英飞凌 (Infineon) 公司近年来通过并购与合作的方式迅速进入了 GaN 功率器件领域, 先于 2014 年收购了美国的 IR 公司, 随后又同日本松下合作研发 600 V 增强型 GaN 功率器件。在 2018 年 11 月, 英飞凌推出了最新一代的 CoolGaN 600 V 增强型器件和 GaN 器件专用驱动 GaN EiceDRIVER™ 并宣布量产, 随着 GaN 解决方案的推出, 英飞凌成为了目前市场上唯一一家拥有硅、碳化硅和氮化镓全系列功率产品的半导体公司^[14]。

2018 年 9 月，意法半导体（ST）和 CEA Tech 下属的研究所 Leti 宣布合作研制硅基氮化镓功率器件，预计在 2019 年完成工程样品验证。同时，意法半导体还将建立一条高品质生产线并计划于 2020 年实现首次生产^[15]。

虽然如今 GaN 器件的市场规模相对于 Si 器件仍然很小，但从最近频繁的业界动态可以看出，各类器件厂商正在加速进入这一新兴领域，相信在不久的将来，GaN 功率器件必将超越现有的市场规模，成为未来功率电子领域实现高性能和低成本的首选技术方案。

1.2 GaN 器件的动态电阻退化现象

如前所述，GaN 功率器件在中低压领域有着广泛的应用前景和市场机遇，但由于 GaN 功率器件技术刚刚起步，在实际应用中仍然面临着诸多挑战，如阈值电压低，栅压摆幅冗余度小，抗干扰能力差；阈值电压漂移，影响长期工作稳定性；存在动态电阻退化现象，增大器件导通损耗等。其中，动态电阻退化是制约 GaN 功率器件大规模应用的最严峻的问题之一。

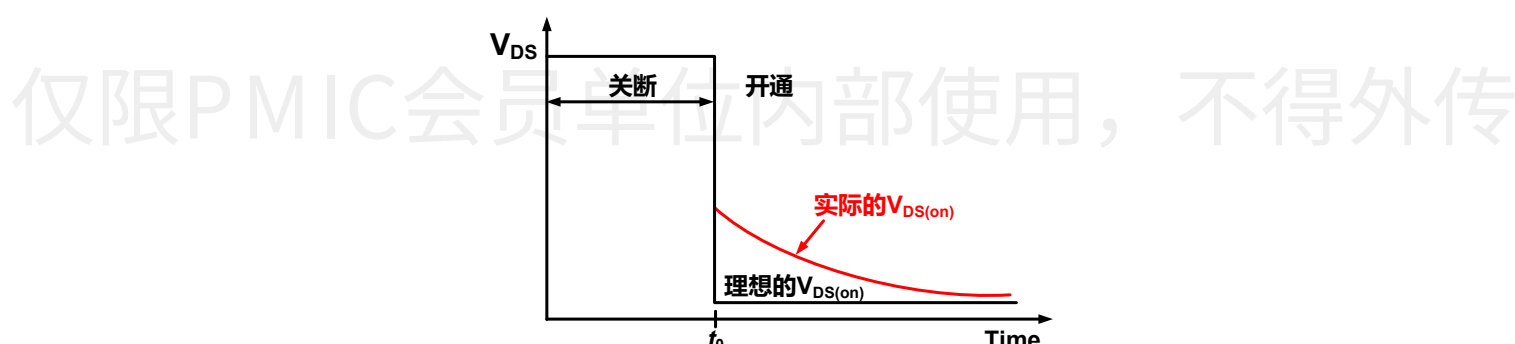


图 1.3 在恒定导通电流的情况下，动态电阻效应引起导通电压增加

动态电阻退化（Dynamic $R_{DS(on)}$ Degradation），又称作电流崩塌（Current Collapse），是平面型 GaN 器件中普遍存在的一种可靠性问题，指的是 GaN 器件在开关状态下，由于器件表面陷阱、异质外延层体陷阱所引起的沟道载流子部分耗尽，而造成的器件导通电阻和导通损耗增加的现象^[16]。也就是说，GaN 器件在承受一段时间高压偏置后再切换到开通状态，实际的导通电压会高于理想值（如图 1.3 所示）。研究表明，随着器件开通时间的增加，导通电阻会逐渐衰减，在足够长的时间之后最终恢复到理想的导通电阻值（静态值），这个恢复时间目前还没有确切的说法，通常在 $10^{-1} \sim 10^3$ 秒之间^[17,18]。而在实际的电力电子应用中，开关器件需要不断地在开通和关断状态之间高速切换，其开关频率往往在百 kHz

以上，这意味着在每个工作周期内器件导通的时间都很短，不足以使导通电阻恢复至静态值。因此，在高频变换器应用中，由动态电阻退化带来的导通电阻增加现象将十分显著，这会大大增加器件的功率损耗，降低器件的工作效率，严重制约 GaN 功率的器件广泛应用。

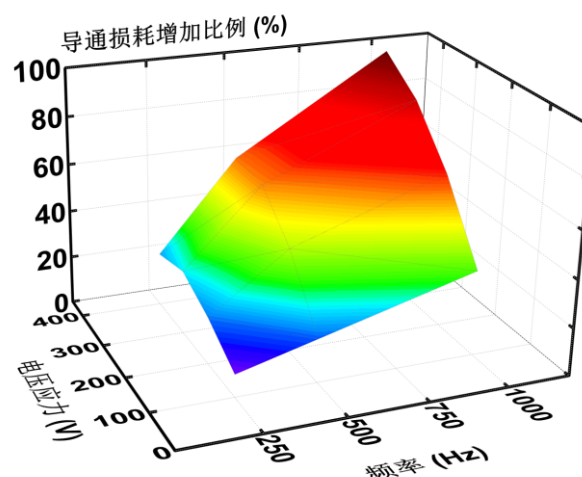


图 1.4 动态电阻效应引起器件导通损耗增加

以器件导通损耗的估算为例，对于电路工程师来说，在设计基于 Si 或 SiC 器件的电力电子变换器时，可以通过器件手册上提供的导通电阻值来估算导通损耗。但对于 GaN 器件来说，器件手册上给出的往往是静态条件下的导通电阻值，通常比动态电阻低 10% ~ 90% 不等，甚至会低几倍，因此在设计基于 GaN 器件的变换器时，常常会出现实际损耗高于理论计算值的现象。图 1.4 直观地显示了动态电阻对导通损耗的影响，可见，随着工作电压和工作频率的增加，导通损耗会显著增加，大大降低了器件的工作效率。

综上所述，为了可以定量评估 GaN 器件在实际应用中的动态电阻，帮助工程师更好地估算导通损耗，开展 GaN 器件动态电阻测试相关的研究工作具有十分重要的意义和价值。

1.2.1 动态电阻退化机制

图 1.5 简要说明了 GaN 器件动态电阻退化的主要机理。如图 1.5(b) 所示，动态电阻退化在器件内部主要表现为 AlGaIn/GaN 异质结界面处的二维电子气浓度下降。目前认为引起动态电阻退化的机制主要有两种。

一种是由于虚栅的形成^[16]。当器件工作在高压阻断状态时，栅漏极之间的表面电场使材料中的电子加速得到能量而被激发，从而被 AlGaIn 势垒层表面的陷阱所俘获，这些表面陷阱主要来自于材料缺陷、刻蚀或注入损伤。于是，被俘获

的电子在栅漏极之间的区域内形成负电荷积累,这些表面负电荷相当于一个负压偏置的栅极(即虚栅),使表面电势降低,从而部分耗尽了下方的二维电子气,使导通电阻变大。

另一种机制是沟道热电子注入效应^[19-21]。器件开通瞬间,沟道中的电子被强电场加速成为高能热电子。这些热电子具有足够的能量从沟道溢出,并注入到势垒层表面陷阱、异质结界面陷阱或内部更深的缓冲层陷阱中。这些陷阱主要来源于材料本身的晶体缺陷和补偿掺杂(如碳掺杂^[22])。

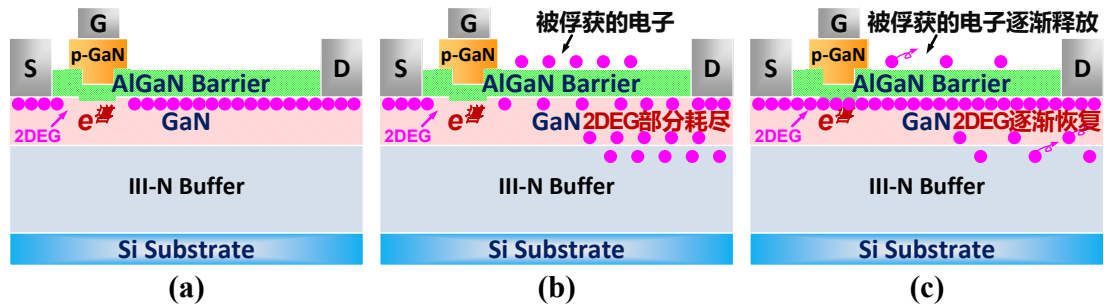


图 1.5 动态电阻退化机理: (a)静态关断状态(b)高压阻断状态(c)开通状态

当器件开通后,被俘获的电子会慢慢从陷阱中释放出来,使二维电子气逐渐恢复,如图 1.5 (c) 所示。若开通时间足够长,导通电阻将逐步恢复到初始值。恢复快慢由时间常数决定,而时间常数与陷阱能级、温度等诸多因素有关^[17],因此,对恢复时间的评估往往较为复杂,超出了本文的研究范围。

1.2.2 动态电阻抑制策略

目前抑制动态电阻的方法主要有表面钝化、缓冲层优化以及器件结构设计(如场板, p 型漏极结构)等^[11,23,24]。例如, Panasonic 公司的 X-GaNTM 系列 GaN 器件采用新型的 p-GaN 漏极结构来抑制动态电阻^[25],该结构与漏极相连,可以在器件高压阻断时向内部注入空穴,利用空穴对被俘获电子产生的复合作用,可以有效降低器件的动态电阻效应。

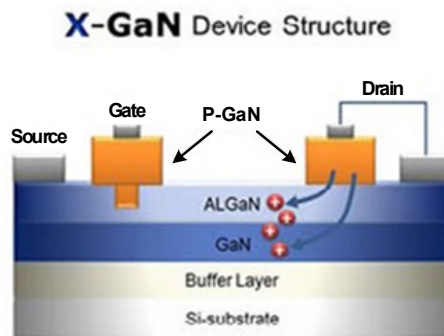


图 1.6 Panasonic X-GaNTM 系列器件结构^[25]

尽管上述方法在一定程度上可以抑制 GaN 器件的动态电阻问题，但却无法从根本上消除动态电阻现象。解决该问题的最有效方法是采用垂直型结构。如前所述，平面型 GaN 器件的动态电阻退化现象来源于器件表面陷阱、异质外延层体陷阱引起的二维电子气浓度下降。相比之下，垂直型 GaN 器件的电流在体内流动，不易受表面电荷影响，同时高品质同质外延层可有效降低体陷阱，因此可从源头上克服动态电阻退化问题^[26]。但是，垂直型器件由于起步较晚，发展较为缓慢，目前仍停留在实验室研究阶段，还未实现产业化。

1.2.3 动态电阻测试的研究现状

对于目前主流的平面型 GaN 器件，由于现有的理论不够完整，工艺不够成熟，器件的设计制造和实际应用存在一定的滞后和脱节，即使是商用器件，也依然面临着动态电阻退化问题，特别是当器件工作在高频或高压条件下，动态电阻效应尤为显著，这将大大增加器件的导通损耗，严重限制了 GaN 功率器件在高频高压应用领域的大规模发展。因此，近年来，对 GaN 器件动态电阻的理论研究和性能表征成为了高校及产业界关注的热点。

目前，国内外学者对 GaN 器件动态电阻的评估测试方法主要有两种。

一种是采用如图 1.7 所示的商用的 I - V 测试设备，如功率器件分析仪或曲线追踪仪等^[17,27]，通过栅极和漏极电压的同步切换来实现动态电阻测试。这种设备通常十分昂贵，并且测试条件与电力电子实际应用有所不同。除此之外，这种方法的测试对象一般是处于实验室研究阶段的裸片，测试封装器件会带来较大的接触电阻，而且测试响应时间通常在微秒级，无法满足高频测试的需求。以 Keysight 公司的 B1505A 的 N1267A 动态电阻测试模块为例，其开关切换时间最低为 $20\ \mu\text{s}$ ，采样率最高只有 $2\ \mu\text{s}$ ^[28]。



图 1.7 功率器件分析仪和曲线追踪仪

另一种方法是利用实验室搭建的测试装置，配合高精度示波器和电压、电流探头来观测器件开通后动态电阻随时间的变化情况。这种方法可以在百纳秒时间

内快速捕捉到 GaN 器件在高频开关下的动态电阻,并且以实际电路为载体,可以根据测试需求来模拟器件在实际应用中的各种工况,因此被国内外研究者广泛采用^[29-35]。

其中,双脉冲测试电路,作为功率器件动态性能评估的传统方案,成为了 GaN 器件动态电阻测试中普遍采用的电路载体^[29-32]。基于该电路的研究热点主要集中在一些关键电路参数(如阻断时间、阻断电压、工作电流、温度、频率、占空比和门极电压等)对动态电阻的影响,为 GaN 器件在高频开关应用中的损耗估算提供了重要的参考信息。然而以上工作存在一定的局限性:一方面,被测器件在双脉冲测试电路中始终工作在硬开关条件下,无法评估其在软开关条件下的动态性能。另一方面,GaN 器件凭借极低的关断损耗和反向恢复为零的优异性能,被广泛应用在高频软开关电路中^[36,37],因此,对其在软开关条件下的动态电阻特性评估同样重要。

为此,麻省理工大学电气工程及计算机科学系的研究团队较早评估了开关状态对 GaN 器件动态电阻的影响,比较了在软、硬开通条件下,动态电阻随电压应力的变化情况^[33]。然而,其中的硬开关测试电路采用了阻性负载,与器件在电力电子应用中的实际工作条件有所偏差;所采用的软开关测试电路利用电感、电容谐振实现软开关,导致被测器件关断时承受的电压为正弦波而非方波,从而无法明确器件实际承受的电压应力。汉阳大学电子系统工程系的研究人员提出了一种基于谐振软开关的动态电阻测试电路^[34],但该电路需要较多的辅助元件并且需要特定的电路结构,测试方法的灵活性和可移植性不高。亚利桑那州立大学的研究人员在沿用双脉冲测试电路作为硬开关电路的基础上,采用了零电压转换(ZVT)电路实现软开关^[31],并可以方便灵活地实现软、硬开关电路的相互转换。其研究重点在于测试板的设计及功能验证,并没有全面评估和分析 GaN 器件在不同实验条件下的动态电阻特性。

除此之外,国内外一些电力电子器件设计研究团队也曾做过相关研究。香港科技大学的 Kevin 教授组研究了硬开关和软开关条件下,驱动电压 V_{GS} 对 GaN 器件动态电阻的影响并分别给出了相应条件下驱动电压的推荐值^[30]。但该工作侧重于研究器件的门极特性,对软、硬开关条件的具体影响研究较少。TI 公司通过单独控制门极和漏极电压,比较了被测器件在硬开关和软开关条件下的动态电

阻特性,并对实验结果进行了分析^[38],安森美公司也曾做过相似的研究^[39]。但以上工作更侧重于研究器件的物理机制而非电路应用,且被测器件仍处于实验室研发阶段,无法反映目前商用 GaN 功率器件的整体水平。

1.3 本文的主要研究内容

如前所述,尽管国内外一些研究团队对 GaN 器件的动态电阻特性进行了理论分析和实验表征,但总结而言,这些工作主要存在以下不足:(1) 零电压软开关技术在基于 GaN 器件的高频功率变换中应用广泛,然而目前应用较广的测试电路只能工作在硬开关模式,很少有人会考虑软、硬开关条件对动态电阻的影响。(2) 目前最先进的商用增强型 GaN 功率器件主要有两种结构,不同结构在不同工作条件下对动态电阻特性的影响仍然需要系统而深入的研究。

为此,本文提出了一套简单有效的 GaN 器件动态电阻评估方法,其中,硬开关测试电路基于传统的双脉冲电路,软开关测试电路基于一种广泛应用的三角波电流模式软开关技术^[40],相比与前人的工作,本文的软开关电路元器件更少,灵活性更高,与传统的双脉冲电路兼容,也更符合器件的实际应用。此外,在电路测试的基础上,本文还将利用半导体仿真工具对影响动态电阻的内部机制进行研究,从器件的微观角度出发,分析电路的宏观现象,为今后电力电子器件的研究工作提供了一种新思路。

本文的主要研究内容如下:

第一章首先介绍了 GaN 器件相比于传统 Si 器件的独特优势,其次围绕平面型和垂直型两大技术路线介绍了 GaN 器件的几种典型结构和产业发展现状。最后介绍了 GaN 器件的动态电阻现象及其退化机理、抑制策略和国内外研究现状,在此基础上,提出了本文的动态电阻研究方案。

第二章提出了本文动态电阻特性研究的原理、方法和设计。首先介绍了电压、电流测量方案以及测量时的注意事项。提出了一种集软、硬开通测试条件于一体的动态电阻测试电路。其次,为了模拟 GaN 器件在实际变换器中的工作状态,在沿用传统双脉冲测试的基础上,提出了一种准稳态的多脉冲测试方法。最后对测试板硬件电路的设计进行了说明,包括主要元器件选型、电压和电流型驱动电路设计以及 PCB 布局布线的关键点等,针对两种被测 GaN 器件,分别制作了两块测试板样机。

第三章为实验部分，采用所提出的双脉冲和多脉冲测试方法，对比了两种不同结构的商用 GaN 器件在硬开通和软开通条件下动态电阻随电压应力和开关频率的变化情况，一方面证明了开通条件和器件结构对 GaN 器件动态电阻特性的重要影响，另一方面也说明了多脉冲测试方法的重要性。

第四章分析了软、硬开通条件对 GaN 器件动态电阻产生影响的内部机制，并在此基础上，借助半导体仿真工具，对相关影响机制和第四章的实验结果进行了验证，揭示了目前基于空穴注入的动态电阻抑制方法在软开关工作条件下的局限性。

第五章对本文的研究内容进行了总结并对进一步的研究工作提出了展望。

仅限PMIC会员单位内部使用，不得外传

第2章 动态电阻测试的原理、方法及设计

2.1 电压、电流测量方案

动态电阻测试的测试对象为 GaN 器件从高压阻断状态切换到开通状态后的导通电阻。这需要分别测量器件漏极和源极之间的导通电压和导通电流，再将二者相除。在实际测量过程中，为了尽可能准确地提取出器件的导通电阻值，每个测量环节都需要一定的筛选和考量。

2.1.1 导通电压测量方案

测量器件的导通电压一般采用高精度数字示波器，为了同时测量器件关断时的高电压和开通时的低电压，示波器的测量范围要足够宽，否则，示波器内部的放大器会失真，产生过驱动现象^[41]，导致无法准确测量导通电压。然而，在如此大的电压摆幅下，示波器会受到分辨率的限制，使测量结果产生较大误差。例如，一个 8 位示波器的模数转换器可以提供 $2^8=256$ 个量化电平，假设器件关断时承担的电压为 400 V，开通电压为 1V，则示波器能分辨的最小电压为 $400/256=1.56V$ ，可见，在这种情况下，示波器测量值并不能反映出器件真实的导通电压。

一种解决方法是采用更高精度的数字示波器，如 12 位示波器，那么示波器能分辨的最小电压为 $400/2^{12}=0.098V$ ，精度提高了 16 倍。然而，这样一台高精度示波器十分昂贵，为此专门购置成本过高。

另一种解决方法是采用电压钳位电路。由于成本低，电路灵活性高，这种方法被国内外研究者普遍采用^[33,34,41-45]。电压钳位电路的原理是将器件关断时的电压钳位在更小的数值，以此来减小电压摆幅。比如将关断时的 400 V 电压钳位在 4 V，则对于 8 位示波器来说，其能分辨的最小电压为 $4/256=0.016V$ ，精度提高了 100 倍。但是，钳位电路的使用也会带来新的问题，比如线路中的寄生参数会引起测量的振荡和延时，特别是在高频高压情况下，这些问题会更显著。

因此，钳位电路设计的难点在于既要准确测出导通电压，又要在器件开通后尽快捕捉到导通电压变化，减小振荡和延时，特别是对于 GaN 这样的高频器件，钳位电路的设计尤为重要。目前，德国的 Springburo 公司已经推出了商业化的钳位探头，专门用于测量器件的导通电压，其生产的型号为 CLP1500V15A1 的探头可将钳位电压设为 2 或 12 V，测试延时约为 100 ns，售价为 690 美元^[46]。从

节约成本的角度出发，本文采用自行设计的钳位电路。



图 2.1 Springburo 公司的 CLP1500V15A1 电压钳位探头

图 2.2 列出了几种常用的电压钳位电路。电路的输入端为被测器件的漏源极电压，输出端为 A、B 两点之间，即被测电压 $v_{DS(m)}$ 。

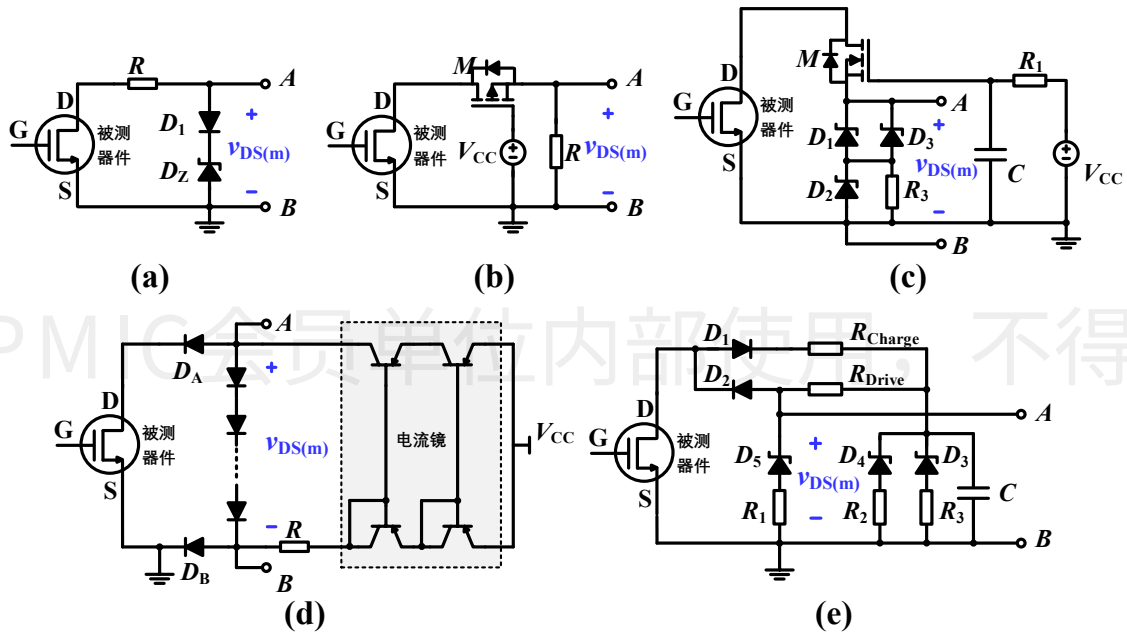


图 2.2 采用钳位电路的电压测量方案

最早的电压钳位电路如图 2.2 (a) 所示^[41]。当被测器件关断时，D、S 间电压升高， $v_{DS(m)}$ 为二极管 D_1 正向导通压降和稳压管 D_z 稳压值之和；当器件开通后，D、S 间电压降低， D_1 、 D_z 关断， $v_{DS(m)}$ 为被测器件的导通电压。这种电路的优点是简单，不需要额外的电压源，也不需要差分测量。但该电路有两方面不足，一是实际测量过程中电阻 R 上会有少量的漏电流流过，使测量结果发生偏移。二是被测器件开通后，电阻 R 和 D_1 、 D_z 的寄生电容产生较大的 RC 延时，使响应速度变慢。为了减小延时，可以选取寄生电容较小的二极管或者减小 R 的阻值。但为了减小器件关断时电阻 R 上的功率耗散（即 $(v_{DS} - v_{DS(m)})^2 / R$ ），电阻 R 的阻值又不能太小。因此，这种钳位电路不适合测量高频器件的导通电压，其应用场合最好

不超过 100 kHz。

为了减小 RC 延时，出现了如图 2.2 (b) 所示的钳位电路^[41]，M 是常通型三端器件，阈值电压为负值，M 的门极与直流低压源 V_{CC} 相连。当被测器件关断时，电流流过电阻 R，导致 M 的 S 极电压升高，G、S 间电压差减小。当 M 的 G、S 间电压降到阈值电压 V_{TH} 以下时，M 关断，这时， $v_{DS(m)}$ 被钳位在 $V_{CC}-V_{TH}$ 上；当被测器件开通时，M 的 S 极电压逐渐降低，使其 G、S 间电压逐渐升高，当 V_{GS} 高于 V_{TH} 时，器件 M 开通，此时， $v_{DS(m)}$ 为被测器件导通电压和器件 M 导通电压之和。由于流过 M 的电流很小，其导通电压可以忽略不计。该电路在一定程度上可以提升测试响应速度，但器件 M 的寄生电容会导致电压测试波形出现尖刺。另外，在被测器件开通瞬间，高 dv/dt 会使器件 M 的 C_{GD} 电容两端产生位移电流，流过电压源 V_{CC} ，易造成其损坏。

前两种电路结合出现了如图 2.2 (c) 所示的电路 (c)^[33]，该电路由 n 型 MOSFET 实现电压钳位功能，其原理与电路 (b) 相似。当被测器件关断时，器件 M 的 S 极电压被钳位在 $V_{CC}-V_{TH}$ ；当被测器件开通时，器件 M 也随之开通，从而在 A、B 两点之间测量出被测器件的导通电压。该电路采用肖特基二极管 D_1 、 D_2 ，稳压管 D_3 以及电阻 R_2 来减小电压尖刺。但是，这些元件的使用带来了漏电流，在 M 上产生电压降，使测试结果发生偏移。

图 2.2 (d) 所示的电路 (d) 由电流镜和一组钳位二极管构成^[41]。当被测器件关断时，D 端电压升高， D_A 关断， D_B 开通，镜像电流流过一组钳位二极管，被测电压钳位值为这组串联二极管的正向导通电压之和；当被测器件开通时，D、S 两端电压较低，二极管 D_A 、 D_B 开通，镜像电流分别流过 D_A 、 D_B ，而不流经钳位二极管，由于 D_A 、 D_B 具有相同的 $I-V$ 特性，二者的正向导通压降相同，所以此时 A、B 两端电压即为被测器件的导通电压。与前面三种方法相比，这种方法由于采用了电流镜技术和寄生电容很小的肖特基二极管，具有更高的测试精度和更快的响应时间，但是这种方法需要使用差分探头来测量输出电压，而差分探头在测量过程中很难完全抑制共模噪声，易使被测电压受到噪声干扰。

图 2.2 (e) 所示的电路 (e)^[43] 主要采用高压 SiC 肖特基二极管 D_1 、 D_2 来实现钳位电路功能。当被测器件关断时， D_1 开通， D_2 关断，电流流经 D_1 和 R_{charge} 为电容 C 充电，电容 C 的充电电压被钳位在稳压管 D_3 、 D_4 的稳压值；当被测器件

开通后, 电容 C 开始放电, 其放电电流流经 R_{drive} 和 D_2 , 显然, 此时 $v_{\text{DS(m)}}$ 为被测器件导通电压和 D_2 正向压降之和。为了得到器件真实的导通电压, 需要在测试结果中人为减掉 D_2 的正向压降。该电路的测试响应时间在 100 ns 左右, 因此可以测出 MHz 级开关频率下的导通电压。

现将以上几种钳位电路的特点总结至表 2.1 以作参考。

表 2.1 几种钳位电路测量方案的比较

	电路(a)	电路(b)	电路(c)	电路(d)	电路(e)
技术特点	稳压管	P 型 MOSFET	N 型 Si MOSFET	电流镜	SiC 肖特基二极管
响应速度	$>3000\text{ns}$	$<300\text{ns}$	$<300\text{ns}$	$<100\text{ns}$	$<100\text{ns}$
最大输入电压	无限制	MOSFET 最高耐压	MOSFET 最高耐压	二极管 最高耐压	二极管 最高耐压
外部电压源	无	有	有	有	无
测量方法	无源探头	无源探头	无源探头	差分探头	无源探头
电压偏移	有, 需减去	有, 需减去	有, 需减去	无	有, 需减去

以上钳位电路都是将输出电压信号直接接入示波器进行测量, 通常采用量程较大的无源探头, 这种探头在测量小电压时会存在精度误差。因此, 当被测器件的导通电阻或导通电流较小时, 测试精度会变低。

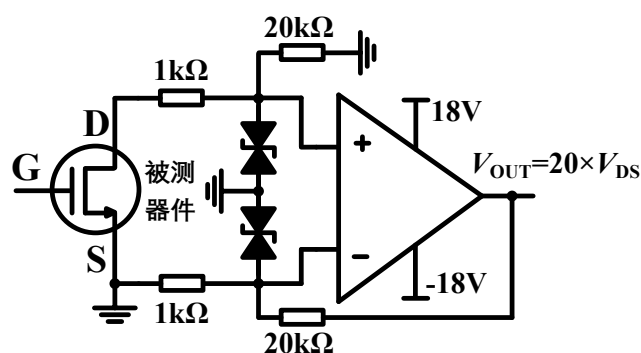


图 2.3 采用运放结构的电压测量方案

为了解决上述问题, 文献^[47]采用了如图 2.3 所示的运算放大器结构, 先对电压信号进行放大, 再接入示波器。同时在放大器的输入端连接 5 V 的 TVS 管, 以实现保护和电压钳位的目的。这种方法由于采用了差分输入、单端输出的运放结构, 可以有效抑制共模噪声。但是为了避免运放饱和导致测试方法失效, 被测

器件的关断时间必须严格控制在几百纳秒以内,这将大大限制测试电路的应用场合。同时由于运放的响应会引起较为强烈的振荡,该方法的测试延时较长,大约为 $2\ \mu\text{s}$ 。

综合考虑以上电压测量方案,无论从测试成本、测试速度还是测试结果准确度来说,钳位电路都更占优势。

因此,本文最终选择了测试速度较快、结构相对简单的钳位电路(e),并在其基础上作了进一步简化和修改,得到了如图 2.4 示的钳位电路。其中, V_{CC} 为低压源, M 点为测试点,实际测量值为稳压管 D_Z 两端的电压,其具体原理下:

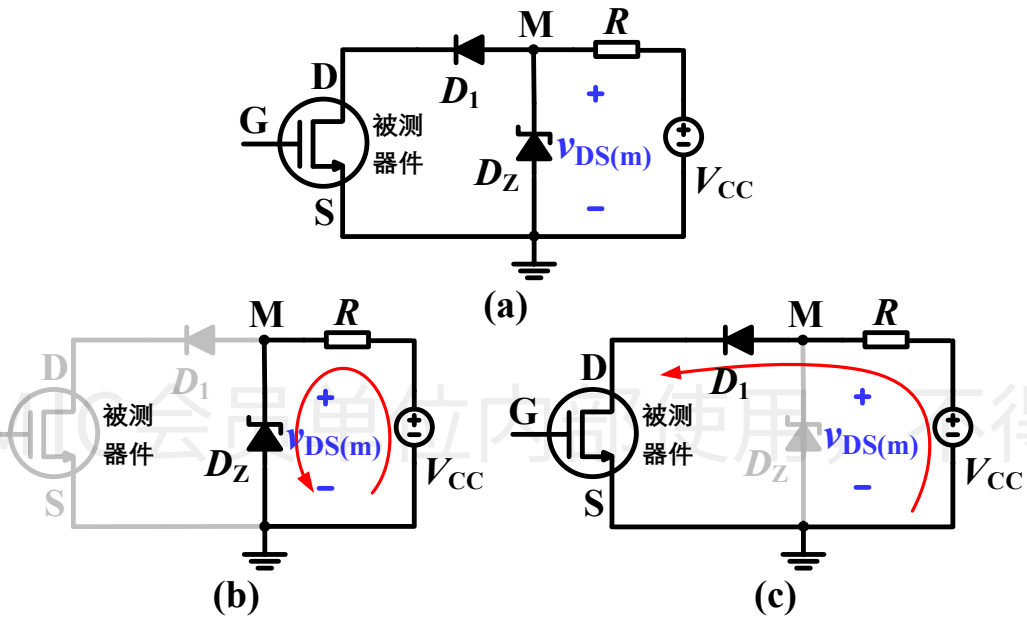


图 2.4 电压钳位电路原理: (a)钳位电路原理图; (b) 被测器件关断时; (c) 被测器件开通后

当被测器件关断时,如图 2.4 (b) 所示, D、S 之间承受高压,二极管 D_1 关断,此时, 低压源 V_{CC} , 电阻 R 和稳压管 D_Z 构成电流回路, 被测电压 $v_{DS(m)}$ 被钳位在 D_Z 的稳压值, 和真正的 v_{DS} (通常为几百伏) 相比要小很多, 从而达到了电压钳位的目的。

当被测器件开通后, 如图 2.4 (c) 所示, D、S 之间的电压开始逐渐降低, 使 D_1 的结电容逐渐放电直到 D_1 开通, 此时, 钳位电路的电流路径更改为 V_{CC} —电阻 R —二极管 D_1 —被测器件, 被测电压 $v_{DS(m)}$ 等于被测器件导通电压 v_{DS} 和二极管正向导通压降 v_{D1} 的总和。因此, 被测器件实际的导通电压 v_{DS} 为:

$$v_{DS} = v_{DS(m)} - v_{D1} \quad (2.1)$$

其中, v_{D1} 的值可以根据流过 D_1 的电流大小得到。图 2.5 是 D_1 的 I - V 特性

曲线，对其线性部分作拟合，可以得到如内部插图所示的正向电压 V_F 和正向电流 I_F 的拟合公式。

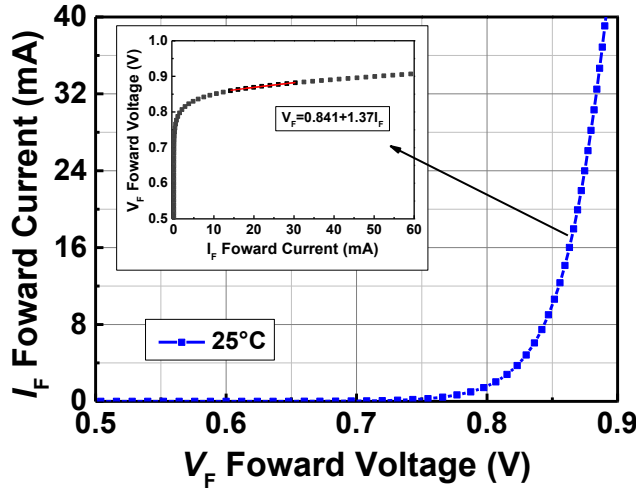


图 2.5 二极管的 I - V 特性曲线及拟合公式

已知当被测器件开通后，流过 D_1 的电流为：

$$I_F = \frac{V_{CC} - v_{DS(m)}}{R} \quad (2.2)$$

将(2.2)带入拟合公式，由此可以计算出二极管的导通压降 v_{D1} 。

为了保证器件开通后钳位电路可以正常工作，稳压管的稳压值 V_Z 应满足：

$$V_Z > \max(i_{DS} \times R_{DS(on)}) + v_{D1} \quad (2.3)$$

但为了尽可能提高示波器垂直通道的分辨率，稳压值也不可以太高，刚好满足上述条件即可。在实验过程中，对于不同的被测器件和被测电流，需要根据上述公式对稳压值进行调整。

图 2.6 显示了本文钳位电路的延时时间。其中，图 2.6 (a) 为器件导通电流 i_{DS} 和钳位电路被测电压 $v_{DS(m)}$ 的双脉冲测试波形，将第二个脉冲区间逐步展开，分别得到了如图 2.6 (b) 和图 2.6 (c) 所示的局部放大图。可以发现，被测电压 $v_{DS(m)}$ 在器件开通的初始阶段存在一定的响应时间，即，在器件刚开通的一段时间里，钳位电路并不能准确测量出被测电压，我们也因此无法快速得到器件的动态电阻值，这就是测试电路的延时。为了适应 GaN 器件的高频测试，提高测试电路的响应速度，应尽可能缩短被测电压 $v_{DS(m)}$ 的响应时间。本文的钳位电路经设计优化，其响应时间根据测试条件的不同，最大不超过 150 ns。

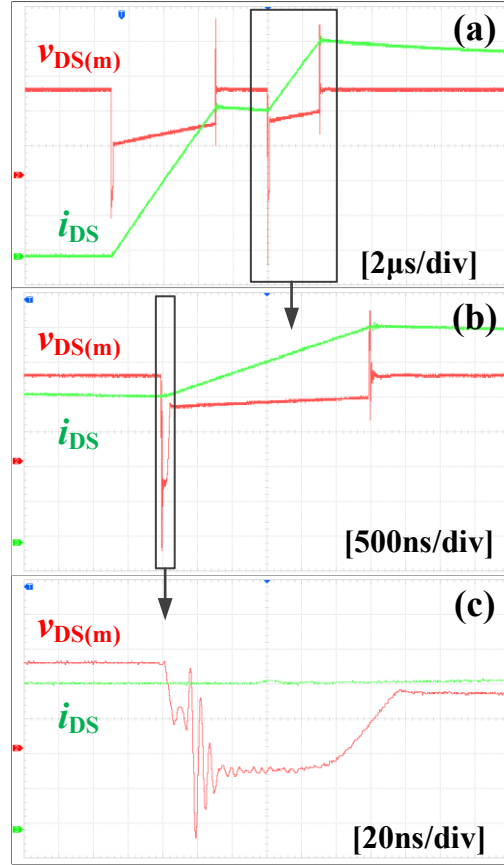


图 2.6 本文采用的钳位电路的延时时间

2.1.2 导通电流测量方案

在宽禁带器件的动态性能测试中，电流测量需要满足一定的要求。

首先，为了准确跟踪高速开关瞬态的上升和下降沿，测试设备要具有足够大的带宽。根据信号理论，一个上升时间为 t_r 或下降时间为 t_f 的斜坡信号的有效带宽可以表示为^[48,49]：

$$F_{(-3dB)} = \frac{0.35}{\min(t_r, t_f)} \quad (2.4)$$

在实际应用中，为了测量出准确的幅值，测量系统带宽需要比被测信号的有效带宽高出 3 到 5 倍，考虑相位的准确度的话则需要高出 10 倍^[50]。对于高速 GaN 器件来说，其上升时间或下降时间通常只有几纳秒，假设上升时间为 5 ns，则有效带宽为 70 MHz，取 3 倍裕量，则测量系统带宽至少应为 210 MHz。

其次，测量设备需具有足够的量程范围和灵敏度^[51]。假设测量设备的灵敏度为 10 mV/A，那么当被测电流为 1 A 时，显示在示波器上的电压只有 10 mV，受示波器分辨率的限制，这将产生较大的测量误差。通常来讲，测量设备的量程越

小，灵敏度越高。因此在选择测量设备时，需根据被测电流的大小，选择合适的量程范围，确保在测量大电流时不会发生饱和，同时在测量小电流时又具有足够的精度。

另外，还要考虑测量设备对测试电路带来的影响。有些测量设备（如同轴电阻）会在电流回路中引入额外的寄生电感，对器件的开关性能造成影响。另外，如果在测量电流的同时又需要测量电压，而电压、电流测试点不共地时，则需要考虑电气隔离的电流测量方案。

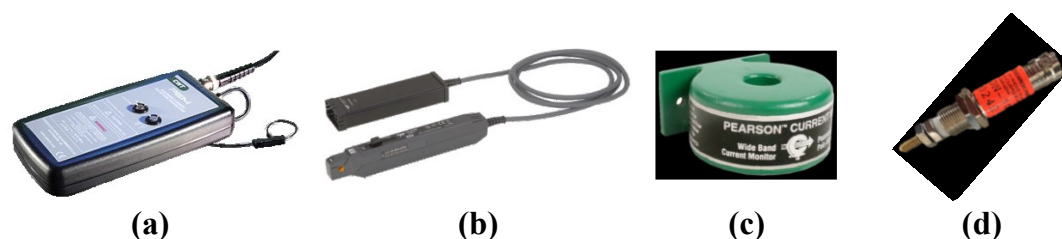


图 2.7 几种常用的导通电流测量设备：(a) 罗氏线圈；(b) 电流探头；(c) 电流互感器；
(d) 同轴电阻

针对功率器件或模块的动态性能测试，目前常用的导通电流测量方法有如图 2.7 所示的罗氏线圈、电流探头、电流互感器和同轴电阻等^[48,51,52]。表 2.2 总结了这几种电流测量设备各自的参数和优缺点。

表 2.2 几种常用的电流测量设备及其特点

测试设备及型号	罗氏线圈 CWT Ultra-mini	电流探头 CP031A	电流互感器 Pearson 2877	同轴电阻 (0.1Ω) SSDN-10
电流类型	AC	DC/AC	AC	DC/AC
带宽	30 MHz	300 MHz	200 MHz	2000 MHz
灵敏度	1-200 mV/A	1 mA/div	1V/A	100 mV/A
优点	测量范围宽，体积小，电气隔离	电气隔离，可测量直流电流	电气隔离，带宽高	带宽最高，精度最高，可测量直流电流
缺点	带宽低、精度低，无法测量直流电流	带宽低、精度低	无法测量直流电流	非电气隔离

通过对比可以发现，同轴电阻的带宽最高，精度最高，并且利用内外导体电流方向相反，磁场相互抵消的方式实现了无感电阻，因此，它也是目前宽禁带器

件动态性能测试中最为普遍，最受认可的电流测量方法。本文研究工作的电流测量范围不超过 30 A，因此选用美国 T&M Research 公司型号为 SSDN-10 的 $0.1\ \Omega$ 同轴电阻作为电流测量方案，其电阻值精确到小数点后四位，最大脉冲能量 $E_{\max}$ 为 2 J。由于本文测量时间总长在 μs 量级，根据公式 $E_{\max} = R \cdot \left(\int i^2 dt \right)_{\max}$ 可知，该方案完全满足本文的测量需求。

2.1.3 电压、电流延迟校准

每一种电压、电流探头都具有一定的传播延时，虽然这些延时通常只有几纳秒，但对于 GaN 这样的高速器件而言，如果补偿不当，将会造成严重的时间失调，最终导致错误的测试结论。因此，为了保证动态电阻测试结果的准确性，测量前需要对电压、电流探头的延迟进行补偿或校准。

本文采用的电压、电流校准方法如下：(1) 在与实验测试板相同的空板上搭建如图 2.8 所示的校准电路，电阻 R 采用贴片电阻多个并联的方式以减小电阻的寄生电感，开关 S 可以用上管替代；(2) 将电容预充电至 5 V 后，迅速关闭 S，示波器同时捕捉到电阻两端的电压 V_R 和电流 I_R 的波形；(3) 以电压通道为基准，微调电流通道的水平延迟时间，直至两个波形完全重合，校准完成。图 2.9 为校准前和校准后的电压、电流波形。

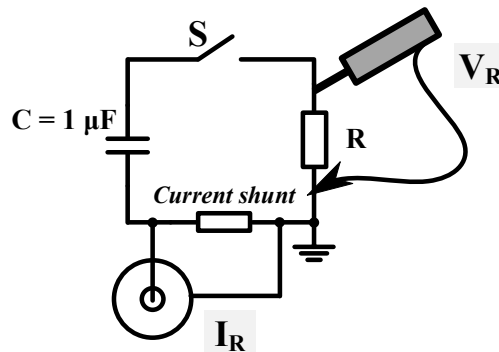


图 2.8 电压、电流延迟校准方法

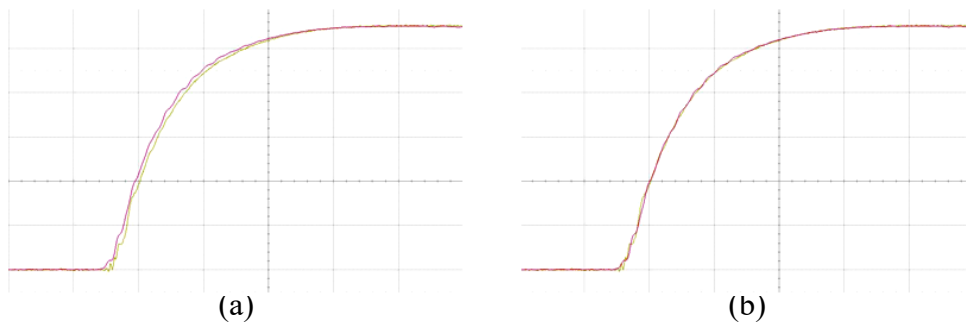


图 2.9 探头校准前后的电压、电流波形：(a) 校准前；(b) 校准后

2.2 测试电路原理

为了研究 GaN 器件在硬开关和软开关条件下的动态电阻特性, 本文设计了一种集硬开关、软开关测试条件于一体的多功能测试电路。图 2.10 为测试电路原理图, 通过改变端口 1 与端口 2、3 的连接方式, 可以实现两种测试电路的灵活转换。这样既能保证两种测试条件下的电路寄生参数相同, 也可以避免被测器件在不同的测试板之间反复焊接, 使测试更加准确、方便。为了更加贴合实际应用, 测试电路采用了半桥结构, 并选取下管作为被测器件。本节将重点介绍硬开关和软开关测试电路的原理, 有关钳位电路的原理请参见 2.1.1 节, 在此不再赘述。

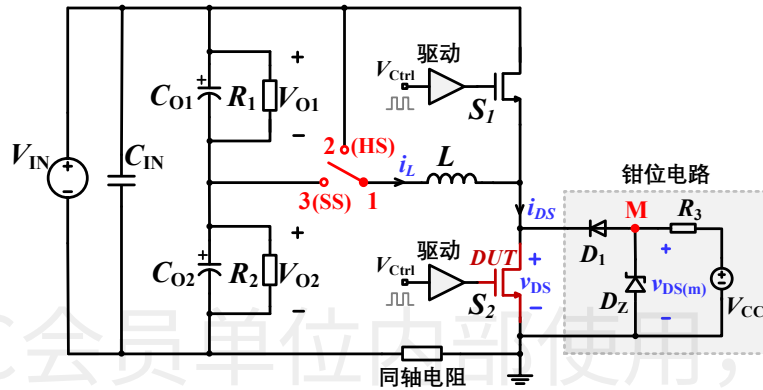


图 2.10 测试电路原理图

2.2.1 硬开关测试电路原理

当端口 1 和端口 2 连接时, 测试电路可转换为如图 2.11 (a) 所示的硬开关测试电路。本文的硬开关测试沿用了传统的双脉冲测试电路, 其特点是仅用两个门极脉冲信号就可以得到被测器件在特定工作电压和电流下的动态性能。该电路实现简单, 测试时间短, 可以避免器件温升, 同时采用感性负载, 更加贴合电力电子实际应用, 因此非常适合应用于功率器件或模块的动态参数评估^[53,54]。

测试电路的控制信号及相关的电压、电流波形如图 2.11 (b) 所示, 在 t_0 时刻, 第一个门极脉冲到来, 被测器件开通, 母线电容对电感 L 充电, 电感电流 i_L 开始上升; 在 t_1 时刻, 电感电流上升至给定值, 第一个脉冲结束, 被测器件关断; 在下一个门极脉冲到来之前, 电感电流通过上管续流, 这里上管 GaN 器件的门极驱动为 0, 利用其反向导通特性为电感电流提供续流回路; 在 t_2 时刻, 第二个门极脉冲到来, 被测器件在给定电流下开通, 在第二个脉冲期间, 可以观察被测器件的导通电压和导通电流波形, 完成器件的动态电阻测试; t_3 时刻, 第二个脉

冲结束，被测器件关断，电感电流通过上管续流并逐渐衰减至零，测试结束。第一个门极脉冲的宽度决定了被测器件的导通电流，第二个门极脉冲的宽度决定了动态电阻特性的关测时间。在实验过程中，两个脉冲宽度需要根据测试需求作相应的调整，通常在微秒量级。为了防止电感续流过程中有较大的电流跌落，两个门极脉冲的间隔，即 t_1-t_2 时间段不宜过长。

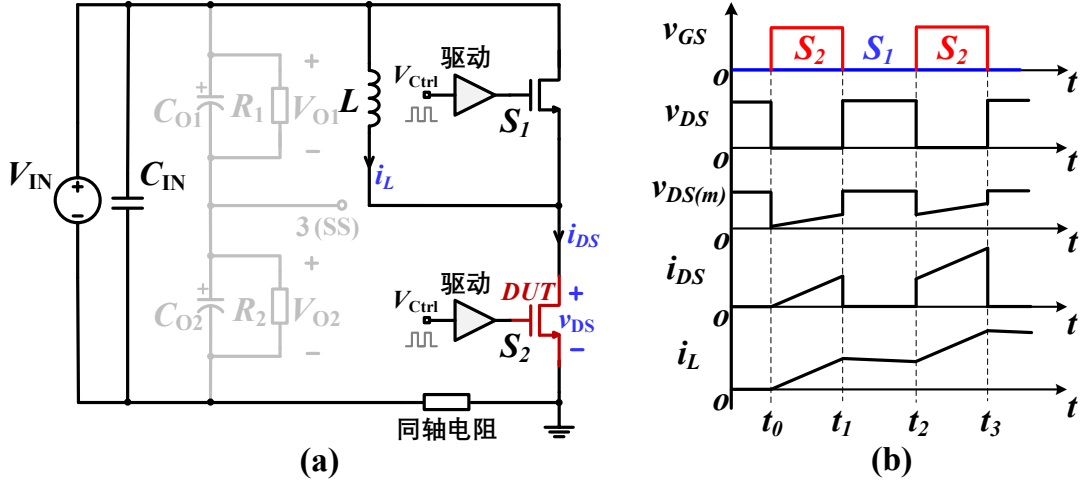


图 2.11 硬开关测试电路及关键波形：(a) 硬开关测试电路 (b) 控制信号及相关波形

2.2.2 软开关测试电路原理

当端口 1 和端口 3 连接时，测试电路可转换为如图 2.12 (a) 所示的三角波电流模式 (Triangular Current Mode, TCM) 软开关测试电路。此时，测试电路的工作原理类似于同步整流 Buck 电路，但由于输出电容 C_{O1} 和 C_{O2} 存在 V_{IN} 的初始分压，因此该电路无需电容电压建立过程就可以直接进行脉冲测试。为了保证在微秒级的测试过程中，电容两端电压始终保持恒定， C_{O1} 和 C_{O2} 的容值要足够大。输出电容两端并联的电阻 R_1 和 R_2 用来确定输出电容的电压初始值从而确定测试脉冲的占空比，例如，当 R_1 和 R_2 取值相同时，占空比为 0.5。

电路的控制信号和相关的电压、电流波形如图 2.12 (b) 所示，首先，在被测器件开启之前，先控制上管导通一段时间后关断，在 t_0-t_1 时刻之间，给上管 S_1 100 ns 左右的门极窄脉冲， S_1 导通，负载电感两端电压为 $V_{IN}-V_{O2}$ ，电感电流 i_L 开始上升。在 t_1-t_2 的死区时间里，电感电流给被测器件 S_2 的寄生电容放电，使 S_2 两端电压 v_{DS} 开始下降。当 v_{DS} 下降到 0 时， S_2 开始反向导通。因此，当 t_2 时刻 S_2 的门极脉冲到来时， S_2 可以实现软开通。 S_2 开通后，电感反向充电，电感两端电压为 $V_{IN}-V_{O1}$ ，电感电流开始反向升高直到 t_3 时刻 S_2 关断。经过一段死区时间后， S_1 在 t_4 时刻再次开通并在 t_5 时刻关断，如此反复，使 S_2 在 t_6 时刻再次

实现软开通。

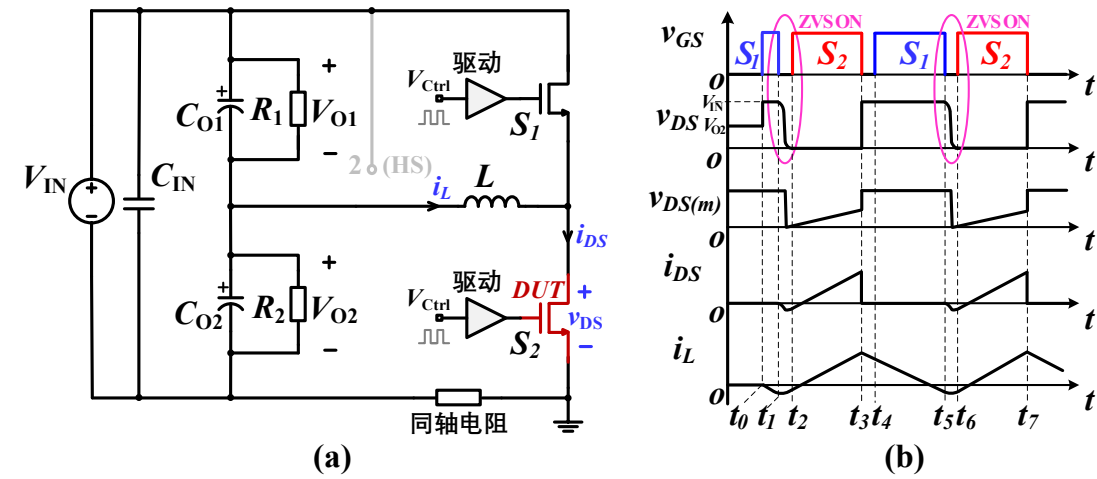


图 2.12 软开关测试电路及关键波形：(a) 软开关测试电路；(b) 控制信号及相关波形

2.3 测试方法

基于以上测试电路，本文提出并采用了两种测试方法来表征被测器件的动态电阻特性，即双脉冲测试方法和多脉冲测试方法。

2.3.1 双脉冲测试方法

本文的双脉冲测试沿用了传统的双脉冲测试电路，但在方法上却与传统的双脉冲测试有所区别。传统方法通常是为了获得被测器件的各项动态性能参数，如开通/关断延迟、上升/下降时间以及开关损耗等，研究的是开关瞬态的性能。而本文的双脉冲测试研究的是器件导通过程中的性能，既有硬开关条件下的双脉冲测试，也有软开关条件下的双脉冲测试。

双脉冲测试，顾名思义，指的是给被测器件两个门极脉冲，测量区间从第二个脉冲开始到第二个脉冲结束。该测试主要研究电压应力对动态电阻的影响，因此在一组实验中必须保证双脉冲的宽度和漏极电流相一致。为了实现这一条件，需要不断调节外部电感。以硬开关测试为例，在第一个脉冲宽度为 $2\mu s$ ，脉冲间隔为 $2\mu s$ ，第二个脉冲宽度为 $2\mu s$ 的情况下（如图 2.13 所示），为了保证在不同的电压应力（50 V-400 V）下，测试区间内的漏极电流变化均为 5-10 A，根据公式 $i=L\cdot dV_{IN}/dt$ ，应分别采用如表 2.3 所示的外部电感值。

表 2.3 不同电压应力对应的外部电感值

Vin(V)	50	100	150	200	250	300	350	400
L(μH)	20	40	60	80	100	120	140	160

图 2.13 显示了双脉冲测试条件下的动态电阻提取方法，阴影部分为测试区间。根据公式：

$$R_{DS(on)} = \frac{v_{DS(m)} - v_{D1}}{i_{DS}} \quad (2.5)$$

可以得到被测器件的动态电阻。从图 2.13 中可以观察到，在测试区间内动态电阻并非恒定值且随着导通时间的增加而逐渐降低，为了表示这个过程，分别选取器件开通的首端（500 ns）和末端（此处为 2 μ s）作为不同电压应力下比较和衡量的对象。选取 500 ns 作为首端是为了合理避开器件刚刚导通时的开关振荡以及钳位电路带来的测量延时。

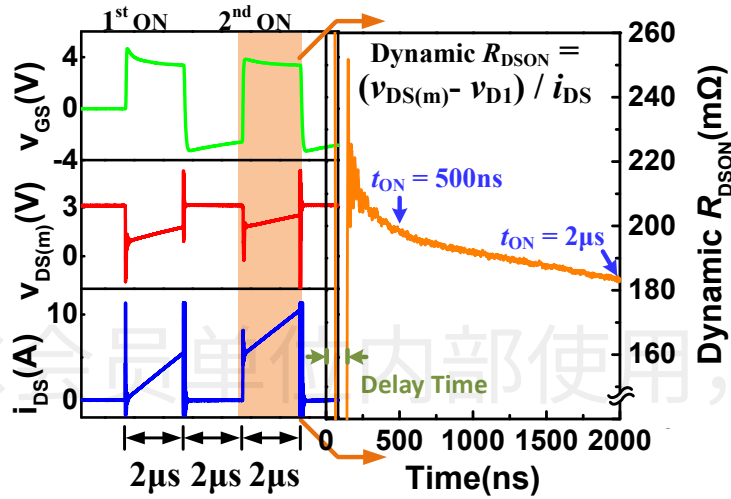


图 2.13 双脉冲测试下的动态电阻提取方法（硬开关）。

2.3.2 多脉冲测试方法

根据本文第 1.2.1 节的介绍，GaN 器件的动态电阻现象来源于内部陷阱对电子的俘获效应。电子俘获效应与器件关断和开通的时间有关，如图 2.14 所示，器件关断时间被认为是电子俘获时间，器件开通时间被认为是电子释放时间。在电子俘获时间里，导通电阻按照一定的时间常数增加；在电子释放时间里，导通电阻按照一定的时间常数减小，如此反复。事实上，这一电子俘获和释放的过程可以用一系列时间常数不同的阻容网络的充放电过程来表示^[18,55]，这说明动态电阻会随着器件的开通和关断而不断变化。

在实际的电力电子应用中，开关器件可能工作在不同的频率和占空比下，这导致了不同的电子俘获和释放时间，也就导致了不同的动态电阻变化过程，给损耗估算带来了不确定性。因此，本文在原有的双脉冲测试方法基础上，提出了一

种多脉冲测试方法，用来模拟 GaN 器件在实际工作状态下的动态电阻变化情况。采用多脉冲而非连续脉冲是为了避免由于器件温度升高而带来的导通电阻增加，提高测试结果的准确性和可比性。

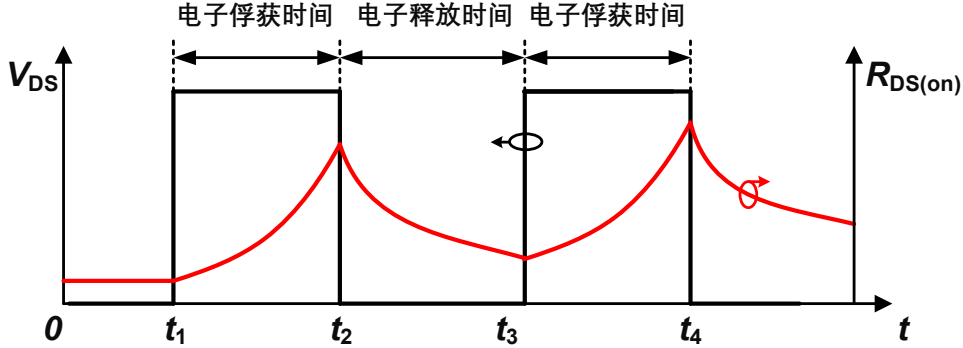


图 2.14 电子俘获效应引起的 GaN 器件动态电阻

和双脉冲测试一样，多脉冲测试也分硬开关和软开关条件。其中，软开关测试与双脉冲的软开关测试相同，只是门极脉冲数有所增加。而硬开关测试则略有不同，如图 2.15 所示，为了避免因脉冲数增加而引起的电感电流持续升高，将图 2.11 (a) 测试电路中的电感负载替换为阻感负载，以建立连续工作下的电感伏秒平衡。图 2.16 显示了多脉冲测试下电感电流 i_L 和被测器件漏极电流 i_{DS} 的波形，设母线电压为 V_{IN} ，开关频率为 f ，占空比为 D ，则：

电路的时间常数为：

$$\tau = \frac{L}{R} \quad (2.6)$$

稳态时的电感电流平均值为：

$$\bar{i}_L = \frac{DV_{IN}}{R} \quad (2.7)$$

稳态时的电感电流峰峰值为：

$$i_{pp} = \frac{2(1-D)V_{IN}}{R} \cdot \frac{1}{(1 + e^{-\frac{R}{L} \tau})} \quad (2.8)$$

由此可得被测器件的电流变化范围为：

$$(\bar{i}_L - \frac{1}{2}i_{pp}) \sim (\bar{i}_L + \frac{1}{2}i_{pp}) \quad (2.9)$$

根据上述公式可以计算给定母线电压和漏极电流条件下的负载阻感值。负载电阻 R 和电感 L 的选取应确保电感电流可以在 $10\mu s$ 内达到稳态。同样地，为了

保证不同电压应力下的测试电流相同，每种测试条件下的 R 和 L 需要根据上述公式做相应的调整。

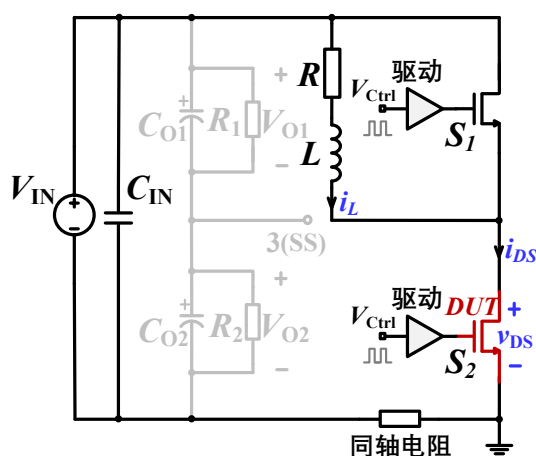


图 2.15 多脉冲硬开关测试电路

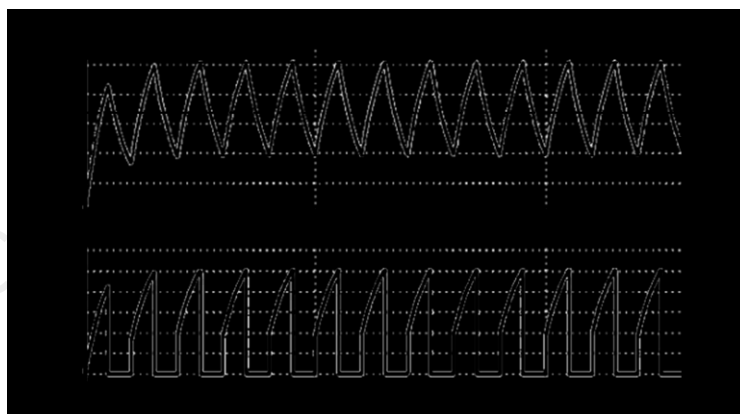


图 2.16 多脉冲硬开关测试波形

2.4 硬件电路设计

2.4.1 被测器件选型

目前主流的商用 GaN 器件主要包括以 Transphorm 公司为代表的 Cascode 型器件和以 EPC, GaN Systems 等公司为代表的 E-mode 型器件。其中，E-mode 型器件凭借结构简单、封装体积小、寄生电感小等优势，正逐步取代 Cascode 型器件，在变换器设计、开关建模、器件测试、驱动设计等 GaN 器件相关研究领域成为了学术界和产业界的研究热点。

表 2.4 总结了目前主流的 600/650 V 商用 E-mode GaN 器件，考虑到器件的实用性、可购买性、是否为新产品以及实验室库存等诸多因素，本文选择了两种常用的、较新推出的、不同结构的 E-mode GaN 器件作为被测器件，其型号及关键参数如表 2.5 所示。

表 2.4 目前主流的 600/650V 商用 E-mode GaN 器件

厂商	电压等级 (V)	电流等级 (A)	$R_{\text{DS(on)}}$ (m Ω)	Q_g (nC)	封装	获取 渠道
GaN Systems ^[56]	650	7.5	200	1.5	GaN ^{NPX} TM	网上 订购
		15	100	3		
		22.5	67	4.4		
		30	50	5.8		
		60	25	12		
		120	12	25		
Panasonic ^[25]	600	13	140	2	DFN 8×8	网上 订购
		26	56	5		
Infineon ^[57]	600	31	70	5.8	PG-DSO-20 PG-HSOF-8	网上 订购
	600	15	70	5.8	PG-LSOF-8	
	600	12.5	190	3.2	PG-HSOF-8	
GaNPower ^[58]	650	10	125	-	LGA	样品
	650	15	85	3.34	DFN 8×8	
				-	LGA	
			90	3.34	DFN 6×8	
			92	3.34	TO220	
	650	20	60	-	LGA	
			65		DFN 6×8	
	650	30	55	-	TO220	
					DFN 8×8	
					DFN 6×8	

表 2.5 两种被测 GaN 器件的关键参数

	器件 A	器件 B
厂商	GaN Systems	Panasonic
型号	GS66508T	PGA26E19BA
电压电流等级	650V/30A	600V/13A
技术	E-mode (p-gate)	E-mode (X-GaN GIT)
封装	GaN ^{NPX} TM 4	DFN 8×8
导通电阻 ¹	46m Ω	150m Ω

¹. 导通电阻提取自器件室温下的输出特性曲线。

器件 A 来自 GaN Systems 公司, 采用了如图 2.17(a) 所示的典型 GaN HEMT 结构。器件 B 是 Panasonic 公司的 X-GaN 器件, 也称作门极注入晶体管 (Gate Injection Transistor, GIT), 它也是 HEMT 中的一种, 其典型结构如图 2.17 (b) 所示。两种被测器件在结构上主要有两点不同:

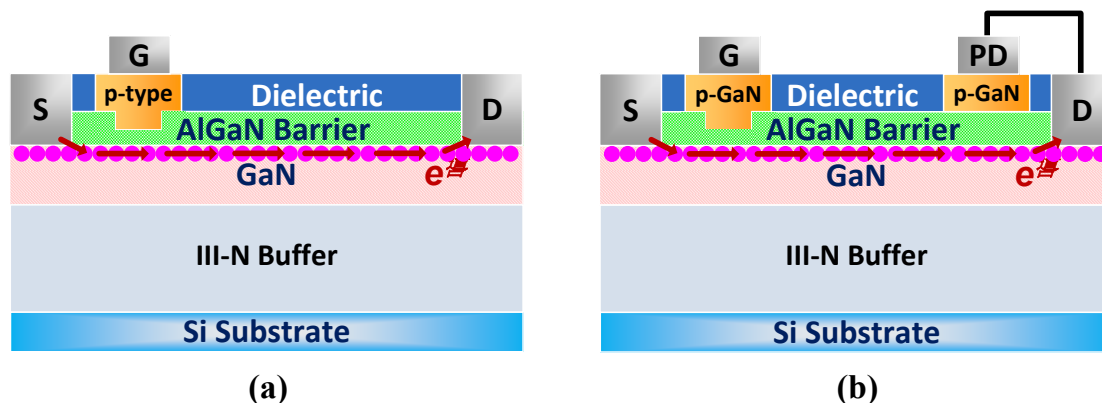


图 2.17 (a) HEMT 器件典型结构 (b) Panasonic GIT 器件典型结构

一是门极特性不同。虽然二者都采用了 p 型栅结构来实现常断功能, 但 Panasonic 公司的 GIT 器件却和普通的 HEMT 有所不同。GIT 器件的门极和源极之间形成了一个 p-n 结结构, 当门极电压高于 p-n 结的内建电势 V_F 时, 门极下方的 p-GaN 结构会向二维电子气导电沟道注入空穴, 产生电导调制效应, 使导通电阻减小, 但与此同时也产生了门极电流^[59]。因此在实际应用中, 为了维持 GIT 器件开通, 必须保证持续的门极电流, 这对 GIT 器件的驱动提出了特殊要求, 关于 GIT 器件的驱动设计, 本文将在 2.4.2 节作详细介绍。GaN Systems 公司的 HEMT 器件目前还没有公开发表其门极结构, 但从两种器件的门极电流-电压特性曲线可以看出 (如图 2.18 所示), 其门极结构与 GIT 器件不同, 不需要持续的门极电流来维持器件开通。

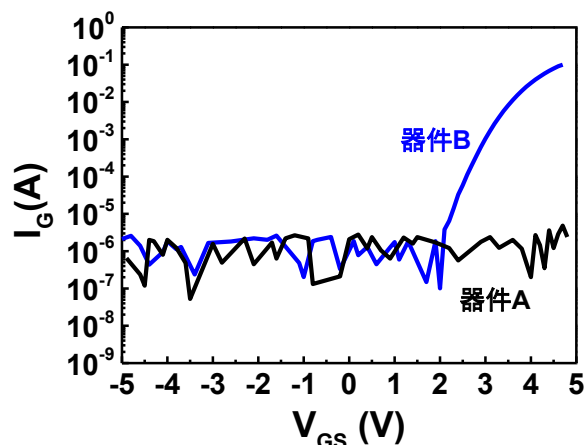


图 2.18 两种被测 GaN 器件的门极电流-电压特性曲线

除了门极特性不同外, GIT 器件在漏极附近生长了一个额外的 p-GaN 结构, 并与漏极电极相连, 如图 2.17 (b) 所示, 该结构可以在承受高压时向缓冲层注入空穴, 有效释放被陷阱俘获的电子, 从而缓解动态电阻效应^[11]。

这两种不同的器件结构在硬开通和软开通工作条件下是否会对器件的动态电阻产生影响, 我们将在第 3 章进行探究。

2.4.2 驱动电路设计

相比于传统 Si 器件, GaN 器件的阈值电压很低, 通常只有 1.2~1.8V, 其门极能承受的最大电压也只有 $\pm 10\text{V}$, 因此对门极电压尖峰的敏感度较高, 这对 GaN 器件的驱动电路提出了更高的要求。

首先是驱动芯片的选择。在选择 GaN 器件的驱动芯片时应重点关注以下几点^[60]: (1) 由于 GaN 器件的驱动电压较低, 通常为 6 V 左右, 驱动芯片的欠压锁定 (UVLO) 参数应与其兼容; (2) 峰值驱动电流至少为 4 A; (3) 高压侧驱动应选择隔离驱动以实现和电源的电气隔离, 在选择隔离驱动时, 其共模瞬变抗扰度 (CMTI) 最好大于 $50\text{ kV}/\mu\text{s}$ 。在此基础上, 可以选择传播延时较小 ($<20\text{ ns}$), 有高频驱动能力 (1 MHz) 的芯片。

其次是驱动芯片的外围供电。如图 2.19 所示, 为了使低压侧和高压侧的供电电压分别可调, 本文的半桥电路没有采用自举驱动, 而是采用了两路隔离电源分别供电的方法来实现上管和下管的驱动地隔离。辅助电源输出的 15 V 电压分别经过两个隔离电源模块和调压模块后得到上、下两路的供电电压 V_{CCA} 和 V_{CCB} 。

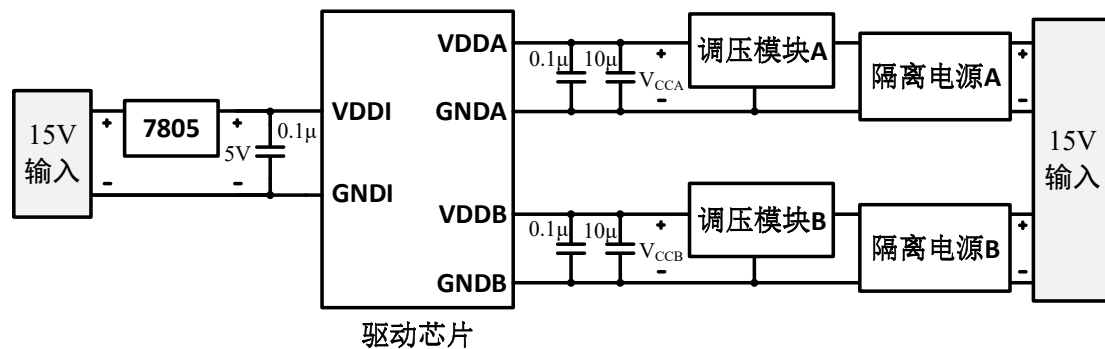


图 2.19 驱动芯片外围供电示意图

最后是驱动电路的设计。由于本文所使用的两种被测器件具有不同的门极特性, 因此需要为每种器件设计专门的驱动电路。其中 GaN Systems 公司的器件 A 可采用常规的电压型驱动, 但要注意控制门极振荡。而 Panasonic 公司的器件 B 由于其门极特殊性, 需要采用电流型驱动。为了保证测试电路的一致性, 两款驱

动采用了相同的驱动芯片，通过不同的外围设计来实现不同的驱动需求。

图 2.20 为器件 A 的驱动电路示意图，由于驱动芯片是单端输出，为了可以同时控制开通电阻 R_{gon} 和关断电阻 R_{goff} ，采用了在 R_{goff} 上串联肖特基二极管 D_1 的方法。为了将门极峰值电压始终控制在 $\pm 10\text{ V}$ 以内，采用在 G、S 两端并联 7.5 V 稳压管的方法来抑制尖峰，在 PCB 布局时需注意，稳压管应紧贴器件 G、S 两端。按照官方推荐，驱动芯片供电电压 V_{CC} 为 6 V 。

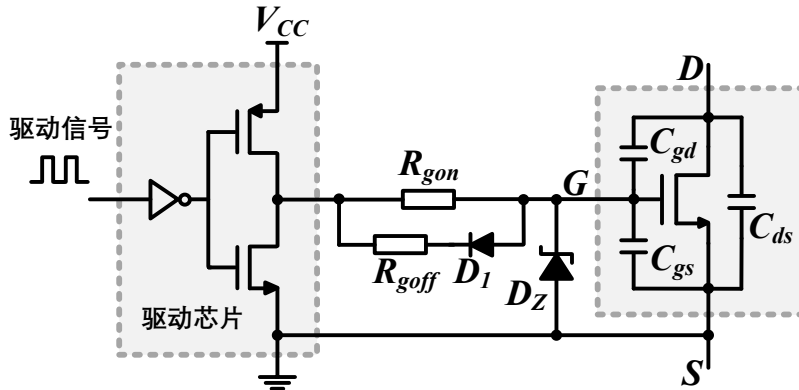


图 2.20 器件 A 电压型驱动电路示意图

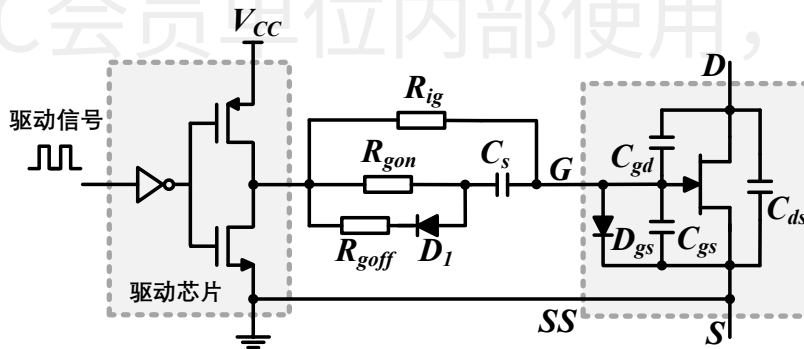


图 2.21 器件 B 电流型驱动电路示意图

不同于器件 A，器件 B 内部的 G、S 之间形成了一个 p-n 结 D_{gs} （如图 2.21 所示），其正向导通压降约为 3.5 V 。为了维持器件开通， D_{gs} 必须始终导通，因此需要保持一定的门极电流，官方推荐的门极电流值为 4 mA ^[61]。

为此，可采用如图 2.21 所示的电流型驱动，其原理如下：当开通信号到来时，门极充电电流流过 R_{gon} 、 C_s 为 C_{gs} 充电，当 C_{gs} 两端电压达到器件阈值电压 V_{TH} 时，器件开通。受门极二极管的限制， C_{gs} 两端电压最大上升到门极二极管的正向电压 $V_{D_{gs}}$ （即 3.5 V ）， C_{gs} 充满后，电流继续为 C_s 充电，直到 C_s 电压达到 $V_{cc}-V_{D_{gs}}$ 。之后，电流流经 R_{ig} 为门极充电，由于 R_{ig} 阻值很大，只有很小的电流

为门极充电，使器件始终保持开通。

当关断信号到来时， C_s 两端电压仍为 $V_{cc}-V_{Dgs}$ ，此时， C_s 为关断过程提供负压，以防止门极尖刺造成器件误开通。 C_s 的大小应满足：

$$C_s > \frac{Q_g}{V_{CC} - V_{Dgs}} \quad (2.10)$$

根据器件数据手册， Q_g 最大值 12 nC，取供电电压 V_{cc} 为 10 V，则 C_s 至少要大于 1.9 nF。图 2.22 显示了关断过程中 C_s 大小对驱动波形影响的仿真结果^[62]，可见， C_s 越大，放电越慢，下一次开通前的门极电压值也越低，使下一次开通变慢，因此 C_s 也不宜过大。

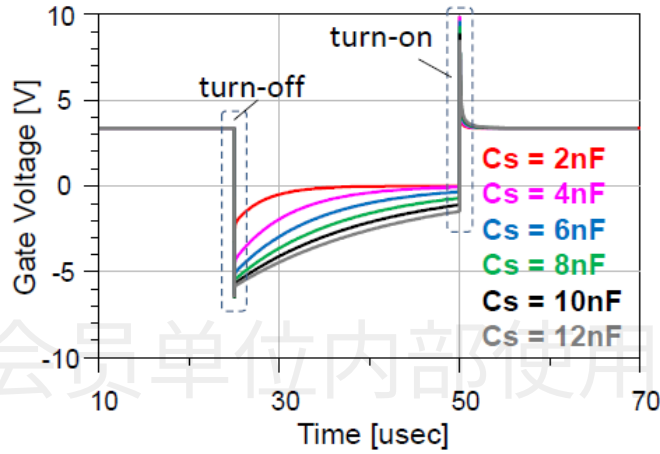


图 2.22 加速电容 C_s 在 20kHz 频率下的时域仿真波形^[62]

此外，为了维持器件开通，门极电流应满足：

$$4\text{ mA} < I_g = \frac{V_{CC} - V_{Dgs}}{R_{ig}} < 19\text{ mA} \quad (2.11)$$

计算得到 R_{ig} 取值范围为 340 Ω ~1.6 k Ω 。

现考虑门极驱动电阻，在理想情况下，门极充电峰值电流应满足：

$$I_{gp} = \frac{V_{CC}}{R_{gon}} < 0.6\text{ A} \quad (2.12)$$

因此， R_{gon} 应不小于 16.7 Ω ，在实验过程中可根据实际情况作细微调整。

此外，GaN 器件由于阈值电压低、开关速度快，在采用半桥结构的测试电路中很容易受到串扰的影响。串扰指的是在快速的开关状态切换过程中，主动开关器件对互补器件门极产生电压干扰，使互补器件误开通或关断，甚至损坏的现象^[63,64]。抑制串扰可以通过栅源极并联外加电容、采用负压关断、有源密勒钳位等

方法实现^[64-66]。本文对器件 A 采用栅源极并联小电容的方法抑制串扰，对器件 B 采用负压关断的方法抑制串扰。

2.4.3 续流电感设计

为了避免负载电感在测试过程中发生磁饱和，本文采用手工绕制的空心电感。空心电感需要的绕线圈数较多，因此体积也较大，但由于双脉冲测试时间短，一般不会引起导线发热，因此可以选用细导线绕制。本文采用 0.1mm 直径×60 股规格的铜线绕制空心电感，在绕制电感时，要特别注意绝缘问题。

空心电感的感值根据近似公式绕制，如图 2.23 所示， d 为电感直径（单位：米）， l 为线圈长度（单位：米）， n 为线圈匝数，则可得到空心的电感近似计算值为：

$$L = \frac{d^2 n^2}{l + 0.45d} \quad (2.13)$$

所绕制的空心电感需要根据阻抗分析仪的实测结果进行微调。由于实验需要用到较多不同感值的电感，我们绕制了如图 2.24 所示的一组电感，其电感值等比递增，并在两端留有螺钉接口，方便在实验中串联使用和拆卸。

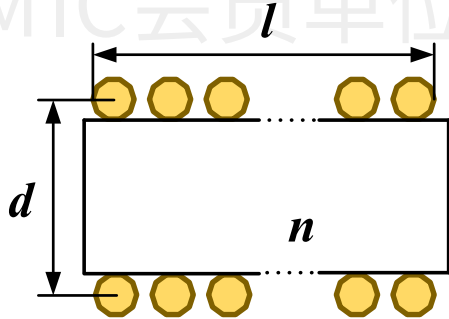


图 2.23 空心电感值计算



图 2.24 手工绕制的一组空心电感

2.4.4 PCB 设计及测试板样机

由于器件 A 和器件 B 均为表面贴装器件且封装不同、驱动不同，为了尽可能减小测试电路功率回路和驱动回路的寄生参数，本文为每种被测器件专门制作了 PCB 板，除了器件封装和驱动电路不同外，其他关键元件均采用相同的布局布线方式。下面以器件 A 为例，介绍 PCB 设计的一些考虑。

功率回路采用如图 2.25 所示的结构，上管、下管以及一组并联的去耦电容均安置在 PCB 表面，并且在安全绝缘范围内尽可能缩小间距。电流来路放置在 Top 层，流经 S_1 、 S_2 和同轴电阻；电流去路放置在 MidLayer1 层，一方面保证了电流来去路径平行且反向，使磁场互相抵消，从而削弱寄生电感的影响，另一方

面也使得电流回路包围的面积最小，达到了减小回路电感的目的。与其对应的 PCB 走线图如图 2.26 所示。

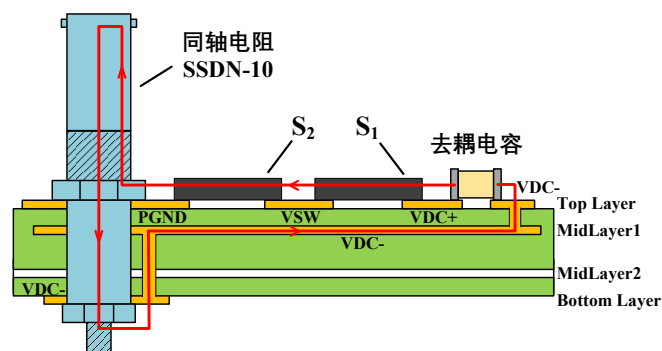


图 2.25 半桥结构功率回路布线示意图

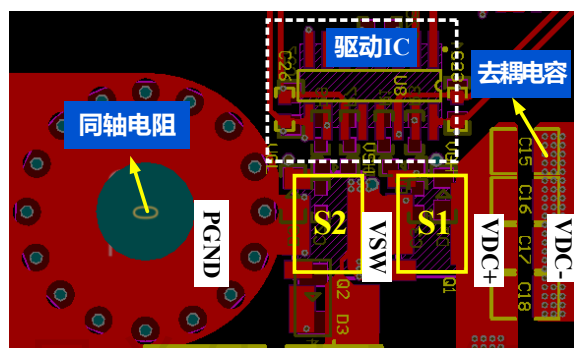


图 2.26 测试板功率回路 PCB 走线图

同样，驱动回路在设计时也要尽可能减小回路面积以减小寄生电感。

在设计好 PCB 之后，我们利用电磁仿真软件提取 PCB 走线的寄生电感，仿真模型如图 2.27 所示。表 2.6 显示了器件 A 和器件 B 两种测试板在 1 MHz 仿真条件下的交流电感值。可见，对于器件 A 来说，采用这样的功率回路布线方式，其 PCB 走线寄生电感仅为 1.6 nH。相比之下，器件 B 的功率回路寄生电感略大，主要是由于器件 B 的封装较大且左右不对称，导致电流来路和去路不完全平行，使磁场抵消作用有所减弱。

表 2.6 寄生电感仿真结果

	器件 A 测试板	器件 B 测试板
功率回路电感 (nH)	1.6	5.7
驱动回路电感 (nH)	7.7	7.7

两种测试板的硬件实物图及局部放大图分别如图 2.28 和图 2.29 所示。在 PCB 板设计时需要注意，同轴电阻的接地点和 SMA 接口的接地点在距离上要足够近，避免示波器接地通道地线产生电流，对电压、电流两个测试通道造成干扰。

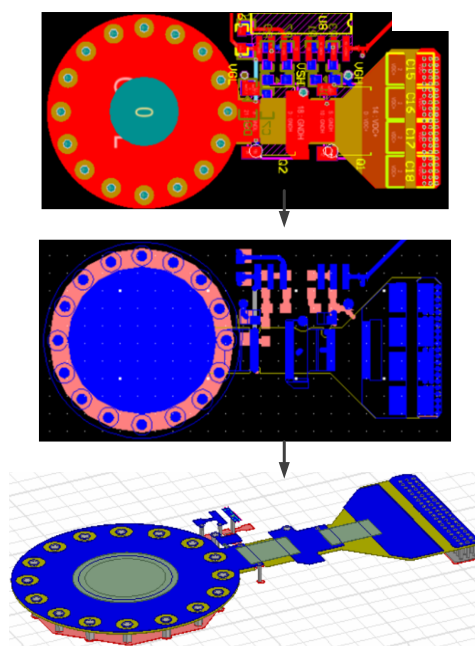


图 2.27 提取 PCB 寄生电感

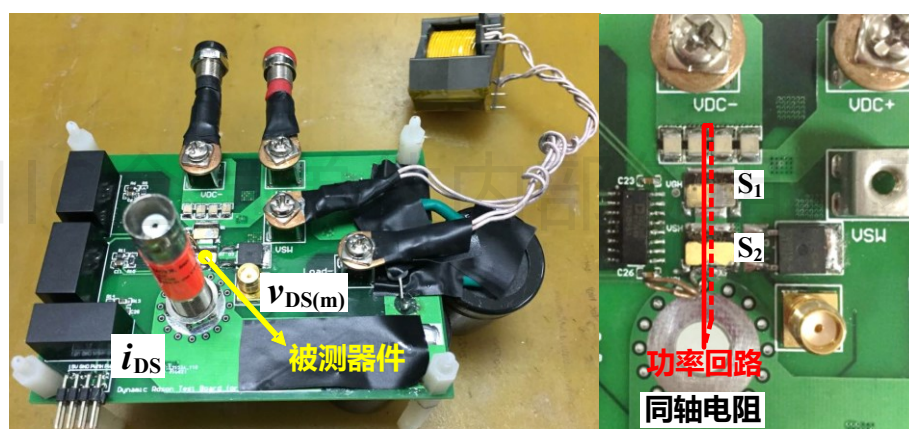


图 2.28 GaN 器件动态电阻测试板（器件 A）

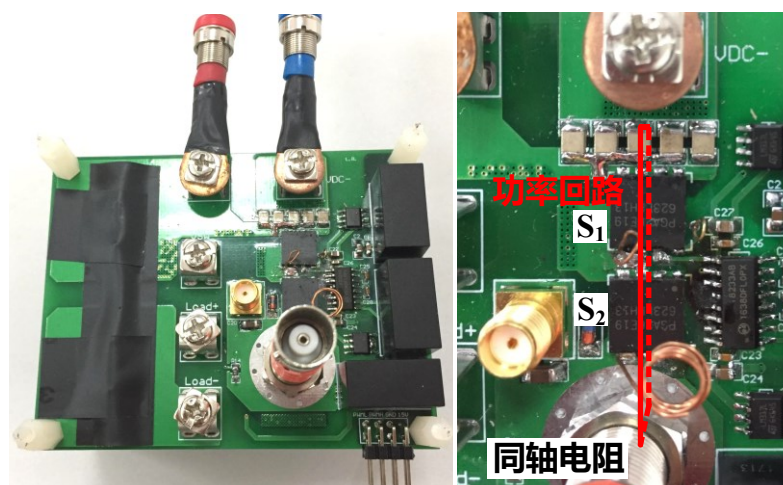


图 2.29 GaN 器件动态电阻测试板（器件 B）

2.5 本章小结

对于 GaN 这样的高频器件，在实际测量时为了尽可能准确、快速地提取出器件的导通电阻值，测量方法应满足对带宽、延时和精度等的要求。

本章首先介绍了几种常见的电压、电流测量方案以及测量时的注意事项，通过比较分析，最终选择了一种基于钳位电路的电压测量方案以及采用同轴电阻的电流测量方案。

其次，本章介绍了动态电阻测试电路的工作原理和测试方法，在沿用传统双脉冲测试电路作为硬开关测试电路的基础上，提出了一种三角波电流模式的软开关测试电路，用来全面表征 GaN 器件在不同开关状态下的动态性能。同时提出了一种准稳态的多脉冲测试方法以进一步模拟 GaN 器件在实际高频变换器中的动态电阻变化情况

最后，基于所提出的动态电阻测试原理和方法，对测试板硬件电路主要元器件的选型、驱动电路设计以及 PCB 布局布线的关键点等进行了说明，并针对两种被测器件，分别制作了两块测试板样机。

仅限PMIC会员单位内部使用，不得外传

第3章 600/650V 商用 GaN 器件动态电阻测试实验

3.1 测试设备及连接

基于第 2 章提出的测试方法和测试电路板，本文搭建了如图 3.1 所示的动态电阻测试平台。表 3.1 列出了实验所需的关键设备，其中，高压直流电源为测试电路提供母线电压；15 V 辅助电源为电路板上各种芯片供电，并为钳位电路提供电压。测试电路上、下管驱动信号由双通道信号发生器产生。被测器件漏极电流 i_{DS} 和钳位电路被测电压 $v_{DS(m)}$ 同时接入 1GHz 高带宽数字示波器进行测量。各实验设备连接方式如图 3.2 所示。

表 3.1 实验设备列表

设备名称	品牌-型号	用途
直流稳压电源	Agilent E3631A	作为 15V 稳压辅助电源
高压直流电源	Chroma 62050H-450	提供输入电压
函数信号发生器	RIGOL DG4102	作为功率负载
示波器	Lecroy HDO6104	观测电压、电流波形

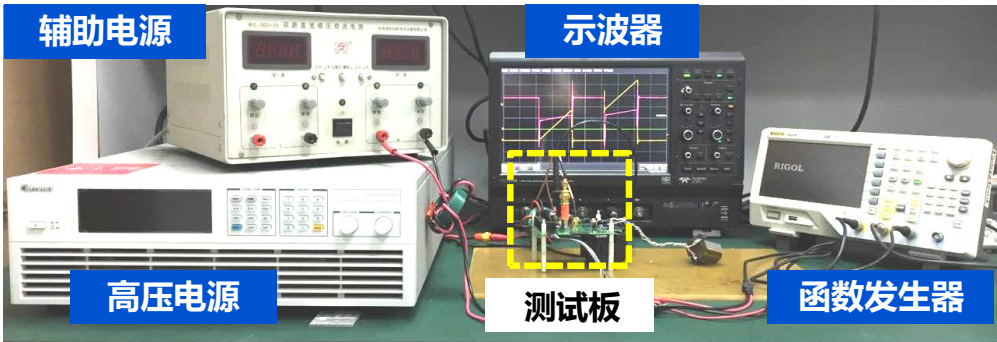


图 3.1 GaN 器件动态电阻测试平台

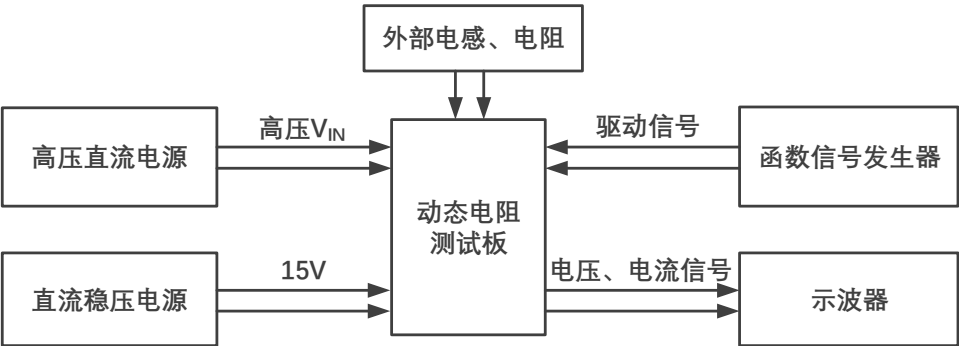


图 3.2 实验设备连接方式

实验的大致步骤及注意事项如下：(1) 用函数信号发生器编辑产生双脉冲或多脉冲信号，并用示波器验证该信号是否准确无误，确认无误后将信号发生器输出设置为单次、手动触发模式；(2) 连接实验设备，将测试板连接成硬开关或软开关模式并连接相应的外部电感，确保没有短路点；(3) 将测试板电压、电流输出端口接入示波器，根据待测电压、电流大小设置合适的垂直分辨率，使其波形尽可能满屏显示。值得注意的是，同轴电阻须使用 $50\ \Omega$ 同轴电缆连接示波器，相应通道的匹配阻抗也须设为 $50\ \Omega$ ，否则会出现因阻抗不匹配而带来的信号失真；(4) 将示波器设置为单次触发模式，设置好触发通道和触发电平并调整到合适的水平分辨率；(5) 进行实验时，先打开 $15\ \text{V}$ 辅助电源，再打开高压电源，从 $0\ \text{V}$ 开始缓慢加电压至所需电压值，之后按动信号发生器触发按钮，即可在示波器上得到被测电压、电流波形；(6) 一次测试结束后，先缓慢关闭高压电源，再关闭辅助电源；(7) 保存波形，实验完成。需要注意的是，信号发生器每触发一次门极脉冲即完成一次测试实验，对于 GaN 器件来说，两次测试实验之间应等待 10-20 分钟，以确保器件具有足够的动态电阻恢复时间。

3.2 动态电阻测试实验及结果

为了验证测试平台的准确性，首先对无动态电阻现象的 Si 器件进行测试，被测器件为英飞凌公司型号为 IPP60R060C7 的 $600\ \text{V}$ CoolMOS 器件，实验室测得其在室温下的静态导通电阻约为 $53\ \text{m}\Omega$ 。

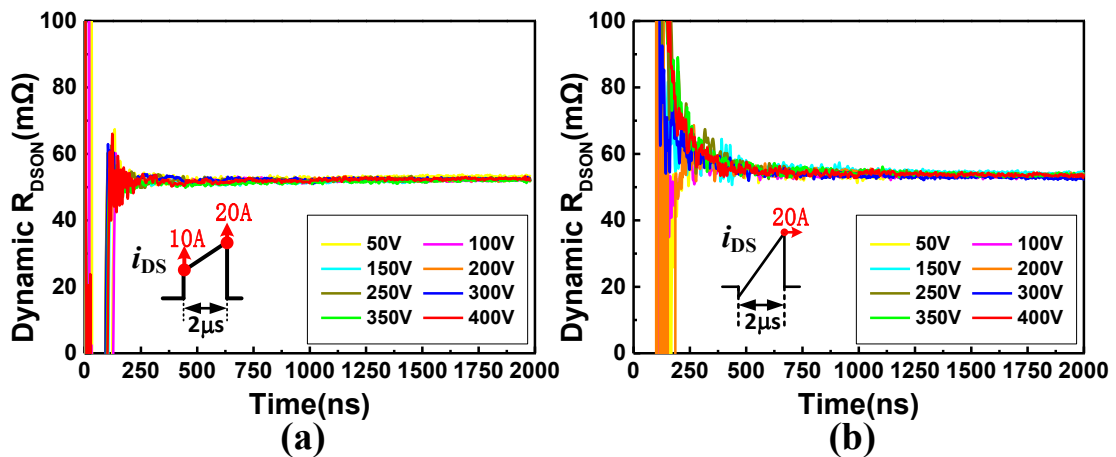


图 3.3 Si 器件动态电阻测试结果：(a) 硬开通；(b) 软开通

Si 器件测试采用双脉冲测试方法，两个脉冲宽度均为 $2\ \mu\text{s}$ ，中间间隔为 $2\ \mu\text{s}$ 。硬开通条件下，被测器件在测试区间的电流变化范围为 $10\text{-}20\ \text{A}$ ；软开通条件下

为 0-20 A。图 3.3 为被测 Si 器件在不同电压应力下，导通电阻随导通时间的变化情况。可见，无论是在硬开通还是软开通条件下，Si 器件的导通电阻基本保持恒定，既不随导通时间的增加而减小，也不随电压应力的变化而变化，且与静态导通电阻值相吻合。这说明，所搭建的测试平台可以准确表征功率半导体器件在动态开关过程中的导通电阻变化情况。

3.2.1 双脉冲测试实验及结果

双脉冲测试实验波形如图 3.4 所示。在双脉冲测试实验中，每触发一次门极脉冲，被测器件就会先导通 $2\mu\text{s}$ ，再关断 $2\mu\text{s}$ ，然后再导通 $2\mu\text{s}$ 。动态电阻测试区间为第二次导通开始至其结束。实验的测试变量为电压应力，变化范围为 50-400 V，步长为 50 V。在不同的电压应力下，被测器件在测试区间内的导通电流始终保持相同的变化范围。对于器件 A，在硬开通条件下，被测器件在测试区间的电流变化范围为 10-20 A；软开通条件下为 0-20 A；对于器件 B，在硬开通条件下，被测器件在测试区间的电流变化范围为 5-10 A；软开通条件下为 0-10 A。根据公式 $Ldi/dt=V_{\text{IN}}$ ，为使导通电流在不同电压应力下保持相同的变化范围，应采用不同的外部电感值。不同实验条件下的外部电感值如表 3.2 所示。

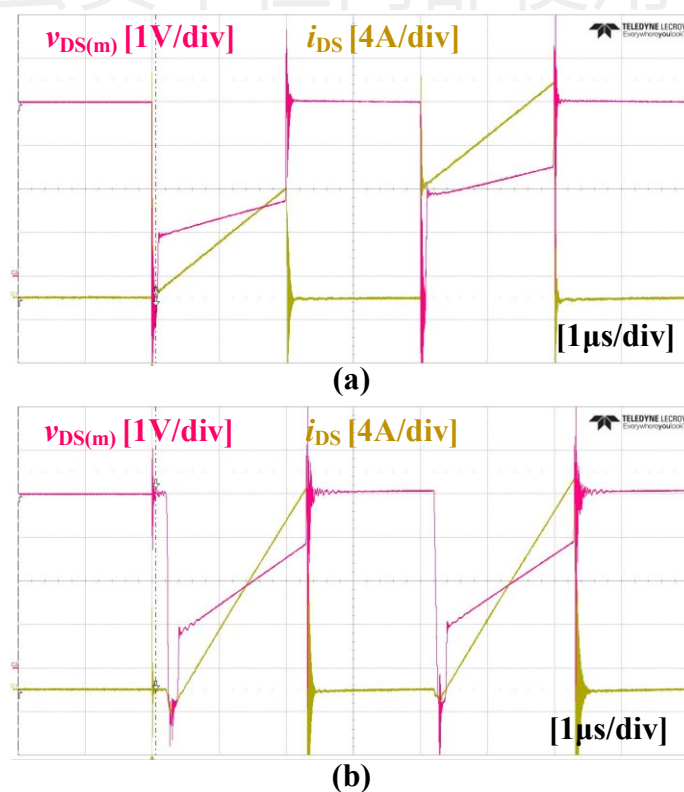


图 3.4 双脉冲测试波形 ($V_{\text{IN}} = 400\text{ V}$, 器件 A): (a) 硬开通 (b) 软开通

表 3.2 双脉冲测试外部电感值

V_{IN} (V)			50	100	150	200	250	300	350	400
L (μH)	器件 A	硬开通	10	20	30	40	50	60	70	80
		软开通	2.5	5	7.5	10	12.5	15	17.5	20
	器件 B	硬开通	20	40	60	80	100	120	140	160
		软开通	5	10	15	20	25	30	35	40

图 3.5 显示了器件 A 和器件 B 在硬开通和软开通条件下的动态电阻变化情况。坐标原点为器件门极电压 v_{GS} 开始上升的时刻。在软开通条件下，由于器件刚开通时的电流较低，而在计算动态电阻时，电流位于分母位置，因此在时间轴初始部分的测试结果有较大的噪声。

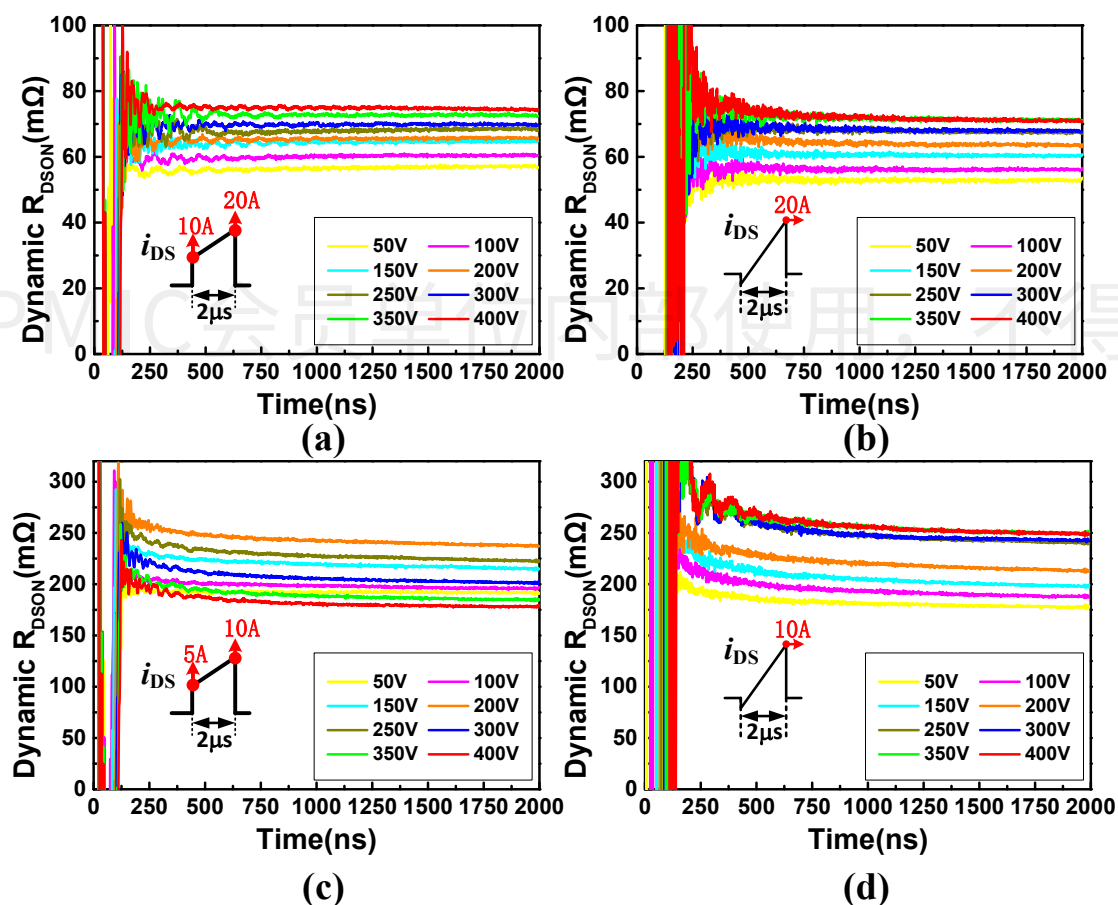


图 3.5 两种被测器件在 50-400 V 电压应力下的双脉冲测试结果：(a) 器件 A 硬开通；(b) 器件 A 软开通；(c) 器件 B 硬开通；(d) 器件 B 软开通

从测试结果可以看出，被测器件的导通电阻值随电压应力的变化而变化，可见，目前的商用 GaN 器件仍然面临着动态电阻退化问题。

为了方便地比较两种被测器件的动态电阻特性，将实测的导通电阻值除以器件的静态导通电阻值，从而得到归一化的动态电阻。其中，被测器件的静态导

通电阻值提取自在室温下测试得到的 I-V 曲线（半导体器件分析仪 371 测）。在每种电压应力下，提取器件硬开通和软开通后 500 ns 和 2 μ s 时对应的动态电阻归一化值进行比较，如图 3.6 所示。显而易见，随着电压应力的增加，器件 A 和器件 B 的动态电阻表现出截然不同的变化趋势。对于器件 A 来说，硬开通和软开通条件下的动态电阻变化趋势相似，即动态电阻随电压应力的增加而增加，并且在软开通下有所缓和。这一现象与前人发现总结的普遍规律相一致^[30,31,33]。

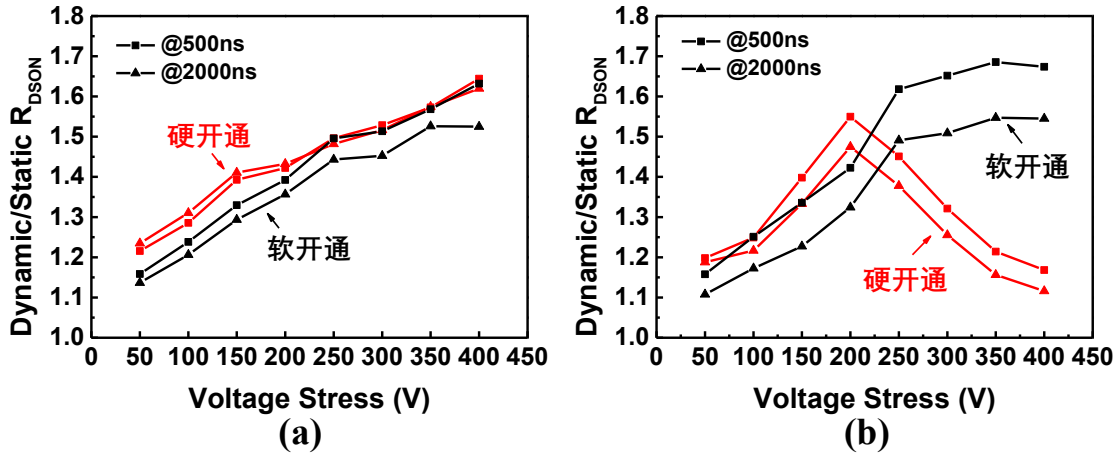


图 3.6 器件在不同电压应力下开通 500 ns 和 2000 ns 后的动态电阻归一化值：(a) 器件 A；(b) 器件 B

然而，器件 B 却表现出不同的特性。首先，如图 3.6 (b) 所示，器件 B 在硬开通下的动态电阻归一化值随电压应力增加呈现出非单调趋势，我们把动态电阻最高值对应的电压应力称为转折电压 V_T ，可以观察到， V_T 在 200-250 V 之间。当电压应力小于 V_T 时，动态电阻随电压应力的增加而增加；当电压应力大于 V_T 时，动态电阻反而随电压应力的增加而减小，特别是在 400 V 高压情况下，动态电阻值仅为静态值的 1.1 倍。其次，虽然该器件在硬开通条件下的动态电阻呈现非单调趋势，但在软开通条件下却与器件 A 趋势相同，均随着电压应力的增加而增加。最后对比硬开通和软开通条件下的动态电阻可知，当电压应力小于 V_T 时，软开通条件下的动态电阻更低，但是当电压应力高于 V_T 时，软开通条件下的动态电阻反而更高，特别是在 400 V 高压情况下，软开通要比硬开通高出 40%。这在 GaN HEMT 中是一种很少见的现象。

以上实验结果可以初步说明，对于目前主流的 GaN 功率器件来说，其动态电阻特性受电压应力、开关状态等诸多因素影响，在实际应用中要具体情况具体分析，不能一概而论。

事实上，器件 A 和器件 B 的动态电阻差异来源于两种器件在结构和工艺上

的不同。如 2.4.1 节所述，器件 B 在漏电极附近具有一个额外的 p-GaN 结构，而器件 A 却不具备这种结构。该结构对器件在硬开通和软开通条件下的动态电阻特性具有十分显著的影响，我们将在第 4 章结合器件二维仿真进行详细分析。

3.2.2 多脉冲测试实验及结果

多脉冲测试实验的测试变量为电压应力和开关频率，电压应力以 100 V 为步长，从 100 V 增加到 400 V，开关频率为 250 kHz、500 kHz 和 1 MHz，占空比始终为 0.5。为了防止器件升温，测试总时间被限定为 100 μ s。例如，若测试频率为 250 kHz（即开关周期为 4 μ s），则完成多脉冲测试所需的脉冲数为 100/4=25 个。图 3.7（a）和（b）分别显示了器件 A 在硬开关和软开关测试电路下的多脉冲测试波形，其测试条件为 $V_{IN}=400$ V， $f=250$ kHz。

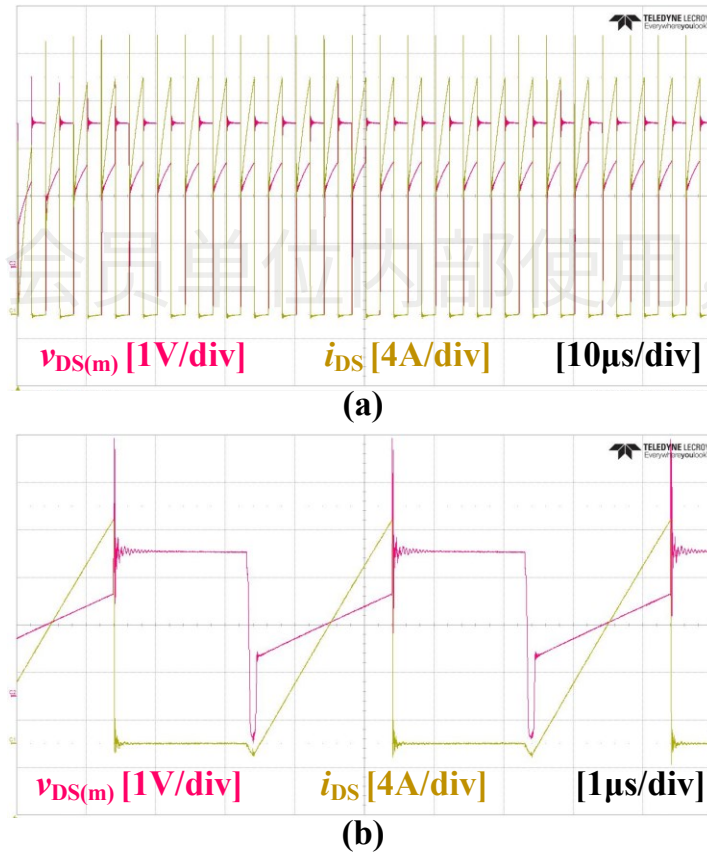


图 3.7 多脉冲测试波形 ($V_{IN}=400$ V, $f=250$ kHz, 器件 A): (a) 硬开通; (b) 软开通

在多脉冲测试实验中，动态电阻测试区间为器件在每个开关周期内的导通时间，在不同的电压应力和开关频率下，被测器件在测试区间内的导通电流应始终保持相同的变化范围，其范围与双脉冲实验一致，即：对于器件 A，在硬开通条件下，被测器件在测试区间的电流变化范围为 10-20 A；软开通条件下为 0-20 A；

对于器件 B，在硬开通条件下，被测器件在测试区间的电流变化范围为 5-10 A；软开通条件下为 0-10 A。为使导通电流在不同电路条件下保持相同的变化范围，应采用不同的阻感负载，其电感、电阻值如表 3.3 所示。

表 3.3 多脉冲测试外部电感、电阻值

V_{IN} (V)	f (kHz)	硬开关 L (uH)/R(Ω)		软开关 L (uH)	
		器件 A	器件 B	器件 A	器件 B
100	250	10/3.33	20/6.67	5	10
	500	5/3.33	10/6.67	2.5	5
	1000	2.5/3.33	5/6.67	1.25	2.5
200	250	20/6.67	40/13.33	10	20
	500	10/6.67	20/13.33	5	10
	1000	5/6.67	10/13.33	2.5	5
300	250	30/10	60/20	15	30
	500	15/10	30/20	7.5	15
	1000	7.5/10	15/20	3.75	7.5
400	250	40/13.33	80/26.67	20	40
	500	20/13.33	40/26.67	10	20
	1000	10/13.33	20/26.67	5	10

器件 A 和器件 B 在 100 μ s 测试区间内的动态电阻变化情况分别如图 3.8 和图 3.9 所示，这里只展示了 100 V 和 400 V 电压应力下的测试结果，其中，(c) (d) (g) (h) 分别是相应测试条件下最后一个脉冲的展开图。

为了直观反映准稳态下的动态电阻特性及其变化规律，我们从以上测试结果中提取每种测试条件下最后一段导通时间内的动态电阻的中位数作为比较值，将其归一化并绘制成图 3.10。图 3.10 为两种器件动态电阻随电压应力的变化情况，和双脉冲测试结果相吻合的是，无论在硬开通还是软开通条件下，器件 A 的动态电阻都随着电压应力的增加而增加；器件 B 的动态电阻都是在硬开通条件下呈现非单调趋势，并且在 200-300 V 之间仍然存在转折电压 V_T 。实验结果表明，当电压应力小于 V_T 时，软开通比硬开通条件下的动态电阻更低，但是当电压应力高于 V_T 时，软开通条件会导致更高的动态电阻。

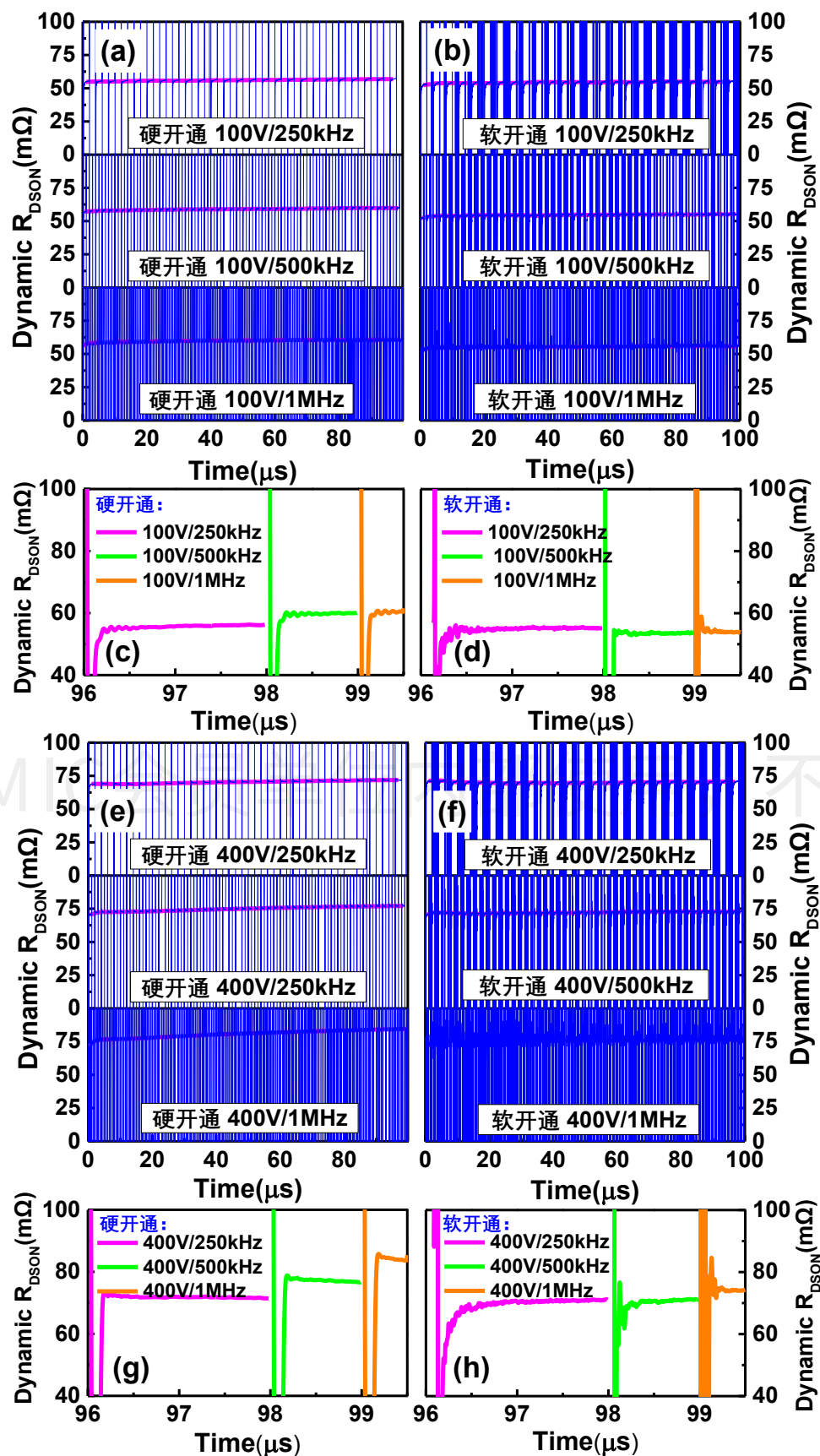


图 3.8 器件 A 在 100 μs 测试区间内的动态电阻变化情况：(a) 100 V 硬开通条件；(b) 100 V 软开通条件；(c), (d) 分别为(a), (b)最后一个脉冲期间的动态电阻变化情况；(e) 400 V 硬开通条件；(f) 400V 软开通条件；(g), (h) 分别为(e), (f)最后一个脉冲期间的动态电阻变化情况

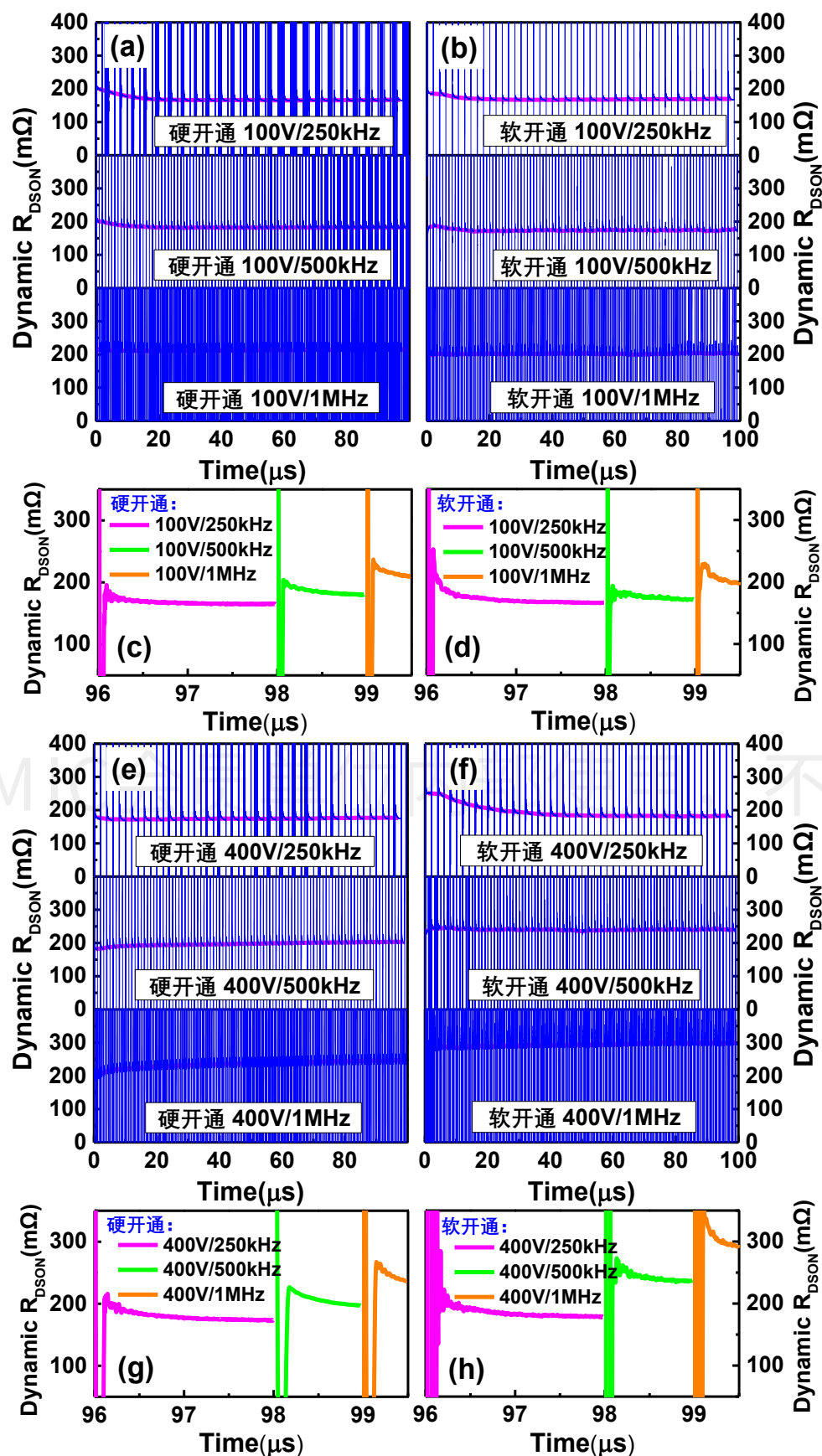


图 3.9 器件 B 在 100 μs 测试区间内的动态电阻变化情况：(a) 100 V 硬开通条件；(b) 100 V 软开通条件；(c), (d) 分别为(a), (b)最后一个脉冲期间的动态电阻变化情况；(e) 400 V 硬开通条件；(f) 400 V 软开通条件；(g), (h) 分别为(e), (f)最后一个脉冲期间的动态电阻变化情况

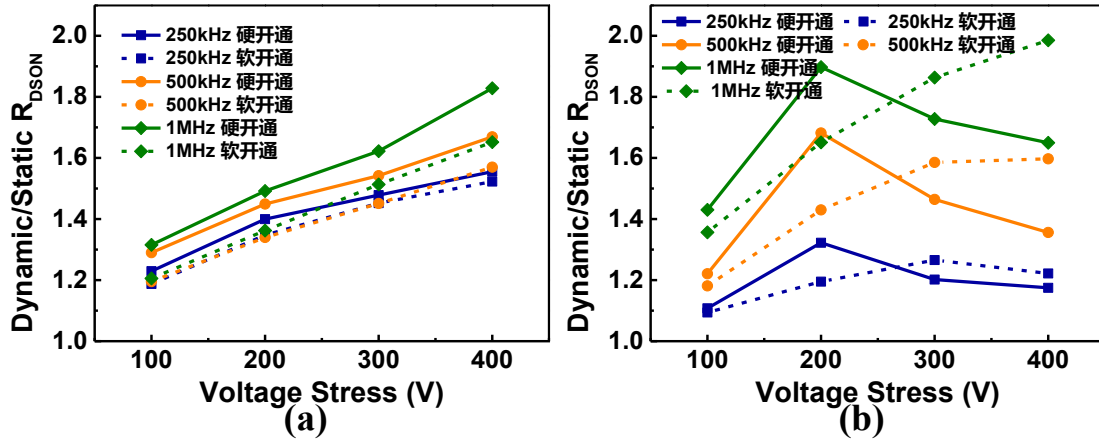


图 3.10 动态电阻随电压应力变化情况：(a) 器件 A；(b) 器件 B

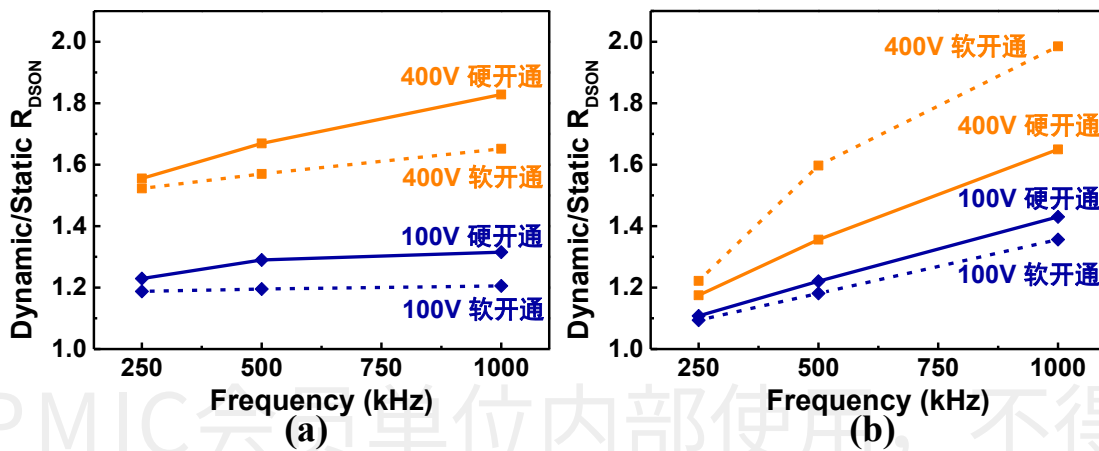


图 3.11 动态电阻在 100V 和 400V 电压应力下随开关频率的变化情况：(a) 器件 A；(b) 器件 B

我们将横坐标设置为开关频率，可以得到如图 3.11 所示的动态电阻随开关频率的变化曲线。可见，高频会导致动态电阻增加，特别是在高频高压情况下，由于更严重的电子俘获效应，动态电阻会变得更大。但是实验结果同样表明，频率的影响与器件结构和器件的开通条件有关。如图 3.11 所示，对于没有特殊结构的器件 A，其动态电阻在硬开通条件下随频率增加而增大，而在软开通条件下则变化不明显；对于有 p-GaN 漏极结构的器件 B，无论是硬开通还是软开通，其动态电阻随频率的变化都十分显著，在高频高压下，两种开通条件下的动态电阻值差距很大，特别是当器件工作在 400 V，1 MHz 软开通时，动态电阻几乎是静态值的 2 倍，这是非常严重的动态电阻退化现象。

图 3.12 是两种器件在 250 kHz 频率下动态电阻随脉冲个数的变化曲线，数据点为每段导通时间内动态电阻的中位数。为了同时比较双脉冲和多脉冲的测试结果，我们把双脉冲测试中第二个脉冲期间动态电阻中位数也标注在对应的横坐标之上。可以明显看到，对于器件 A 来说，其动态电阻随脉冲个数变化不明显，

因此双脉冲测试结果和多脉冲测试结果基本吻合，而对于器件 B，其动态电阻随着脉冲个数的增加而逐渐降低，导致双脉冲和多脉冲的测试结果偏差较大。可见对于某些 GaN 器件来说，双脉冲测试结果具有一定的片面性，并不能准确反映稳态工作时实际的 $R_{\text{DS(on)}}$ 。

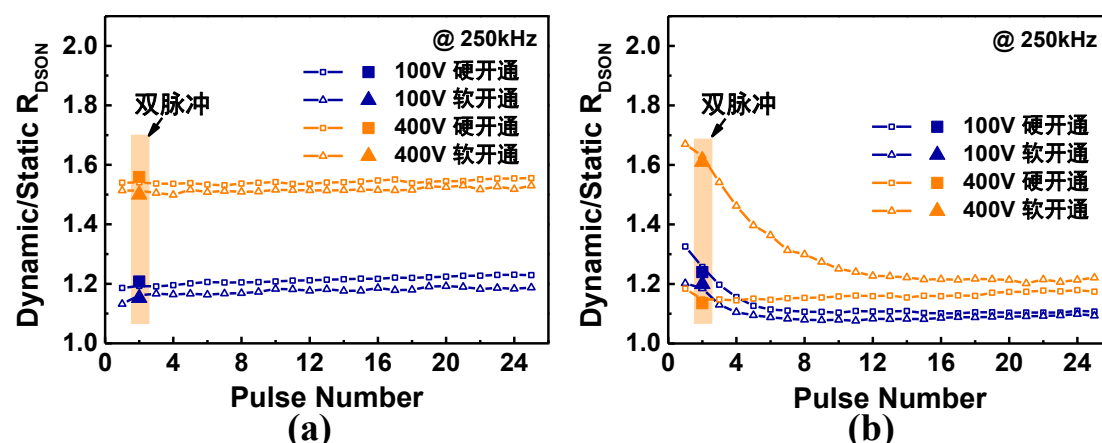


图 3.12 动态电阻随脉冲数量变化情况 ($f=250\text{kHz}$)，大符号为双脉冲测试结果：(a)器件；(b)器件 B。

3.3 本章小结

本章介绍了 GaN 器件动态电阻测试实验的实验设备、具体方法及实验结果。采用双脉冲和多脉冲测试的方法，对两种不同结构的商用 GaN 器件在硬开通和软开通条件下的动态电阻特性进行了实验表征。其中，双脉冲测试结果表明不同结构的器件在硬开通和软开通条件下具有不同的动态电阻特性。因此，对于目前的商用 GaN 功率器件来说，在进行动态电阻评估时，需要考虑器件的工作条件是硬开通还是软开通，否则会导致评估结果错误，进而影响损耗计算。多脉冲测试则揭示了双脉冲测试方法在评估 GaN 器件动态电阻时的片面性，说明了传统的采用单脉冲或双脉冲的测试方法在 GaN 器件上并不完全适用，而多脉冲测试方法更能准确反映器件在稳态工作时的动态电阻变化情况。

第4章 软、硬开通条件下的动态电阻影响机制与仿真验证

我们在第 3 章的实验中发现, 器件 A 和器件 B 的动态电阻在软、硬开关条件下表现出截然不同的变化趋势。其中, 采用传统结构的器件 A 的动态电阻随电压应力和开关频率的增加而增加, 并且在软开通条件下比硬开通偏低, 这与前人关于 GaN 器件动态电阻的普遍结论相符。而采用 p 型漏极结构的器件 B 却表现出不同寻常的特性, 该器件在硬开通条件下动态电阻随电压应力呈现出非单调趋势, 在高电压应力下, 其在软开通条件下的动态电阻反而更高。本章将对以上实验现象作进一步作分析和仿真验证。

4.1 软、硬开通影响动态电阻的机理分析

4.1.1 软、硬开通条件下的负载动态轨迹分析

负载动态轨迹为器件在开关过程中 I_{DS} 和 V_{DS} 的关系图, 根据负载性质不同, 器件开关的动态轨迹可以多种多样。图 4.1(a) 显示了在本文的测试电路中, GaN 器件在硬开通和软开通过程中的负载动态轨迹。

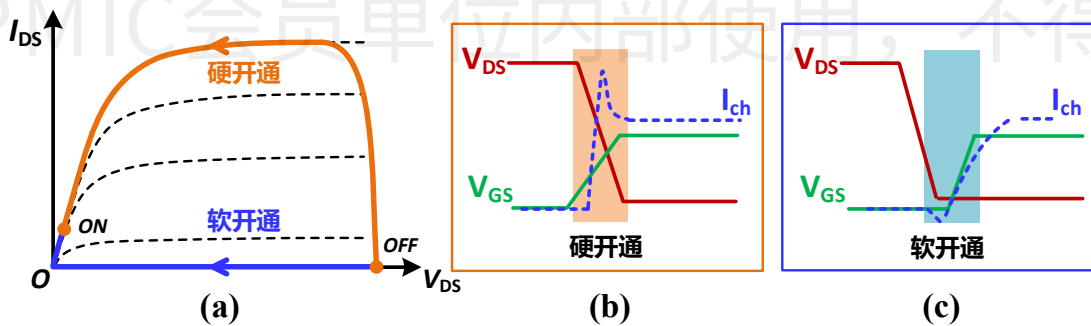


图 4.1 负载轨迹分析: (a) 软、硬开通过程中的负载动态轨迹; (b) 硬开通过程中, 沟道电流明显上升; (c) 软开通过程中, 沟道电流为零

在硬开通条件下, 负载轨迹从关断状态经过高压大电流区域进入开通状态, 器件不仅要承担较大的功率负担, 还会受到热载流子效应的影响, 加重动态电阻效应。关于热电子效应对动态电阻的影响将在下一节作详细分析。另外, 如图 4.1(b) 所示, 在硬开通条件下, 由于 V_{DS} 下降时沟道已经开通, 器件结电容 C_{ds} 和 C_{gd} 的放电电流会流过沟道, 使开通过程中的沟道电流明显增加。

而在软开通条件下, 负载轨迹避开了高压大电流同时存在的区域, 几乎在零电流的状态下进入开通状态。如图 4.1(c) 所示, 在器件 V_{DS} 下降过程中, 由于门极电压仍为零, 器件沟道电流也为零。当门极电压达到阈值电压后, 沟道电流

才逐渐上升至负载电流。

4.1.2 沟道热电子效应在软、硬开通条件下的影响

根据前文所述的负载轨迹，GaN 器件在硬开通过程中会经历漏极电压和沟道电流同时存在的交叠区，而 D、S 之间的高电压会在器件表面形成强大的电场，使沟道中流动的电子被加速。这些加速运动的电子获得了足够多的能量而从沟道溢出，被势垒层表面陷阱、异质结界面陷阱或内部更深的缓冲层陷阱所俘获，加重了器件的动态电阻问题。这就是 GaN 器件的沟道热电子效应，它已被证明与器件承受的电压应力和开关次数有关，并具有累积效应^[21]。为了更直观地展现 GaN 器件的沟道热电子效应，Bahl 等人借助半导体器件仿真工具得到了如图 4.2 所示的仿真结果^[67]，可见，在软开通条件下，即使器件表面存在强电场，但由于导电沟道尚未开启，器件并不会受到热电子效应的影响。

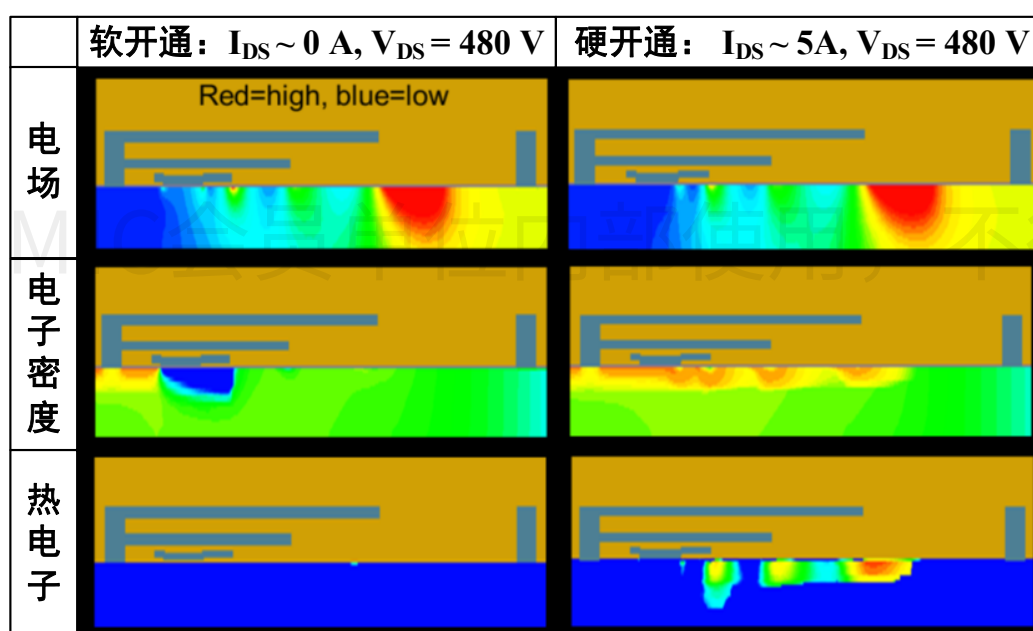


图 4.2 GaN 器件在硬开通和软开通条件下的热电子效应仿真结果^[67]

沟道热电子效应可以帮助我们来解释器件 A 的实验结果。一方面，硬开通受沟道热电子效应的影响，动态电阻会比较开通更高；另一方面，相比于软开通，硬开通负载轨迹经过高压大电流区域，会产生较大的瞬时功率，使沟道温度瞬间升高，导通电阻增大。器件的开关次数越多，沟道热电子效应累积得就越多，这就是器件 A 的动态电阻在硬开通条件下会随频率增加而明显增加的原因。理论上讲，软开通条件下动态电阻不会随频率的增加而增加，但从器件 A 的多脉冲测试结果来看，其动态电阻随频率略有增加，可能是器件在实际工作中没有完全

实现软开关，仍有少量热电子生成的原因。

4.1.3 空穴注入效应在软、硬开通条件下的影响

对于 GaN 器件，目前有很多文献曾报导过沟道热电子效应引起器件硬开通下动态电阻增加的现象^[20,31,33,39]，但像本文所发现的器件 B 在软开通条件下动态电阻更高的现象却并不多见。

从第 3 章的实验结果可知，器件 B 的动态电阻在硬开通条件下随电压应力呈现出非单调趋势并存在转折电压 V_T ，这表明，器件 B 内部至少存在两种不同的机制主导其动态电阻特性。

图 4.3 为器件 B 的二维结构，如前所述，其 p 型漏极（PD）结构注入的空穴可以中和漏极附近被捕获的电子，因此可以有效缓解电流崩塌效应。然而，从实验结果来看，p 型漏极结构的性能明显会受到硬开通和软开通条件的影响。

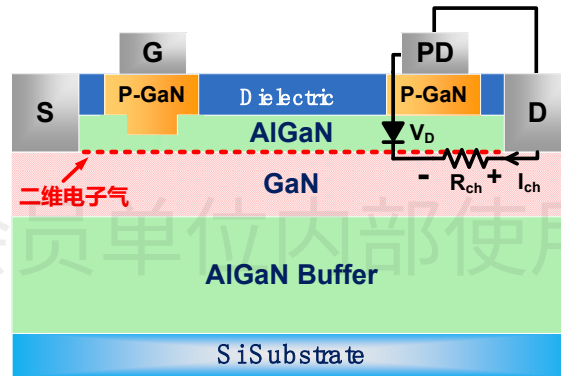


图 4.3 带 PD 结构的 GaN 器件横截面，PD 结构和二维电子气沟道形成了 p-n 结

事实上，PD 结构和其下方的二维电子气沟道形成了一个开启电压为 V_F 的 p-n 结结构，PD 结构为阳极，其下方的二维电子气沟道为阴极。该 p-n 结两端的电势差 V_D 为：

$$V_D = I_{ch} \times R_{ch} \quad (4.1)$$

其中， I_{ch} 为沟道电流， R_{ch} 为阴极和漏极之间的沟道电阻。该 p-n 结的能带示意图如图 4.4 所示，当 $V_D < V_F$ 时，由于 AlGaIn 势垒较高，电子被固定在 2DEG 沟道里；当 $V_D > V_F$ 时，势垒区变窄，电子从 2DEG 沟道穿过 AlGaIn 势垒层到达金属电极，同时空穴注入到势垒层并漂移到 GaN 缓冲层，释放了漏极附近被陷阱俘获的电子，从而改善了动态电阻。这就是 PD 结构的空穴注入效应。

当器件处于硬开通过程中时，瞬间增大的沟道电流 I_{ch} 使得 p-n 结两端的电势差 V_D 升高，超过了其开启电压 V_F ，导致空穴从 PD 端注入势垒层和缓冲层，

从而抑制了动态电阻效应。器件承受的电压应力越高，开通瞬间的 I_{ch} 就越大， V_D 就越大，空穴注入效应就越明显，因此，动态电阻会随着电压应力的增加而减小。当器件工作在软开通条件下，沟道电流几乎为零， V_D 电压不足以使 p-n 结开启，因此空穴注入效应无法被激活，这就是软开通条件下动态电阻高于硬开通的原因。

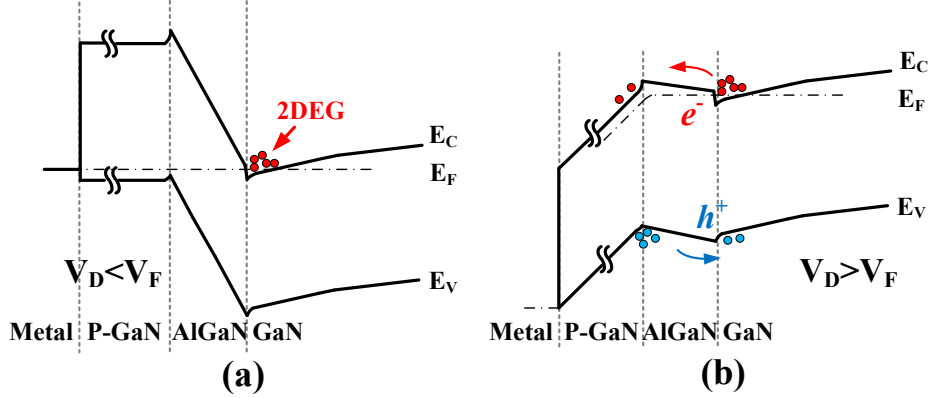


图 4.4 p-n 结能带示意图(a) $V_D < V_F$ (b) $V_D > V_F$

可见，空穴注入效应和沟道热电子效应是两种效果相反的作用机制，器件 B 正是因为受到这两种不同机制的影响才表现出了非单调的动态电阻特性。当电压应力小于 V_T 时，主导机制为沟道热电子效应， $R_{DS(on)}$ 随电压应力的增加而增加并且在硬开通条件下高于软开通。而当电压应力高于 V_T 时，空穴注入效应占主导。随着电压应力的增加，硬开通条件下的空穴注入效应越来越显著，使 $R_{DS(on)}$ 随电压应力的增加而减小，并且远远低于软开通条件下的动态电阻值。

4.2 空穴注入效应二维仿真验证

为了验证上述影响机制，我们借助半导体器件仿真工具作进一步分析。本文只对器件 B 的空穴注入效应作仿真验证，原因主要有两点：一是 GaN Systems 公司的器件 A 目前还没有公开其结构，而 Panasonic 公司的器件 B 已有大量文献报道其结构及工艺^[11,68,69]，可以帮助我们快速建立对应的仿真模型。二是影响器件 A 的主导机制沟道热电子效应目前已有较为系统、全面的研究，而相比之下，器件 B 的空穴注入效应，特别是其在硬开通和软开通条件下的不同作用效果，却甚少有人研究。

4.2.1 Silvaco-Atlas 仿真软件介绍

目前业界主流的 TCAD 工具有 Silvaco 公司的 ATLAS，Synopsys 公司的 TSuprem、Medici 和 Sentaurus 以及 ISE 公司的 Dios 和 Dessis。根据实验室目前

的研究基础，借鉴国内外专家学者的研究经验，本文选择 Silvaco-Atlas 软件作为仿真工具。

Silvaco-Atlas 是一款基于物理模型的半导体器件二维或三维仿真工具^[70]。它首先依据器件尺寸结构、材料特征、掺杂与接触特性、物理模型等构建出器件仿真模型，再根据半导体物理基本理论，计算模型对所施加外部应力的具体响应，由此搭建了从微观载流子，到电场、电势等物理表征，再到电流、电压等电学特性的联系网络，而这些信息的联系方法通常是包含在各项物理模型之中的经典物理方程，如麦克斯韦定律、泊松方程以及载流子运动的连续性方程等。通过仿真软件，我们可以预测某一特定半导体结构的电学特性，并能提取器件内部参数在给定条件下的具体分布，将器件内部的物理机制可视化，同时，软件提供的多种功能模块可以方便用户分析器件的各种物理特性，如直流、交流特性和瞬态响应等，这对器件的前期设计和评估具有相当重要的意义。

Silvaco-Atlas 的仿真流程如图 4.5 所示，主要包括定义结构、定义材料参数和模型、选择数值计算方法、求解描述、获取求解结果等五个部分^[70]。



图 4.5 器件仿真流程

(1) 定义结构

与其他有限元仿真软件一致，Silvaco 要求首先对网格进行划分。对于关键分析区域以及物理量快速变化的区域，需要设置较密的网格，使仿真更易于收敛并得到最终结果。之后需要对不同特性的区域单独定义，并对其材料种类、掺杂特性等关键参数进行定义。

（2）定义材料参数及模型

器件的微观结构包括半导体、介质以及导体（电极）。对于半导体区域，需要设定其禁带宽度、迁移率等关键参数；对于介质，需要设定其临界击穿场强等关键参数；对于电极，需要设定其与半导体区域的接触类型（欧姆接触或肖特基接触）等关键参数。

物理模型的选择一般会对计算结果产生巨大的影响。**Silvaco** 仿真基于全面的物理模型，对于经典的物理模型（如热载流子注入模型、多种复合模型等）可以直接调用；对于最新发表的一些模型，可以下载并进行调用。简单的仿真模型无法对实验进行准确的模拟，而复杂的仿真模型往往对模型参数准确性以及仿真收敛性有较高的要求，因此在选择物理模型时，可以根据实际需要，对影响所研究问题的关键模型进行准确定义即可。

（3）选择数值计算方法

基于离散的数值计算（包括通过建立网格使结构离散化以及数值计算使物理量离散化）是求解所描述问题的关键。**Silvaco-ATLAS** 仿真基于多个耦合的非线性偏微分方程，在器件结构的网格点处对这些方程采用数值计算从而获取器件特性。对非线性的代数系统采用迭代求解，直到满足要求或确认不收敛。不同的求解步骤会导致收敛性、精确性、效率和鲁棒性的差异。通常默认的求解方法为 **Newton** 迭代法。

（4）求解描述

求解描述主要是针对外部应力（可以是电学、光学、热学等）的定义，以及对于所得结果（包括瞬态与稳态等）的要求。例如，本文研究 **GaN** 器件的动态电阻特性，则其外部应力就是电压应力，器件所承受的电压大小以及承受电压的时间都需要在求解描述中定义。

（5）获取求解结果

ATLAS 有多种获取求解结果的方式。一种是实时输出，当仿真进行到求解计算时，仿真界面会实时输出目前的计算结果、迭代次数以及错误信息等等。另一种是保存成日志文件，可保存的文件类型有结构文件（求解后的器件结构）和 **log** 文件（求解后的电学特性）等，用户可以按需定义。

4.2.2 仿真模型建立

(1) 器件结构定义

器件 B 采用了 Panasonic 公司提出的 HD-GIT (Hybrid-Drain-embedded Gate Injection Transistor) 结构, 其结构及尺寸如图 4.6 所示 (标注单位为 μm) [68]。AlGaIn/GaN 异质结构生长在 Si 衬底上的 AlGaIn 缓冲层之上, 在 AlGaIn 凹槽区上形成了 p-GaN 栅极, 凹槽区的作用是耗尽下方的 2DEG 以实现器件常关。在漏极附近的 AlGaIn 层上形成了另一个 p-GaN 结构并与漏电极相连, 相比于 p-GaN 栅极, 该结构下方的 AlGaIn 层较厚, 用以维持下方二维电子气的常通。

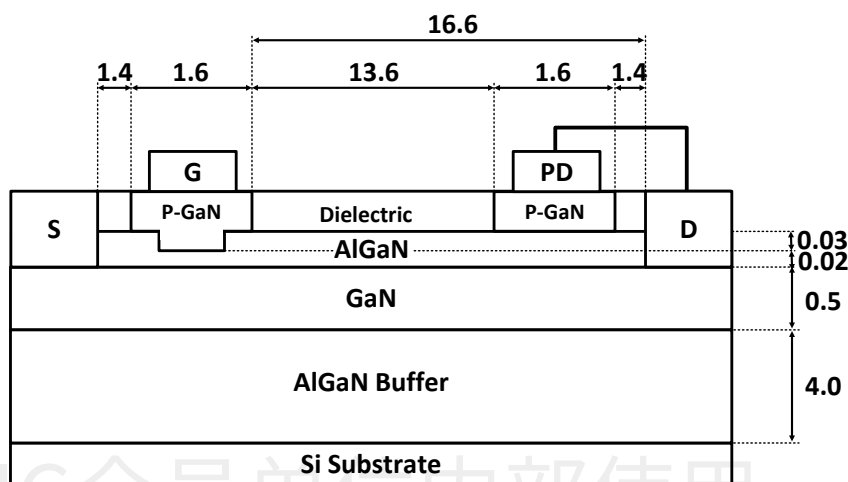


图 4.6 HD-GIT 尺寸结构图, 尺寸标注单位为 μm 。

(2) 掺杂与陷阱设定

在半导体区域一般需要定义掺杂, 掺杂的施主与受主在器件制作时一般有明确的工艺定义。在仿真中, p 型 Si 衬底的掺杂定义为 10^{18} cm^{-3} , p-GaN 栅极与 p-GaN 漏极的掺杂均定义为 $5 \times 10^{18} \text{ cm}^{-3}$ 。其余半导体层一般为低掺杂或非故意掺杂, 因此不做掺杂定义。

除掺杂外, GaN 器件中还存在大量的陷阱, 这是导致动态电阻的主要因素。陷阱中心的能级位于禁带内, 通过发射和俘获电子与导带和价带交换电荷。这些陷阱分为施主陷阱和受主陷阱。施主陷阱类似于施主掺杂, 既可以呈阳性可以呈中性。施主陷阱在空状态时呈阳性, 可以俘获电子或者发射空穴; 在被电子填充之后呈中性, 可以发射电子或者俘获空穴。受主陷阱类似于受主掺杂, 既可以呈阴性也可以呈中性。受主陷阱在空状态时呈电中性, 可以俘获电子或者发射空穴; 在被电子填充后呈阴性, 可以发射电子或者俘获空穴。

GaN 器件中同时存在施主陷阱与受主陷阱, 其中, 受主陷阱是导致动态电阻退化的主要原因。表 4.1 列出了仿真模型中陷阱位置、类型、能级、浓度和捕获

截面等参数，各项参数设置参考了 Panasonic 及其他单位的相关工作^[68,69,71-73]，并在合理范围内作出了适当修正。

表 4.1 仿真模型中的陷阱设置

序号	区域	类型	能级 (eV)	浓度 (cm ⁻³)	电子捕获截面(cm ²)	空穴捕获截面(cm ²)
1	AlGaIn 势垒层	受主	$E_V+0.6$	2×10^{16}	1×10^{-15}	1×10^{-14}
2	AlGaIn 势垒层	施主	$E_C-0.01$	1×10^{16}	1×10^{-15}	1×10^{-14}
3	GaN 层	受主	$E_V+0.7$	5×10^{16}	1×10^{-15}	1×10^{-14}
4	GaN 层	施主	$E_C-0.01$	1×10^{16}	1×10^{-15}	1×10^{-14}
5	AlGaIn 缓冲层	受主	$E_V+0.5$	5×10^{18}	1×10^{-15}	1×10^{-14}
6	AlGaIn 缓冲层	施主	$E_C-0.01$	1×10^{18}	1×10^{-15}	1×10^{-14}
7	AlGaIn 缓冲层	施主	$E_C-0.4$	2×10^{18}	1×10^{-15}	1×10^{-14}

(3) 材料参数定义

由于 GaN 器件异质结结构及 GaN 材料的特殊性，其材料参数需要重新定义。本文仿真模型中的材料关键参数如表 4.2 所示：

表 4.2 仿真模型中材料的关键参数

参数	GaN	AlGaIn
禁带宽度 (eV)	3.4	3.7
电子迁移率 (cm ² /Vs)	1000	500
电子饱和速率 (cm/s)	1.9×10^7	1.1×10^7
介电常数	10	10

(4) 物理模型定义

仿真中用到的物理模型主要包括异质结极化模型、载流子迁移率模型和其他模型。

异质结极化模型用于二维电子气的定义。在仿真中，异质结界面处默认产生二维电子气，通过设置极化参数可以对二维电子气与极化效应进行定义，本文中定义的语句如下：

model region=2 piezo.scale=0.0113 psp.scale=0.055 calc.strain

通过“piezo.scale”命令对考虑到仿真中的自发极化与压电极化电荷的比例进行定义,通过“psp.scale”命令对考虑到仿真中的自发极化电荷比例进行定义,通过“calc.strain”命令定义来自与相邻区域晶格失配导致的应力。通过以上定义,仿真模型的异质结界面处形成了二维电子气。经过积分验证,其电子面密度为 $7.7 \times 10^{12} \text{ cm}^{-2}$,符合文献所述的二维电子气浓度范围。

载流子迁移率模型用于模拟器件在工作状态下的载流子运动,本文使用了“gansat.n”和“albrct”模型。其中,“gansat.n”为定义氮化物中随电场变化的迁移率模型;“albrct”为定义“Albrecht”的模型。

其他物理模型包括“srh”“auger”“fermi”等模型。“srh”定义仿真中使用Shockley-Read-Hall (SRH)复合模型。“auger”定义仿真中使用俄歇复合模型。“ermi”定义仿真中使用费米-狄拉克模型。

图 4.7 为 Silvaco 中建立好的器件模型及其电极附近放大图,为了使模型更直观,各层材料及掺杂均已标注在图上。仿真中会根据器件仿真的实时结果,对器件材料参数和计算模型进行设计与修正。为了加速收敛,可以对网格进行优化设置,对不关键的位置适当放宽,也可以对仿真步长进行相应的调整。

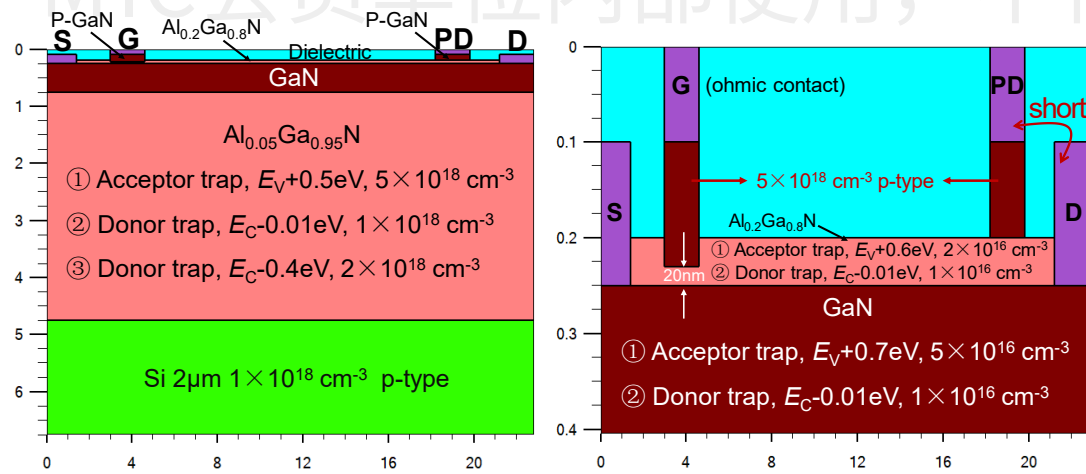


图 4.7 Silvaco 中建立的器件模型及其电极附近放大图

4.2.3 仿真模型求解

仿真模型设置完成之后就可以对模型给定求解条件进而获取仿真结果。为了尽可能与实验条件保持一致,我们将求解描述设置为器件在 400 V 电压应力下承受 2 μs 时间后开通。

为了简化求解过程,加快收敛速度,我们采用了一种简单的模拟器件硬开通和软开通的方法,即:同时施加栅极电压 V_{GS} 和漏极电压 V_{DS} ,通过调整二者的

交叠程度来模拟不同的负载轨迹。图 4.8 显示了求解描述中给定的不同开通条件下的 V_{GS} 和 V_{DS} 波形，为了便于在同一纵坐标轴下对比， V_{GS} 的电压放大了 50 倍。可见，硬开通条件下， V_{GS} 和 V_{DS} 有明显的交叠，而对于软开通的情况， V_{GS} 和 V_{DS} 的交叠为 0。

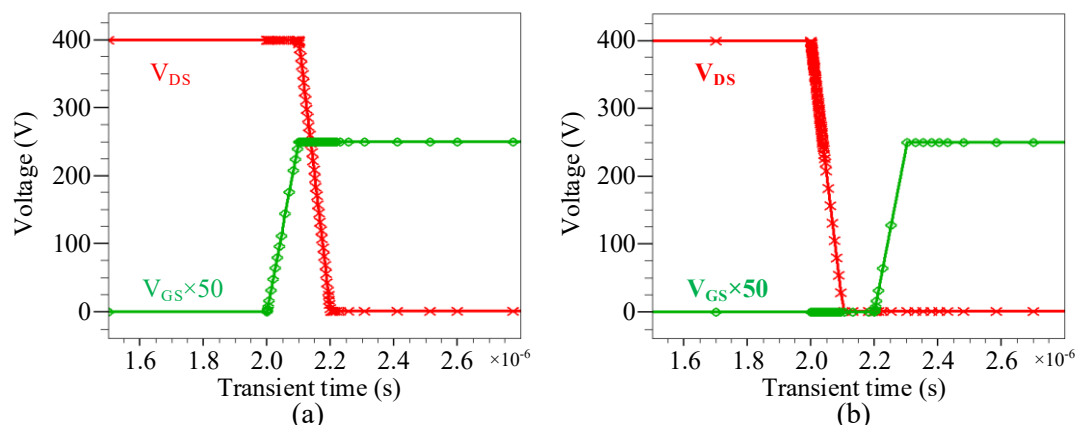


图 4.8 求解描述中给定的 V_{GS} 和 V_{DS} 波形：(a) 硬开通条件；(b) 软开通条件

图 4.9 为器件在不同开通条件下开通瞬间的横截面图，图中显示了器件内部的空穴分布，可见，硬开通条件使空穴注入效应被激活，大量的空穴注入到漏极附近的势垒层和缓冲层中。而软开通条件下，器件内部的空穴分布几乎为零，空穴注入效应未能发挥作用。

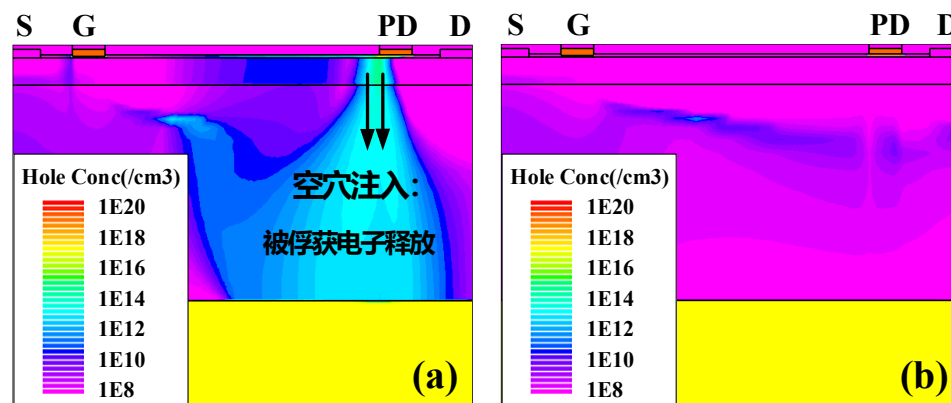


图 4.9 器件在不同开通条件下开通瞬间的横截面：(a) 硬开通；(b) 软开通

我们进一步从仿真结果的 log 文件中提取软、硬开通条件下的动态电阻值并将其归一化，得到如图 4.10 所示的曲线，该结果与实验观察到的结果定性一致，即：在高压应力下，采用空穴注入技术的器件在硬开通条件下的动态电阻特性优于软开通。

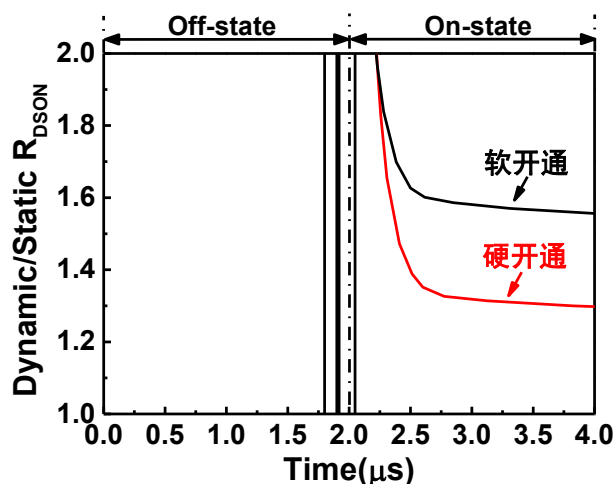


图 4.10 硬开通和软开通条件下的动态电阻仿真结果

4.3 本章小结

利用 TCAD 半导体器件仿真工具不仅能得到器件的输出特性、转移特性等外部特性,还能得到器件内部诸如电场分布、电流密度和载流子浓度等微观表征,这是实际测量仪器难以做到的。为了进一步解释和验证前文的实验结果,本章在分析软、硬开通条件下 GaN 器件动态电阻影响机制(沟道热电子效应、空穴注入效应)的基础之上,借助 Silvaco 仿真工具,通过搭建 GaN 器件物理仿真模型,对软、硬开通条件下空穴注入效应的作用效果进行了验证,提供了一种从电路宏观表征到器件微观分析的创新型研究思路。

仿真结果揭示了目前基于空穴注入的动态电阻抑制方法在软开关工作条件下的局限性。该结果无论是对于电路工程师还是器件工程师来说,都具有非常重要的参考价值。

第5章 总结与展望

作为第三代半导体器件的重要代表, GaN 功率器件在高频、高速、高温以及高功率密度的电力电子变换领域具有巨大的发展潜力, 然而就目前的商用 GaN 器件而言, 尽管采用了先进的外延设计和制造工艺, 却仍未从根本上解决动态电阻退化的问题, 这为基于 GaN 器件的变换器设计和损耗估算带来了不确定性, 也为 GaN 器件在电力电子变换器中的大规模应用带来了挑战。因此, 全面评估 GaN 器件在电路应用中的动态电阻特性, 对于早日实现 GaN 器件的广泛普及, 具有重大的研究意义与价值。

本文结合国内外当前对 GaN 功率器件动态电阻评估的研究成果, 在探究外部工作条件对动态电阻影响的基础上, 进一步发掘器件内部工艺结构带来的改变, 不仅取得了创新性的研究成果, 也为今后电力电子器件的研究工作提供了一种从电路宏观表征到器件微观分析的创新型研究思路。

本文的主要研究成果如下:

(1) 提出了一套多功能、全状态的 GaN 功率器件兆赫兹级动态电阻评估方法。

GaN 功率器件在应用于电力电子变换器时, 既可能工作在硬开关条件下, 也可能工作在软开关条件下。然而目前为止, 国内外专家学者对 GaN 器件动态电阻特性的研究却很少考虑软、硬开关的影响。为此, 本文专门设计搭建了一套集软、硬开关测试条件于一体的多功能动态电阻测试平台, 不仅可以实现软、硬开关电路的切换, 还可以研究其他工作状态如电压应力、开关频率等对动态电阻的影响。由于采用了基于 SiC 肖特基二极管的快速电压钳位电路, 测试平台可以在 150 ns 内捕捉器件高频动作时的动态电阻变化, 测试频率可达兆赫兹级。

(2) 首次发现了目前基于空穴注入的动态电阻抑制方法在软开关工作条件下的局限性。

利用所搭建的测试平台和所提出的双脉冲及多脉冲测试方法, 本文测试比较了两种不同工艺结构的商用 GaN 功率器件在硬开关和软开关条件下动态电阻随电压应力和开关频率的变化情况。实验结果表明, 采用不同结构的 GaN 器件在软、硬开通条件下会表现出截然不同的动态电阻特性。其中, 采用传统结构的 GaN 器件在硬开通条件下的动态电阻高出静态值的 25%-80%, 在零电压软开通条件

下有所改善；采用空穴注入技术的 GaN 器件在硬开通条件下的动态电阻约增加 10%-60%，而在零电压软开关条件下的动态电阻却急剧恶化，在 400 V，1 MHz 的开关条件下，其动态电阻值高达静态值的两倍。

为了进一步解释和验证实验结果，本文从器件微观角度出发，通过有限元仿真分析，揭示了开关条件影响动态电阻现象的内部机理，发现了目前基于空穴注入的动态电阻抑制方法在软开关工作条件下的局限性，为 GaN 功率器件在电力电子实际应用中的选型评估提供了重要参考信息，也为 GaN 功率器件在工艺结构上的进一步优化提供了方向。

基于以上研究工作，本文针对如何评估 GaN 器件在高频电路应用中的动态电阻特性问题提出两点建议：

(1) 分别考虑软、硬开通条件的影响，不能一概而论。目前，空穴注入是一种有效缓解动态电阻退化的方法。但是，空穴注入的效果极易受到开通条件的影响，使器件在硬开通和软开通条件下表现出不同的动态电阻特性。因此，在评估 GaN 器件的动态电阻时，特别是基于空穴注入技术的 GaN 器件时，需要考虑到开通条件的影响。

(2) 多脉冲测试更贴合实际应用，结果更可靠。受陷阱时间常数的影响，GaN 器件的动态电阻会随开关次数的增加而变化并逐渐趋于稳定，因此，传统动态测试中采用的单脉冲或双脉冲测试方法在评估 GaN 器件的动态电阻时具有一定的片面性，相比较而言，多脉冲测试工作在准稳态，可以模拟实际变换器的工作情况，更能全面有效地反映 GaN 器件在实际应用中的动态电阻变化情况。

结合自身研究体会和动态电阻测试的研究现状，后续研究工作可以从以下几个方面展开：

(1) 在目前的测试装置中，第一个门极脉冲到来之前的关断时间不可控。而关断时间会影响 GaN 器件内部的陷阱效应从而影响测试结果。本文为了降低关断时间的影响，采用控制关断时间足够长的方法，以确保器件内部的陷阱效应达到平衡和稳定。后续工作可以在此基础上进一步优化，使关断时间精确可控。

(2) 目前测试电路实现的测试速度在 150 ns 以内，未来可以通过采用新器件或新的拓扑结构来进一步优化钳位电路，以适应更高频率的动态电阻特性评估。

(3) 探究其他因素对 GaN 器件动态电阻特性的影响，如温度、负载电流、

占空比以及驱动电路，包括驱动电压和驱动电流的影响等。

(4) 设计一种更为通用的测试平台，可以兼容多种 GaN 三端或两端器件的动态测试。需要考虑驱动电路的兼容性以及器件封装的兼容性等等。

仅限PMIC会员单位内部使用，不得外传

参考文献

- [1] H. Amano, Y. Baines, E. Beam, *et al.* The 2018 GaN power electronics roadmap[J]. Journal of Physics D: Applied Physics, 2018, 51(16): 163001.
- [2] K. J. Chen, O. Häberlen, A. Lidow, *et al.* GaN-on-Si Power Technology: Devices and Applications[J]. IEEE Trans. Electron Devices, 2017, 64(3): 779-795.
- [3] 何亮, 刘扬. 第三代半导体 GaN 功率开关器件的发展现状及面临的挑战[J]. 电源学报, 2016, 14(4): 1-13.
- [4] I. C. Kizilyalli, P. Bui-Quang, D. Disney, *et al.* Reliability studies of vertical GaN devices based on bulk GaN substrates[J]. Microelectronics Reliability, 2015, 55(9-10): 1654-1661.
- [5] 汤岑. 增强型高压 AlGaIn/GaN HEMTs 器件的场优化技术及关键工艺研究 [D]. 杭州: 浙江大学, 2016.
- [6] IR Introduces Industry's First Commercially Available GaN-based iP2010 and iP2011 Integrated Power Stage Devices Utilizing IR's Revolutionary GaN-based Technology Platform, GaNpowIR™[EB/OL]. <https://www.infineon.com/cms/en/about-infineon/press/market-news/2010/irfl449668516265.html>.
- [7] Transphorm Delivers World's First High-Performance 600V Gallium Nitride on Silicon Products at PCIM 2012[EB/OL]. <https://www.businesswire.com/news/home/20120507006749/en/Transphorm-Delivers-World%E2%80%99s-High-Performance-600V-Gallium-Nitride>.
- [8] Transphorm and Fujitsu Semiconductor Announce the Start of Mass Production of Transphorm's GaN Power Devices[EB/OL]. <http://www.fujitsu.com/jp/group/fsl/en/resources/news/press-releases/2015/0127.html>.
- [9] EPC Product Table[EB/OL]. <http://epc-co.com/epc/Products/eGaNfetsandICs.aspx>.
- [10] Navitas 推出业界首个集成半桥氮化镓 (GaN) 功率 IC[EB/OL]. <https://www.navitassemi.com/navitas-推出业界首个集成半桥氮化镓-gan-功率-ic/>.
- [11] S. Kaneko, M. Kuroda, M. Yanagihara, *et al.* Current-collapse-free operations up to 850 V by GaN-GIT utilizing hole injection from drain[C]. in Proc. Int. Symp. Power Semiconductor Devices IC's, 2015 : 41-44.
- [12] Panasonic to Launch Industry's Smallest Enhancement-Mode 600V GaN Power Transistors Package[EB/OL]. <http://news.panasonic.com/global/press/data/2015/05/en150518-4/en150518-4.html>.
- [13] TI 即用型 600-V GaNFET 功率级产品组合可支持高达 10 kW 应用[EB/OL]. <https://news.ti.com/new-ti-portfolio-ready-to-use-600-v-gan-fet-power-stages-supports-applications-up-to-10-kw>.
- [14] 英飞凌氮化镓解决方案投入量产 [EB/OL].

- <https://www.infineon.com/cms/cn/about-infineon/press/market-news/2018/INFPM201811-014.html>.
- [15] 意法半导体和 Leti 合作开发硅基氮化镓功率转换技术 [EB/OL]. https://www.st.com/content/st_com/zh/about/media-center/press-item.html/t4092.html.
- [16] R. Vetry, N. Q. Zhang, S. Keller, *et al.* The impact of surface states on the DC and RF characteristics of AlGaN/GaN HFETs[J]. IEEE Trans. Electron Devices, 2001, 48(3): 560-566.
- [17] D. Jin, J. A. del Alamo. Methodology for the study of dynamic ON-resistance in high-voltage GaN field-effect transistors[J]. IEEE Trans. Electron Devices, 2013, 60(10): 3190-3196.
- [18] K. Li, P. L. Evans, C. M. Johnson. Characterisation and Modeling of Gallium Nitride Power Semiconductor Devices Dynamic On-State Resistance[J]. IEEE Trans. Power Electron., 2018, 33(6): 5262-5273.
- [19] A. Nakajima, S. Yagi, M. Shimizu, *et al.* Hot electron induced current collapse in AlGaN/GaN HEMTs[C]. in Proc. Materials science forum, 2007 : 1035-1038.
- [20] D. Jin, J. A. Del Alamo. Impact of high-power stress on dynamic ON-resistance of high-voltage GaN HEMTs[J]. Microelectronics Reliability, 2012, 52(12): 2875-2879.
- [21] I. Hwang, J. Kim, S. Chong, *et al.* Impact of channel hot electrons on current collapse in AlGaN/GaN HEMTs[J]. IEEE Electron Device Lett., 2013, 34(12): 1494-1496.
- [22] P. Moens, P. Vanmeerbeek, A. Banerjee, *et al.* On the impact of carbon-doping on the dynamic Ron and off-state leakage current of 650V GaN power devices[C]. in Proc. Int. Symp. Power Semiconductor Devices IC's 2015 : 37-40.
- [23] O. Hilt, E. Bahat-Treidel, E. Cho, *et al.* Impact of buffer composition on the dynamic on-state resistance of high-voltage AlGaN/GaN HFETs[C]. in Proc. Int. Symp. Power Semiconductor Devices IC's, 2012 : 345-348.
- [24] E. A. Jones, F. F. Wang, D. Costinett. Review of commercial GaN power devices and GaN-based converter design challenges[J]. IEEE J. Emerg. Sel. Topics Power Electron., 2016, 4(3): 707-719.
- [25] GaN 电 源 器 件 [EB/OL]. <https://industrial.panasonic.cn/ea/products/semiconductors/powerics/ganpower>.
- [26] S. Han, S. Yang, R. Li, *et al.* Current-Collapse-Free and Fast Reverse Recovery Performance in Vertical GaN-on-GaN Schottky Barrier Diode[J]. IEEE Trans. Power Electron., 2018, : 1-1.
- [27] D. Jin, J. A. del Alamo. Mechanisms responsible for dynamic ON-resistance in GaN high-voltage HEMTs[C]. in Proc. Int. Symp. Power Semiconductor Devices IC's 2012 : 333-336.
- [28] Keysight Technologies N1267A HVSMU/HCSMU Fast Switch[EB/OL]. <http://literature.cdn.keysight.com/litweb/pdf/B1505-90110.pdf>.
- [29] N. Badawi, O. Hilt, E. Bahat-Treidel, *et al.* Investigation of the dynamic ON-state resistance of 600 V normally-off and normally-on GaN HEMTs[J]. IEEE Trans. Ind. Appl., 2016, 52(6): 4955-4964.

- [30] H. Wang, J. Wei, R. Xie, *et al.* Maximizing the performance of 650-V p-GaN gate HEMTs: Dynamic R_{ON} characterization and circuit design considerations[J]. IEEE Trans. Power Electron., 2017, 32(7): 5539-5549.
- [31] T. Yao, R. Ayyanar. A multifunctional double pulse tester for cascode GaN devices[J]. IEEE Trans. Ind. Electron., 2017, 64(11): 9023-9031.
- [32] Y. Cai, A. J. Forsyth, R. Todd. Impact of GaN HEMT dynamic on-state resistance on converter performance[C]. in Proc. Appl. Power Electron. Conf. Expo., 2017 : 1689-1694.
- [33] B. Lu, T. Palacios, D. Risbud, *et al.* Extraction of dynamic ON-resistance in GaN transistors: Under soft- and hard-switching conditions[C]. in Proc. Compound Semicond. Integr. Circuit Symp., 2011 : 1-4.
- [34] G. Cao, A. Ansari, H. J. Kim. A new measurement circuit to evaluate current collapse effect of GaN HEMTs under practical conditions[J]. IEEE Trans. Instrum. Meas., 2015, 64(7): 1977-1986.
- [35] T. Foulkes, T. Modeer, R. C. N. Pilawa-Podgurski. Developing a standardized method for measuring and quantifying dynamic on-state resistance via a survey of low voltage GaN HEMTs[C]. in Proc. Appl. Power Electron. Conf. Expo., 2018 : 2717-2724.
- [36] X. Huang, T. Liu, B. Li, *et al.* Evaluation and applications of 600V/650V enhancement-mode GaN devices[C]. in Proc. Workshop Wide Bandgap Power Devices Appl., 2015 : 113-118.
- [37] Z. Liu, F. C. Lee, Q. Li, *et al.* Design of GaN-Based MHz Totem-Pole PFC Rectifier[J]. IEEE J. Emerg. Sel. Topics Power Electron., 2016, 4(3): 799-807.
- [38] J. Joh, N. Tipirneni, S. Pendharkar, *et al.* Current collapse in GaN heterojunction field effect transistors for high-voltage switching applications[C]. in Proc. Int. Rel. Phys. Symp., 2014 : 6C.5.1-6C.5.4.
- [39] I. Rossetto, M. Meneghini, A. Tajalli, *et al.* Evidence of Hot-Electron Effects During Hard Switching of AlGaIn/GaN HEMTs[J]. IEEE Trans. Electron Devices, 2017, 64(9): 3734-3739.
- [40] X. Huang, Z. Liu, F. C. Lee, *et al.* Characterization and enhancement of high-voltage cascode GaN devices[J]. IEEE Trans. Electron Devices, 2015, 62(2): 270-277.
- [41] R. Gelagaev, P. Jacqmaer, J. Driesen. A fast voltage clamp circuit for the accurate measurement of the dynamic on-resistance of power transistors[J]. IEEE Trans. Ind. Electron., 2015, 62(2): 1241-1250.
- [42] K. Li, P. Evans, M. Johnson. GaN-HEMT dynamic ON-state resistance characterisation and modelling[C]. in Proc. Workshop Control Model. Power Electron., 2016 : 1-7.
- [43] N. Badawi, S. Dieckerhoff. A new method for dynamic R_{on} extraction of GaN power HEMTs[C]. in Proc. IEEE Int. Exhib. Conf. for Power Electr. Intell. Motion, Renew. Energy Energy Manag. , 2015 : 1-6.
- [44] E. Marcault, D. Trémouilles, K. Isoird, *et al.* Dynamic of power-GaN-HEMT Electrical Parameters: Why DC characterization might be misleading[C]. in Proc. Eur. Conf. Power Electron. Appl., 2016 : 1-6.

- [45] L. Ren, Q. Shen, C. Gong. A voltage clamp circuit for the real-time measurement of the on-state voltage of power transistors[C]. in Proc. Energy Convers. Congr. Expo., 2016 : 1-7.
- [46] Transistor Test Probe[EB/OL]. <http://springburo.weebly.com/>.
- [47] T. Cappello, A. Santarelli, C. Florian. Dynamic R_{ON} characterization technique for the evaluation of thermal and off-state voltage stress of GaN switches[J]. IEEE Trans. Power Electron., 2017, 33(4): 3386-3398.
- [48] G. Laimer, J. W. Kolar. Accurate measurement of the switching losses of ultra high switching speed CoolMOS power transistor/SiC diode combination employed in unity power factor PWM rectifier systems[C]. in Proc. PCIM, 2002 : 14-16.
- [49] Z. Zhang, B. Guo, F. F. Wang, *et al.* Methodology for Wide Band-Gap Device Dynamic Characterization[J]. IEEE Trans. Power Electron., 2017, 32(12): 9307-9318.
- [50] Y. Guan, Y. Wang, D. Xu, *et al.* A 1 MHz Half-Bridge Resonant DC/DC Converter Based on GaN FETs and Planar Magnetics[J]. IEEE Trans. Power Electron., 2017, 32(4): 2876-2891.
- [51] 陈娜. 中高压功率 IGBT 模块开关特性测试及建模[D]. 杭州: 浙江大学, 2012.
- [52] Z. Zhang, B. Guo, F. Wang, *et al.* Methodology for switching characterization evaluation of wide band-gap devices in a phase-leg configuration[C]. in Proc. Appl. Power Electron. Conf. Expo., 2014 : 2534-2541.
- [53] J. B. Witcher. Methodology for switching characterization of power devices and modules[D]. Dept. Elect. Eng., Blacksburg, VA, USA: Virginia Polytechnic Institute and State Univ., 2002.
- [54] 夏明华. 高压大容量 IGBT 测试技术及测试平台的研究[D]. 杭州: 浙江大学, 2014.
- [55] J. Böcker, H. Just, O. Hilt, *et al.* Experimental analysis and modeling of GaN normally-off HFETs with trapping effects[C]. in Proc. Eur. Conf. Power Electron. Appl., 2015 : 1-10.
- [56] GaN Systems products portfolio[EB/OL]. <https://gansystems.com/gan-transistors/>.
- [57] GaN Products[EB/OL]. <https://www.infineon.com/cms/en/product/power/wide-band-gap-semiconductors-sic-gan/gallium-nitride-gan/#>.
- [58] 650V GaN HEMT Products[EB/OL]. <https://iganpower.com/ganhemts/>.
- [59] Y. Uemoto, M. Hikita, H. Ueno, *et al.* Gate Injection Transistor (GIT)—A Normally-Off AlGaIn/GaN Power Transistor Using Conductivity Modulation[J]. IEEE Trans. Electron Devices, 2007, 54(12): 3393-3399.
- [60] GN001 Application Guide[R]. Design with GaN Enhancement mode HEMT, : GaN Systems Inc., 2018.
- [61] L. Panasonic Semiconductor Solutions Co. GaN-Tr Application Note(PGA26E19BA)[R]. 2016.
- [62] Y. Kawai, S. Nagai, O. Tabata, *et al.* An isolated DC power supply free compact GaN inverter module[C]. in Proc. Int. Conf. Power Electron. Drive Syst., 2015 : 84-88.
- [63] Z. Zhang, W. Zhang, F. Wang, *et al.* Analysis of the switching speed limitation of

- wide band-gap devices in a phase-leg configuration[C]. in Proc. Energy Convers. Congr. Expo., 2012 : 3950-3955.
- [64] Z. Zhang, F. Wang, L. M. Tolbert, *et al.* Active Gate Driver for Crosstalk Suppression of SiC Devices in a Phase-Leg Configuration[J]. IEEE Trans. Power Electron., 2014, 29(4): 1986-1997.
- [65] G. S. Inc. How to drive GaN Enhancement mode HEMT[R]. GN001 Application Brief, 2016.
- [66] G. S. Inc. How to Drive GaN Enhancement Mode Power Switching Transistors[R]. 2014.
- [67] S. R. Bahl, D. Ruiz, D. S. Lee. Product-level reliability of GaN devices[C]. in Proc. Int. Rel. Phys. Symp., 2016 : 4A-3-1-4A-3-6.
- [68] K. Tanaka, T. Morita, H. Umeda, *et al.* Suppression of current collapse by hole injection from drain in a normally-off GaN-based hybrid-drain-embedded gate injection transistor[J]. Appl. Phys. Lett., 2015, 107(16): 163502.
- [69] K. Tanaka, T. Morita, H. Umeda, *et al.* Mechanism of Current-Collapse-Free Operation in E-Mode GaN Gate Injection Transistors Employed for Efficient Power Conversion[C]. in Proc. Compound Semicond. Integr. Circuit Symp., 2016 : 1-4.
- [70] I. Silvaco. Atlas User's Manual[M]. 2015.
- [71] K. Horio, K. Yonemoto, H. Takayanagi, *et al.* Physics-based simulation of buffer-trapping effects on slow current transients and current collapse in GaN field effect transistors[J]. Journal of applied physics, 2005, 98(12): 124502.
- [72] H. Huang, Y. C. Liang, G. S. Samudra, *et al.* Effects of Gate Field Plates on the Surface State Related Current Collapse in AlGaIn/GaN HEMTs[J]. IEEE Trans. Power Electron., 2014, 29(5): 2164-2173.
- [73] T. Kenichiro, U. Hidekazu, I. Hidetoshi, *et al.* Effects of hole traps on the temperature dependence of current collapse in a normally-OFF gate-injection transistor[J]. Japanese Journal of Applied Physics, 2016, 55(5): 054101.

作者简介

李瑞，女，1994 年 7 月生，黑龙江齐齐哈尔人。2016 年 6 月毕业于浙江大学电气工程学院，主修电子信息工程，辅修金融学。2016 年 9 月至今，于浙江大学电气工程学院电力电子器件实验室攻读硕士学位，主要研究方向为 GaN 功率器件测试及应用。

仅限PMIC会员单位内部使用，不得外传

硕士期间发表和录用的论文

- [1] **R. Li**, X. Wu, S. Yang, and K. Sheng, “Dynamic on-state resistance test and evaluation of GaN power devices under hard and soft switching conditions by double and multiple pulses,” *IEEE Trans. Power Electron.*, vol. 34, no. 2, pp.1044-1053, Feb. 2019.
- [2] **R. Li**, X. Wu, G. Xie, and K. Sheng, “Dynamic on-state resistance evaluation of GaN devices under hard and soft switching conditions,” in *Proc. IEEE Appl. Power Electron. Conf. Expo.*, 2018, pp. 898-903.
- [3] S. Han, S. Yang, **R. Li**, X. Wu, and K. Sheng, “Current-collapse-free and fast reverse recovery performance in vertical GaN-on-GaN Schottky barrier diode,” *IEEE Trans. Power Electron.*, vol. PP, no. 99, pp.1-1, 2018.
- [4] S. Yang, S. Han, **R. Li**, and K. Sheng, “1 kV/1.3 mΩ·cm² vertical GaN-on-GaN Schottky barrier diodes with high switching performance,” in *Proc. Int.Symp. Power Semicond. Devices IC's*, 2018, pp. 272-275.

仅限PMTC会员单位内部使用，不得外传