

分类号: TM461.5

单位代码: 10335

密 级: _____

学 号: 21710074

浙江大学

硕士学位论文



中文论文题目: 基于氮化镓器件的高效率

高功率密度 CHB 单相 PFC 研究

英文论文题目: Research on High Efficiency High Density

CHB Single-phase PFC with GaN Devices

申请人姓名: 吴嘉文

指导教师: 吴新科

专业名称: 电力电子与电力传动

研究方向: 高效高功率密度电源

所在学院: 电气工程学院

论文提交日期 2020 年 6 月 28 日

基于氮化镓器件的高效率

高功率密度 CHB 单相 PFC 研究



论文作者签名: 吴嘉文

指导教师签名: 吴新科

论文评阅人 1: 谢小高
评阅人 2: 杭丽君
评阅人 3: 陈 怡
评阅人 4: _____
评阅人 5: _____

答辩委员会主席: 吕征宇
委员 1: 谢小高
委员 2: 吴新科
委员 3: 李武华
委员 4: 邵 帅
委员 5: _____

答辩日期: 2020 年 6 月 10 日

Research on High Efficiency High Density

CHB Single-phase PFC with GaN Devices



Author's signature: Jiawen Wu

Supervisor's signature: Xinke Wu

External Reviewers: Xiaogao Xie

Lijun Hang

Yi Chen

Examining Committee Chairperson:

Zhengyu Lv

Examining Committee Members:

Xiaogao Xie

Xinke Wu

Wuhua Li

Shuai Shao

Date of oral defence: 2020.06.10

浙江大学研究生学位论文独创性声明

本人声明所呈交的学位论文是本人在导师指导下进行的研究工作及取得的研究成果。除了文中特别加以标注和致谢的地方外，论文中不包含其他人已经发表或撰写过的研究成果，也不包含为获得 浙江大学 或其他教育机构的学位或证书而使用过的材料。与我一同工作的同志对本研究所做的任何贡献均已在论文中作了明确的说明并表示谢意。

学位论文作者签名：吴嘉文

签字日期：2020 年 6 月 24 日

仅限PMIC会员单位内部使用，不得外传

学位论文版权使用授权书

本学位论文作者完全了解 浙江大学 有权保留并向国家有关部门或机构送交本论文的复印件和磁盘，允许论文被查阅和借阅。本人授权 浙江大学 可以将学位论文的全部或部分内容编入有关数据库进行检索和传播，可以采用影印、缩印或扫描等复制手段保存、汇编学位论文。

(保密的学位论文在解密后适用本授权书)

学位论文作者签名：吴嘉文

导师签名：吴子科

签字日期：2020 年 06 月 24 日

签字日期：2020 年 06 月 24 日

致谢

作为一名高中时期就非常想上浙大的学子，终于在 2017 年 9 月，有幸加入浙大这个大家庭，开始了我的硕士生涯。两年多的时光里，校园中刻苦努力、求是创新的氛围深深地感染了我。无论是课堂教学，还是实验室的科研，抑或是平时的业余生活，都让我感受到了浙大那份独有的“气质”。在研究生的生涯中，我最感谢的当属浙大这一所学校，它教给我的不仅是知识，更是一种突破自己的胆识，一种沉着的心境，这是我硕士期间最大的财富。

本论文是在吴新科教授指导下完成。硕士期间，吴老师给予我宝贵的高效率恒流源项目实践机会以及多电平课题的研究机会，使我对电力电子领域有了基本的认识。尤为感谢吴老师能指出我存在的诸多问题，并且提高了我对电力电子的眼界。感谢吴老师在论文撰写和 PPT 展示上细致、专业的指导。祝吴老师今后工作顺利、科研再创高峰。感谢董伯藩教授在硕士期间的指导，董老师深厚的电力电子功底往往能深入浅出的为我答疑解惑，令人醍醐灌顶茅塞顿开。祝董老师身体健康。感谢周莉英周大姐在日常科研和生活上的帮助，祝周大姐工作顺利，身体健康。

感谢 17 级电力电子硕士班的各位同学，尤其是韩阅同学和我同在吴老师门下，共同度过了三年硕士生涯。祝各位前程似锦，一帆风顺。我和齐雨同学合作完成了高效率 LED 驱动电源项目，感谢在此期间齐雨同学的帮助和解惑。张思亮、董泽政、杨金旭、刘天骥、李光灿、田霖等博士同学在实验室科研期间曾给予了无私的帮助，在此表示感谢，祝各位科研顺利，早日毕业。感谢秦伟、施鸿波、周宗杰等师兄师姐的指导和帮助，祝各位鹏程万里，一帆风顺。感谢陈子健、范高、赵问鼎、赵韞玉、孙家红、李力超等师弟在科研生活上的互相帮助。以上的各位同学，愿我们在人生的更高处相见。

感谢父母从小对我的培养，给予我舒适的环境能够专心学习，并且在我失落的时候给予我安慰。

最后祝愿自己一生温暖纯良，努力上进，不舍爱与自由。

吴嘉文

2020 年 6 月于浙大玉泉

摘要

车载、数据中心、航天等空间有限的应用场合，对变换器提出了高功率密度高效率的应用需求。近年来，采用氮化镓器件的多电平 PFC 在功率密度与效率方面都展现出了较大的优势。在传统的多电平 PFC 变换器设计过程中，因为 GaN 器件的损耗模型与其电压应力有关，为了实现效率优化与拓扑电平数量的优选，不得不用穷举法对不同电平下不同电压等级的 GaN 器件分别计算损耗。因此，可选的电平数越多，损耗的计算量越大。为了构建能够将多电平变换器的电平数作为一个自变量的损耗模型，从而形成一个统一的多电平损耗模型，简化设计方法，本文根据 NFoM ($\text{NFoM} = C_{\text{osser}} * R_{\text{dson}}$) 推导出多电平变换器中 GaN 器件的最小损耗模型。通过这个统一的器件损耗模型，避免了将不同耐压的器件参数反复代入，并比较计算结果的繁琐过程，可以直接得出将电平数作为自变量的最佳效率。根据此模型，本文给出了在给定效率指标下，电平数以及开关频率的设计方法。根据优选出的电平数，构建了 2kW 级联 H 桥 (CHB) PFC 样机，实现了高于 99% 的预期效率与超过 1000 W/in^3 的功率密度。

在基于高效率优选出的电平数的基础上，本文对中间直流母线电解电容的体积进行了优化，给出了母线电容体积的理论最小值。并且分析与比较了 CHB 与其它两电平方案，在母线电解电容体积上的差别。

一般的 AC/DC 应用场合常用的方案由前级 PFC 与后级隔离型 DC/DC 两级构成，因此 CHB 多电平 PFC 造成的多个不同电势的低压直流母线问题，可以通过后级的隔离型 DC/DC 来解决。针对两级的应用情况，本文分析了输入串联输出并联 (ISOP) 与输入串联输出串联 (ISOS) 两种系统级联方式下系统的稳定性。对于不稳定的情况，本文给出了控制上相应的改进方法并通过仿真进行了验证。

关键词：高效率 高功率密度，NFoM，统一损耗模型，级联 H 桥 PFC，氮化镓

Abstract

For space-constrained applications such as electric vehicles, data centers, and aerospace, high-power density and high-efficiency are required for converters. In recent years, multilevel PFC with gallium nitride devices has shown great advantages in terms of power density and efficiency. In the design process of the traditional multilevel PFC converter, since the loss model of the GaN device is related to its voltage stress, efficiency optimization requires calculation of losses for GaN devices for different voltage levels. Therefore, as the number of levels increases, calculations of switching losses become more and more complicated. In order to derive the unified loss model of the multilevel converter and simplify the design method, this paper proposes the minimum loss model of the GaN device in the multilevel converter based on NFoM ($\text{NFoM} = C_{\text{osser}} * R_{\text{dson}}$). With this unified device loss model, the tedious process, which requires repeatedly replacing device parameters with different breakdown voltages into the loss model and comparing the calculation results, can be avoided. The best efficiency with the level number as the independent variable can be directly obtained. According to this model, this paper provides the design method of the number of levels and the switching frequency under a certain efficiency. According to this method, a 2kW cascaded H-bridge (CHB) PFC prototype was constructed, achieving over 99% efficiency and more than 1000 W/in³ power density.

The volume of the electrolytic capacitor of the intermediate DC bus is optimized, on the basis of the number of levels selected according to high efficiency. The theoretical minimum value of the bus capacitor volume is given as well. The comparison between CHB and two-level scheme in the volume of the bus electrolytic capacitor is analyzed.

Since the common schemes for general AC/DC applications are composed of two stages: the front-stage PFC and the second-stage isolated DC/DC, the multiple low-voltage DC bus problems caused by CHB multilevel PFC can be solved by using isolated DC/DC. In view of the two-stage application situation, this paper analyzes the stability of commonly used control scheme under the two connection modes of input series output parallel (ISOP) and input series output serial (ISOS). This paper gives the modification control method in terms of unstable conditions. Simulation is conducted to verify the analysis.

Key words: High efficiency high density, NFoM, Unified loss model, Cascaded H bridge PFC, Gallium Nitride

仅限PMIC会员单位内部使用，不得外传

插图清单

图 1-1	2017-2030 新政策情景与 EV30@30 情景下的全球电动汽车保有量	1
图 1-2	电动汽车充电的系统架构	2
图 1-3	2010-2017 年全球充电桩数量的增长情况	2
图 1-4	车载充电机技术发展趋势	3
图 1-5	车载充电机常用的两级架构	3
图 1-6	传统的 Boost 型 PFC	4
图 1-7	图腾柱 PFC 拓扑结构	5
图 1-8	图腾柱 PFC 的发展	5
图 1-9	2n+1 电平飞跨电容拓扑结构	6
图 1-10	PFC 现状及其指标	7
图 2-1	四种基本的多电平拓扑(5 电平结构)	9
图 2-2	多电平的基本单元	10
图 2-3	分段线性模型(a)开通(b)关断	12
图 2-4	硬开通的容性损耗	13
图 2-5	器件的构成	14
图 2-6	基本单元的损耗分布情况	15
图 2-7	N 个器件直接串联的结构	16
图 2-8	FoM_{HS} 的简化(a) Q_{gs2} 与 Q_{gd} 的比值(b)简化后开关损耗的误差	17
图 2-9	不同耐压下氮化镓器件单位面积导通电阻	18
图 2-10	器件品质因数 (a)NFoM (b)NFoM _{sw}	19
图 2-11	交流输入 CHB 与 FC 五电平拓扑 (a)CHB (b)FC	20
图 2-12	AO 电压为 E 与 2E 时的波形	21
图 2-13	2E 电平模式	21
图 2-14	E 电平模式 (a)模式 1 (b)模式 2 (c)模式 3 (d)模式 4	21
图 2-15	占空比与 AO 电压之间的关系	23
图 2-16	AO 电压为 0 与 E 时的波形	23
图 2-17	零电平模式 (a)模式 1 (b)模式 2 (c)模式 3 (d)模式 4	23

图 2-18	n 个单元的 CHB (a)拓扑结构 (b)第 i 单元与 $i+1$ 单元的调制波形.....	25
图 2-19	不同耐压器件对应的最小损耗.....	25
图 2-20	不同单元数对应的最高开关频率.....	26
图 2-21	工频周期内电感的伏秒.....	27
图 2-22	不同单元数对应的电感量.....	28
图 2-23	电感与单元元件的总体积.....	29
图 2-24	具体器件的选择.....	29
图 2-25	样机照片.....	30
图 2-26	实验所用结构.....	31
图 2-27	110V 交流实验波形 (a)1/5 载 (b)半载 (c)满载 (d)开关周期波形	32
图 2-28	220V 交流实验波形 (a)1/5 载 (b)3/8 载 (c) 5/8 载 (d)满载	33
图 2-29	输入相关实验结果 (a)功率因数 (b) 网侧电流总谐波失真 (c) 220V 交流输入 200W 条件下网侧电流各次谐波有效值	34
图 2-30	直流母线电压波形.....	35
图 2-31	额定功率 15 分钟自然冷却热成像图 (a)开关管 (b)电感	35
图 2-32	效率相关结果 (a)损耗分解 (b) 效率曲线	36
图 3-1	一个单元的功率流向.....	37
图 3-2	一个单元稳态波形.....	37
图 3-3	母线电容电压纹波限制条件.....	39
图 3-4	母线电容工频电流纹波限制条件.....	40
图 3-5	母线电容一个开关周期内的模态.....	41
图 3-6	母线电容高频电流纹波限制条件.....	42
图 3-7	n 个单元电容考虑方法.....	43
图 3-8	电解电容能量密度与电流耐量 (a)105°C (b)125°C	44
图 3-9	确定合适的电容量.....	45
图 3-10	电解电容理论体积 (a)105°C (b)125°C	46
图 4-1	单级 CHB PFC 的控制框图	47
图 4-2	构造虚拟正交矢量后的矢量合成图.....	48
图 4-3	旋转坐标变换 (a) d-q 坐标轴与原坐标轴的关系 (b) 合成矢量超前 d 轴 (c)	

合成矢量滞后 d 轴 (d)合成矢量与 d 轴重合	49
图 4-4 ISOP 两模块两级系统结构	51
图 4-5 ISOP 未加均压环且后级采用独立控制的简化框图	51
图 4-6 后级独立控制下的低频小信号模型	52
图 4-7 两单元结构大信号模型	53
图 4-8 后级独立控制的系统小信号模型	53
图 4-9 研究输入电压扰动对系统稳定性影响时的简化小信号模型	54
图 4-10 ISOP 未加均压环且后级采用共同占空比控制的简化框图	55
图 4-11 ISOP 低频段共同占空比控制简化小信号模型	55
图 4-12 ISOS 两模块两级系统结构	56
图 4-13 ISOS 共同占空比控制简化框图	56
图 4-14 6 个单元 CHB 加入均压环后的控制框图	57
图 4-15 未加均压环仿真结果 (a) ISOS 后级采用共同占空比 (b) ISOS 后级采用独立闭环 (c) ISOP 后级采用共同占空比 (d) ISOP 后级采用独立闭环	58
图 4-16 加入均压环后仿真结果 (a) ISOS 后级采用共同占空比 (b) ISOS 后级采用独立闭环 (c) ISOP 后级采用独立闭环 (d) ISOP 后级采用共同占空比	59

附表清单

表 2-1 氮化镓器件专用半桥驱动器的耐压..... 30

表 2-2 样机所用重要元件..... 31

表 2-3 实验参数..... 31

表 3-1 电解电容不同频率下归一化电流有效值限制..... 42

仅限PMIC会员单位内部使用，不得外传

目次

致谢 I

摘要 II

ABSTRACT III

插图清单 V

附表清单 VIII

目次 1

1 绪论 1

1.1 背景概述 1

1.2 高效高密度 PFC 的研究现状分析 4

1.3 本论文主要研究内容 8

2 高效高密度 CHB PFC 的设计方法 9

2.1 多电平变换器氮化镓器件损耗分析 9

2.1.1 多电平变换器的基本单元 9

2.1.2 导通损耗与驱动损耗 11

2.1.3 开关损耗 12

2.1.4 容性损耗 13

2.1.5 基本单元最小损耗 14

2.2 基于 NFoM 的统一最小损耗模型 16

2.2.1 最小损耗模型的简化 16

2.2.2 统一的器件损耗模型 18

2.3 CHB 的优化设计方法 20

2.3.1 选择 CHB 的原因 20

2.3.2 工作模态 21

2.3.3 不同单元数对应的最高开关频率 25

2.3.4	不同单元数对应的电感量	27
2.3.5	最佳单元数的选择	29
2.4	实验结果	30
2.5	本章小结	36
3	直流母线电容的体积研究	37
3.1	电容相关工作波形	37
3.2	电压纹波限制条件	38
3.3	电流纹波限制条件	39
3.3.1	工频电流限制条件	40
3.3.2	高频电流限制条件	41
3.4	母线电解电容理论体积	42
3.5	本章小结	46
4	控制方案分析	47
4.1	单级 CHB PFC 的控制	47
4.1.1	控制框图	47
4.1.2	锁相环	48
4.2	两级结构的控制	50
4.2.1	ISOP 未加均压环的稳定性分析	51
4.2.2	ISOS 未加均压环的稳定性分析	56
4.2.3	加入均压环的控制方法	57
4.3	仿真验证	58
4.4	本章小结	60
5	总结与展望	61
	参考文献	62
	作者简历及在学期间所取得的科研成果	65

1 绪论

1.1 背景概述

随着全球金融危机、生态环境恶化与能源、资源枯竭等问题的加剧，研究与利用电动汽车相关技术及促进电动汽车产业发展已成为世界汽车工业竞争的一个新焦点。当前，美国、日本、德国等世界主要汽车制造强国纷纷加入抢占电动汽车技术与市场制高点的行列，陆续出台了一系列全面促进电动汽车产业发展的政策措施^[1]。

我国有关部门及各级政府也积极响应行业趋势，将电动汽车确定为国家 7 大战略性新兴产业之一，并先后推出了《节能与电动汽车产业发展规划》、《电动汽车“十二五”专项规划》等规划措施以及双积分等政策，积极引导与鼓励国内电动汽车产业的发展^[2]。

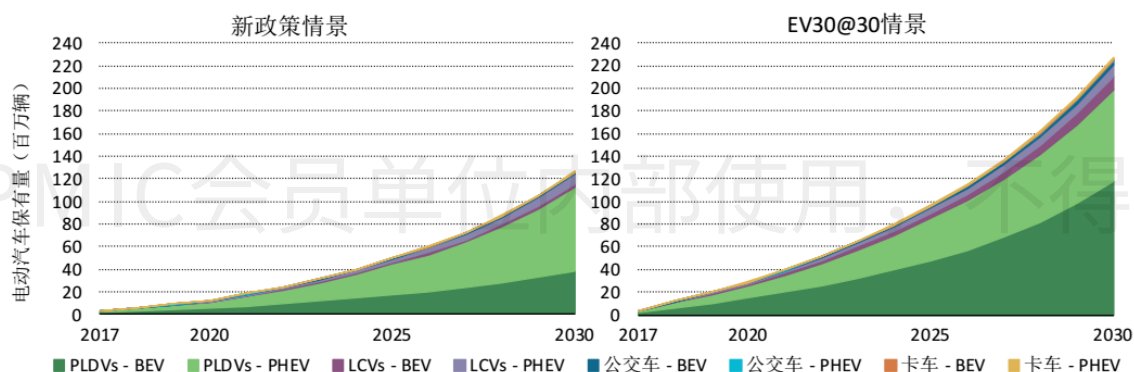


图 1-1 2017-2030 新政策情景与 EV30@30 情景下的全球电动汽车保有量

在 2030 年的展望中，政策支持与成本降低将带来电动汽车市场占有率的大幅增长。在新政策情景下，上路的轻型电动车数量将在 2030 年达到 1.25 亿（如图 1-1 左侧所示）。在全球范围内运输占全球温室气体（GHG）排放量的 25%，使人们抛弃汽油与柴油驱动的车辆，转而使用电动汽车是至关重要的任务。因此，国际能源署各成员国共同发起了 EV30@30 的活动，提出了在 2030 年电动汽车市场占有率 30% 的目标。在 EV30@30 情景中，为实现气候与其它可持续发展目标的政策支持持续加强，2030 年的预期数量高达 2.2 亿辆（如图 1-1 右侧所示），其中纯电动汽车与插电式混合动力汽车分别为 1.3 亿与 0.9 亿^[3]。上述国家政策的支持以及市场的反响表明，电动汽车发展态势逐年向好，发展前景巨大。

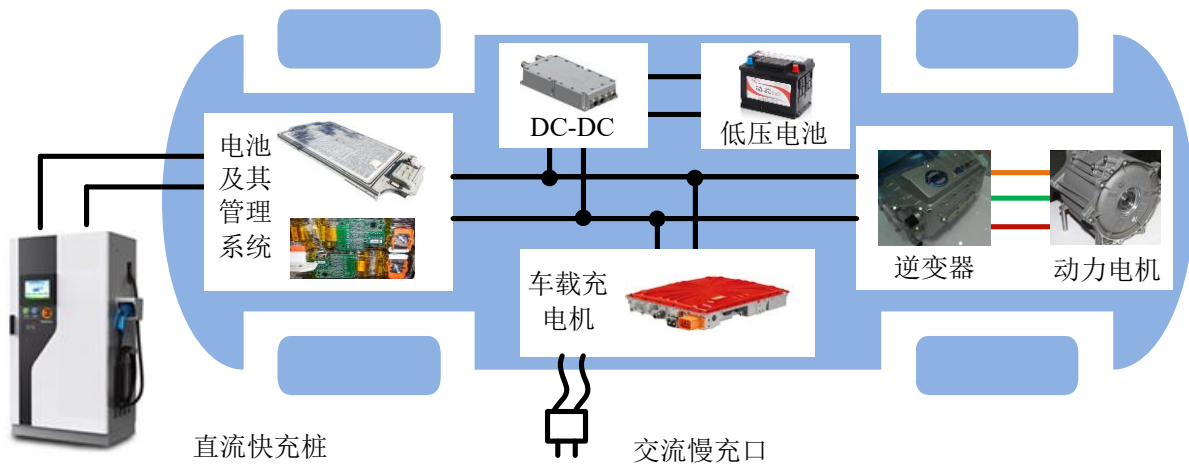


图 1-2 电动汽车充电的系统架构

对电动汽车而言，目前普遍采用的充电架构如图 1-2 所示。此图表明电动汽车充电可以分为直流充电与交流充电。直流充电是直接对电池进行直流充电，通常由公共快充桩完成。因其充电速度快，通常称为直流快充。交流充电是交流电经由车载充电机转换后，间接对车载动力电池进行充电^[4]。交流充电功率较小，速度相对较慢，因此称为交流慢充。交流慢充相较于直流快充而言更为便捷，可以在私人场所充电，因此更受普通消费者欢迎。图 1-3 展示了全球充电桩数量的增长情况，可见私人慢充桩的数量增长迅速，截至 2017 年全球已有大约 300 万个私人慢充桩。

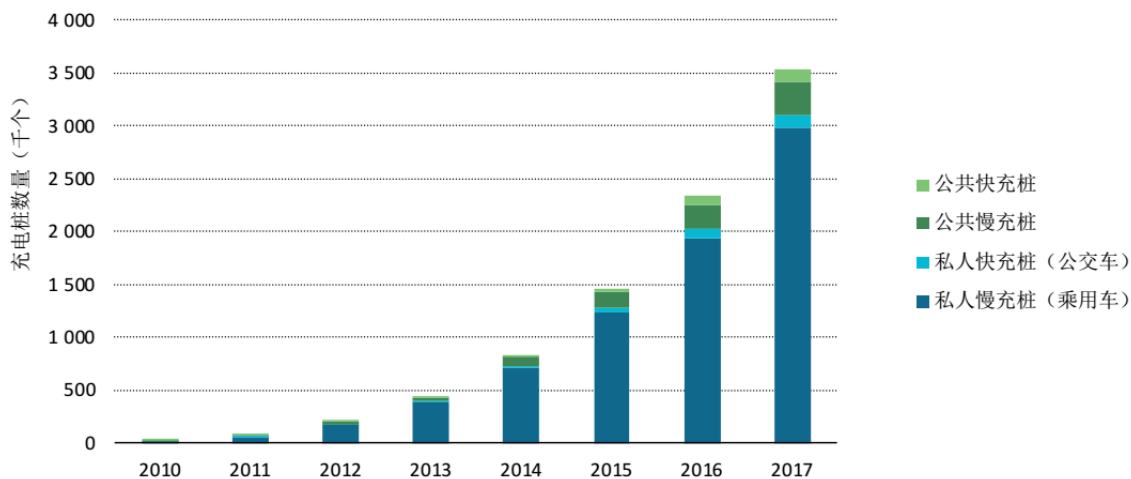


图 1-3 2010-2017 年全球充电桩数量的增长情况

电动汽车从面世之初，就受到续航里程方面的担忧，这种现象被称为电动汽车的“里程焦虑”^[5]。为了提高续航里程，电池容量近年来不断提高。为了避免交流慢充的充电时

间过长,要求车载充电机的充电功率不断增加。而电动汽车本身空间有限,所以研发紧凑、高效、轻量的车载充电机成为一项挑战^{[6][7]}。

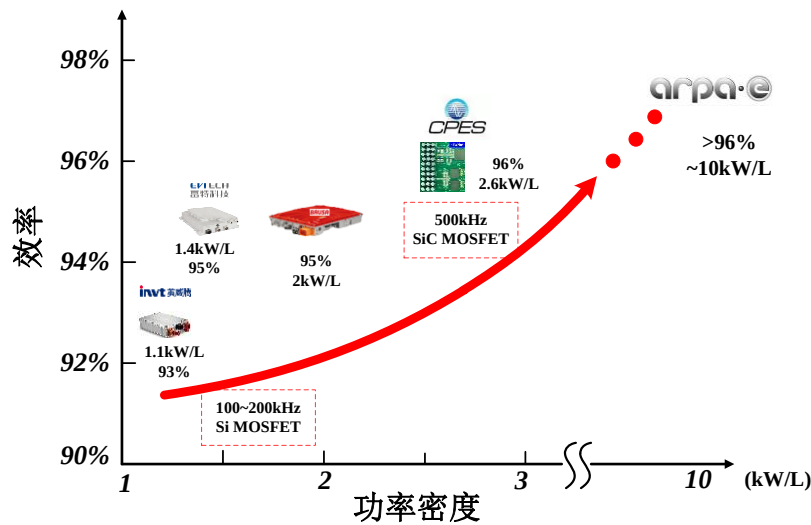


图 1-4 车载充电机技术发展趋势

如图 1-4 所示,目前主流的车载充电机产品通常采用硅器件,开关频率约为 100kHz。功率密度在 1.5kW/L 左右,同时峰值效率约为 95%。美国电力电子研究中心(Center for Power Electronics Systems, CPES)采用 SiC 等新器件,并结合软开关的相关技术,将开关频率提升至 500kHz。系统功率密度达到 2.6kW/L,同时峰值效率提升至 96%^[8]。在美国能源高级研究计划署(Advanced Research Projects Agency for Energy, ARPA-E)的车载充电机项目中,充电机需要同时满足峰值效率大于 96%且功率密度超过 10kW/L 的技术指标^[9]。由此可知,车载充电机目前的技术发展趋势为高效率与高功率密度兼备。

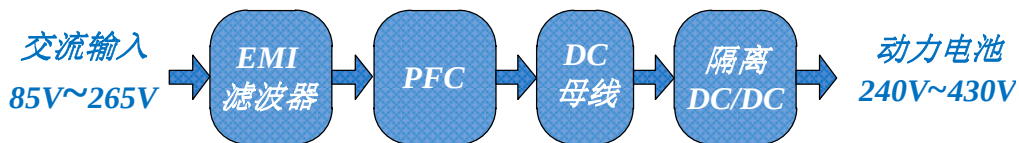


图 1-5 车载充电机常用的两级架构

现有车载充电机的电路拓扑从大类而言,可以分为单级架构与两级架构。单级架构是直接将输入的交流电经过高频隔离,转换成高压直流电。而两级架构则是将输入的交流电通过功率因数校正(Power Factor Correction, PFC)电路,转换成不隔离的高压直流电,再用第二级隔离 DC/DC 转换成动力电池侧的直流电。单级架构取消了中间的直流母线,减小

了电容体积。但是单级架构的控制复杂，而且器件数量与效率并不占优势，所以目前成熟的充电机产品，大多采用两级电路架构，如图 1-5 所示^[5]。为了提高两级结构车载充电机的效率与功率密度，需要先研究高效高密度的 PFC 拓扑及其控制方法。

1.2 高效高密度 PFC 的研究现状分析

功率因数校正技术根据有无有源器件可以分为无源功率因数校正与有源功率因数校正。无源功率因数校正由于效果有限，应用较少。随着电力电子技术的发展，有源功率因数校正已经成为主流。根据电路拓扑，PFC 还可以分为 Boost 型 PFC，Buck 型 PFC 等，目前比较常用的是 Boost 型。下面将对 Boost 型 PFC 的研究现状做简要分析。

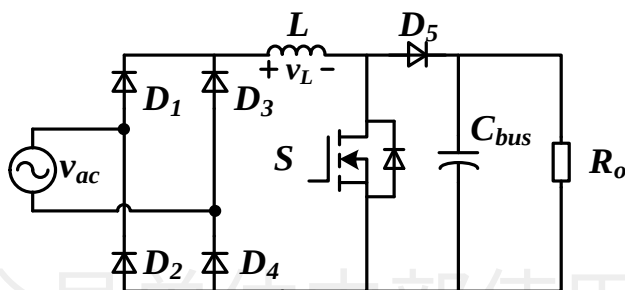


图 1-6 传统的 Boost 型 PFC

最传统最成熟的 Boost 型 PFC 方案如图 1-6 所示^[10]。此方案由整流桥以及 Boost 电路构成。由于整流桥的存在，当开关管 S 导通时，电感电压一定与参考方向相同。当电感电流小于预期值时，只需增大开关管 S 的占空比，即可增大电感电流。因此，可以通过控制开关管 S 的占空比，进而控制电感电流在一个开关周期内的平均值。此方案成熟且可靠性高，功率因数高，被广泛运用在工业界中。然而，该方案中二极管的导通压降较大，使得总导通损耗非常大，效率低下。因此系统的散热器体积较大，功率密度很难提高，不适用于空间有限的应用场合。

针对此问题，发展出了各式各样的无桥 PFC 拓扑^{[11][12][13]}。其中图腾柱 Boost PFC 以其拓扑简单、软开关控制方法易实现、效率与功率密度高等优点，逐渐得到业界大范围应用。

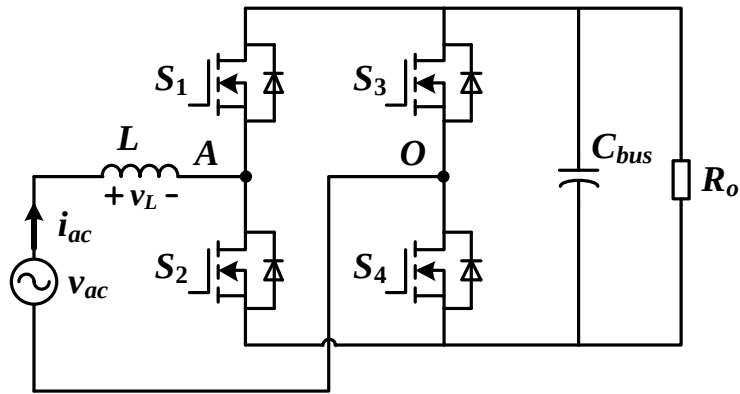


图 1-7 图腾柱 PFC 拓扑结构

图腾柱 PFC 拓扑结构如图 1-7 所示，左桥臂为高频开关桥臂，右桥臂为工频开关桥臂，同一桥臂的两个开关管互补工作。当交流电压处在正半周时，开关管 S_4 保持导通， S_3 保持关断。当开关管 S_2 导通时，AO 两点间为短路，电感电压与参考方向相同，电流正向增加。当开关管 S_2 关断时，AO 两点间电压为母线电压。根据 Boost 电路的特性，母线电压一定高于输出电压。因此电感电压与参考方向相反，电感电流正向减小。所以正半周可以通过控制开关管 S_2 的占空比，进而控制电感电流在一个开关周期内的平均值。负半周同理可知，只需控制 S_1 的占空比即可。相比于有桥 PFC，图腾柱 PFC 没有二极管的导通损耗，并且拓扑结构简单，在高功率密度的场合应用较广。

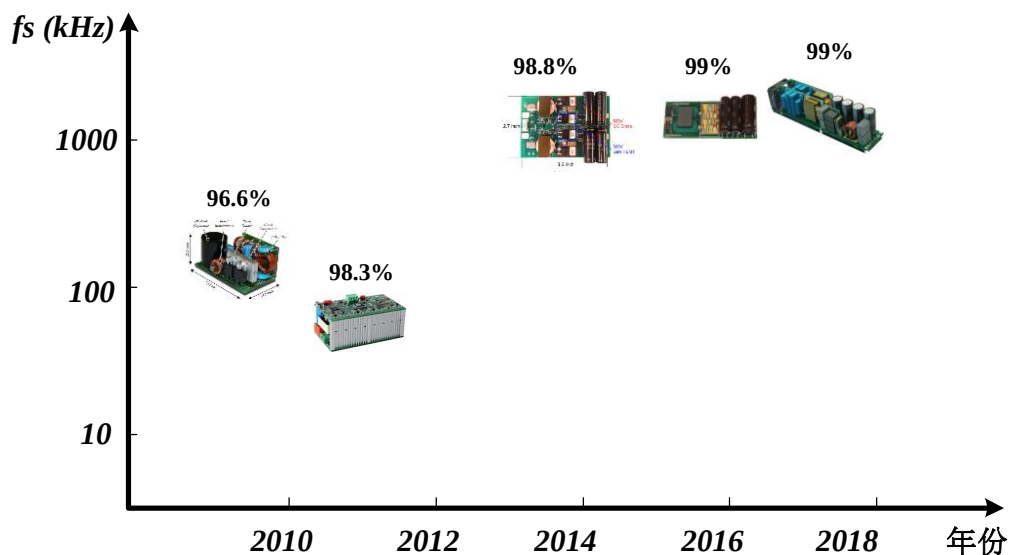


图 1-8 图腾柱 PFC 的发展

对于两电平方案而言,目前主要采用电流临界模式的图腾柱 PFC,图 1-8 给出了其发展现状^{[14][15][16][17][18]}。两电平结构中器件的特性对 PFC 的指标影响较大。对于硅器件而言,由于开关速度不够快,高频下关断损耗占比依然较大,采用软开关技术也非常难提高频率。因此采用硅器件的软开关 PFC,开关频率大约在 100kHz。这在一定程度上制约了磁元件的体积,使得整体的功率密度受到较大的影响。与硅器件相比,新型的氮化镓器件有着开关速度快,开关损耗小等优势。为了充分发挥氮化镓器件的性能,美国电力电子研究中心 (CPES)采用两相图腾柱交错并连的结构,并结合软开关的技术,将开关频率推高至兆赫兹的水平。在保证效率相同的前提条件下,功率密度几乎提升了一个数量级。

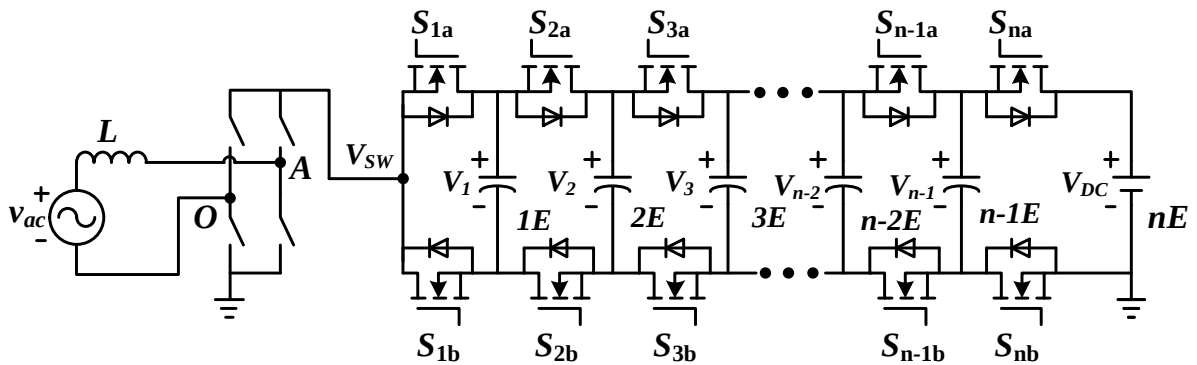


图 1-9 2n+1 电平飞跨电容拓扑结构

磁性元件是决定变换器整体功率密度的一个重要部分,从其体积分解可见,电感体积大约占了整个 PFC 体积的 36%^[19]。电感体积取决于电感量与峰值电流,而电感量则由其伏秒决定。除了提高系统的开关频率之外,减小电感两端电压即采用多电平电路也是减小电感量的可行思路之一。多电平电路最初主要用于解决器件应力的问题,在高压以及中高压的场合应用较多,而这些场合对体积的要求一般较为宽松^{[20][21]}。近年来,美国伊利诺伊大学厄巴纳-香槟分校(UIUC)对多电平方案相关研究的开展,表明了多电平在提高变换器效率与功率密度方面有一定的技术优势^{[22][23]}。

UIUC 采用的多电平拓扑是飞跨电容多电平,图 1-9 给出了其在 PFC 应用时 2n+1 电平的拓扑结构。其中电平数的定义为一整个工频周期内, AO 两点间能产生的电平数量。其中最靠近电感的四个开关元件为工频开关管,作用与前文提到的整流桥类似。当输入为正半周时, O 点所在桥臂上管关断,下管导通。A 点所在桥臂上管导通,下管关断。因此 AO 之间电压在正半周只能为正或零。 V_{sw} 对地能产生的最小电压变化为一个电平电压。将一个电平电压定义为 E,即可得到在稳态情况下,每个飞跨电容所对应的电压。越靠近

电感的飞跨电容电压越低，同时两个相邻的飞跨电容，电压差为 E 。为了尽量减小电感的伏秒，在调制的时候需要保证 AO 两点的电压与输入电压之差不大于一个电平电压。随着电平数的增加，电感体积逐步减小，从三电平增加至十三电平，电感体积大约可以下降 95%^[24]，因此多电平方案在高功率密度上有一定的技术优势。

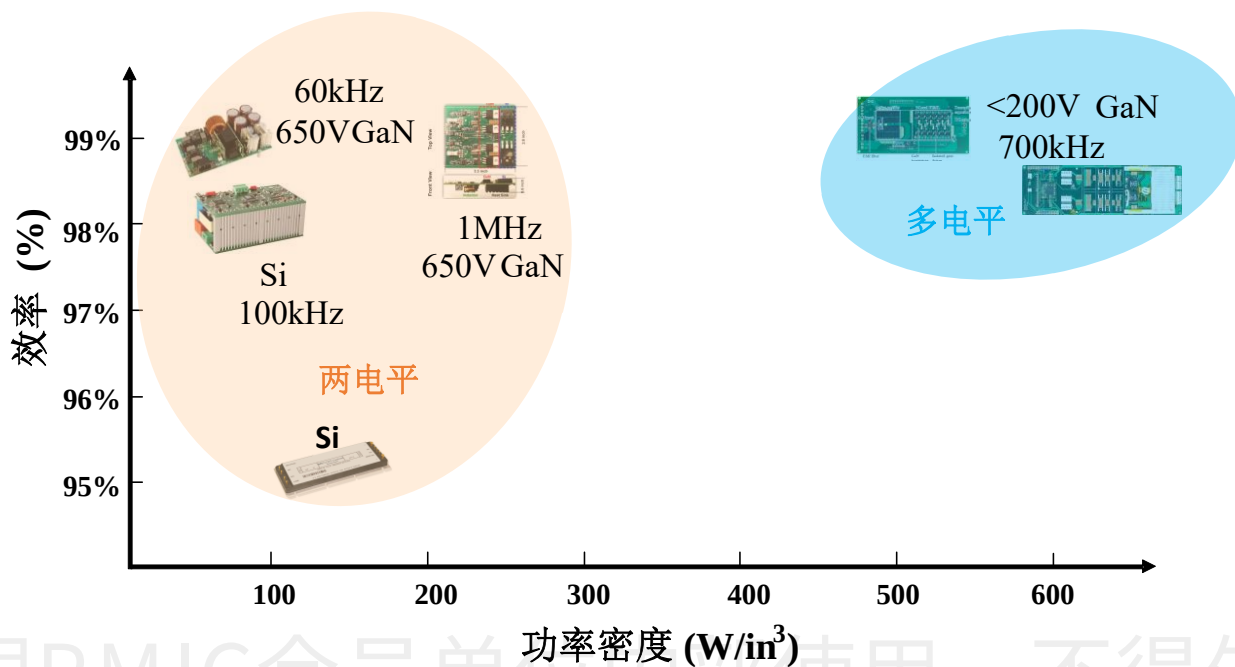


图 1-10 PFC 现状及其指标

前文简要分析了目前 PFC 所采用的技术，图 1-10 给出了当前 PFC 在效率与功率密度方面所达到的指标^{[25][26][27]}。此图表明，对于效率为 99% 的两电平氮化镓 PFC，硬开关工作方式下的开关频率约为 60kHz，功率密度约为 70W/in³，而软开关工作方式下的最低开关频率约为 1MHz，功率密度可达约 250W/in³ (不含母线电容)。

UIUC 利用低压器件相比高压器件性能更优异的特点，采用了前文所说的多电平方案，将 PFC 的功率密度继续成倍地推高。采用了载波移相调制的飞跨电容多电平电路，不仅电感电流的频率大幅上升，电感两端的最大电压也大幅下降。因此相比两电平电路而言，电感的伏秒更小，能够实现更高功率密度。但是从抽象角度而言，多电平相当于通过增加有源的器件来替代无源的电感。因此为了减小无源电感的体积，必须增加大量的开关器件。大量开关器件的加入，对整体效率产生的影响，UIUC 并未做相关说明。本文将在第二章中对此进行重点研究，此处不再赘述。多电平 PFC 在效率与功率密度上都展现出了非常大的优势，因此本文将对多电平 PFC 进行深入的研究。

1.3 本论文主要研究内容

本文首先根据车载、数据中心等高效高功率密度的需求，对目前高效率高密度功率因数校正器拓扑进行了分析，选择了在功率密度与效率方面更有优势的多电平 PFC 作为研究对象。基于 GaN 器件的损耗模型，本文提出一种统一的损耗简化模型，并且在此基础上研究基于 GaN 器件多电平拓扑电平数与效率折中的优化设计方法。文中还对于上述多电平 PFC 方案的稳定性问题进行研究。

本文主要工作如下：

第一章回顾了高效率高密度 PFC 的国内外研究现状，明确了多电平 PFC 为本文的研究对象。

第二章指出了传统 GaN 器件的损耗模型与其电压应力有关，效率优化在多电平的应用场合较为复杂。根据 NFoM 推导了多电平变换器中 GaN 器件的统一最小损耗模型。通过这种统一的器件损耗模型，无需根据独立的器件参数进行单独的损耗计算，即可得出不同电平数下的最佳效率。根据此模型，给出了选择级联 H 桥（CHB）作为拓扑结构的原因。并且给出了在给定效率指标下，电平数以及开关频率的设计方法。根据该方法，构建了 2kW 级联 H 桥 PFC 样机，实现了 99% 以上的效率以及超过 1000 W/in³ 的功率密度。

第三章推导了两级架构中，中间直流母线电容所要满足的电压纹波与电流纹波制约条件。并且根据此制约条件，推导了直流母线电解电容所需要的理论体积。比较了级联 H 桥电容总体积与两电平电路母线电容的体积。

第四章推导了两级结构中前级 PFC 采用共同占空比控制，后级 DC/DC 分别采用独立控制与共同占空比控制时的稳定性。对于不稳定的情况，介绍了加入均压环的控制方法，并且通过仿真，验证了其稳定性。

第五章对本论文进行总结，并对后续问题进行展望。

2 高效高密度 CHB PFC 的设计方法

2.1 多电平变换器氮化镓器件损耗分析

2.1.1 多电平变换器的基本单元

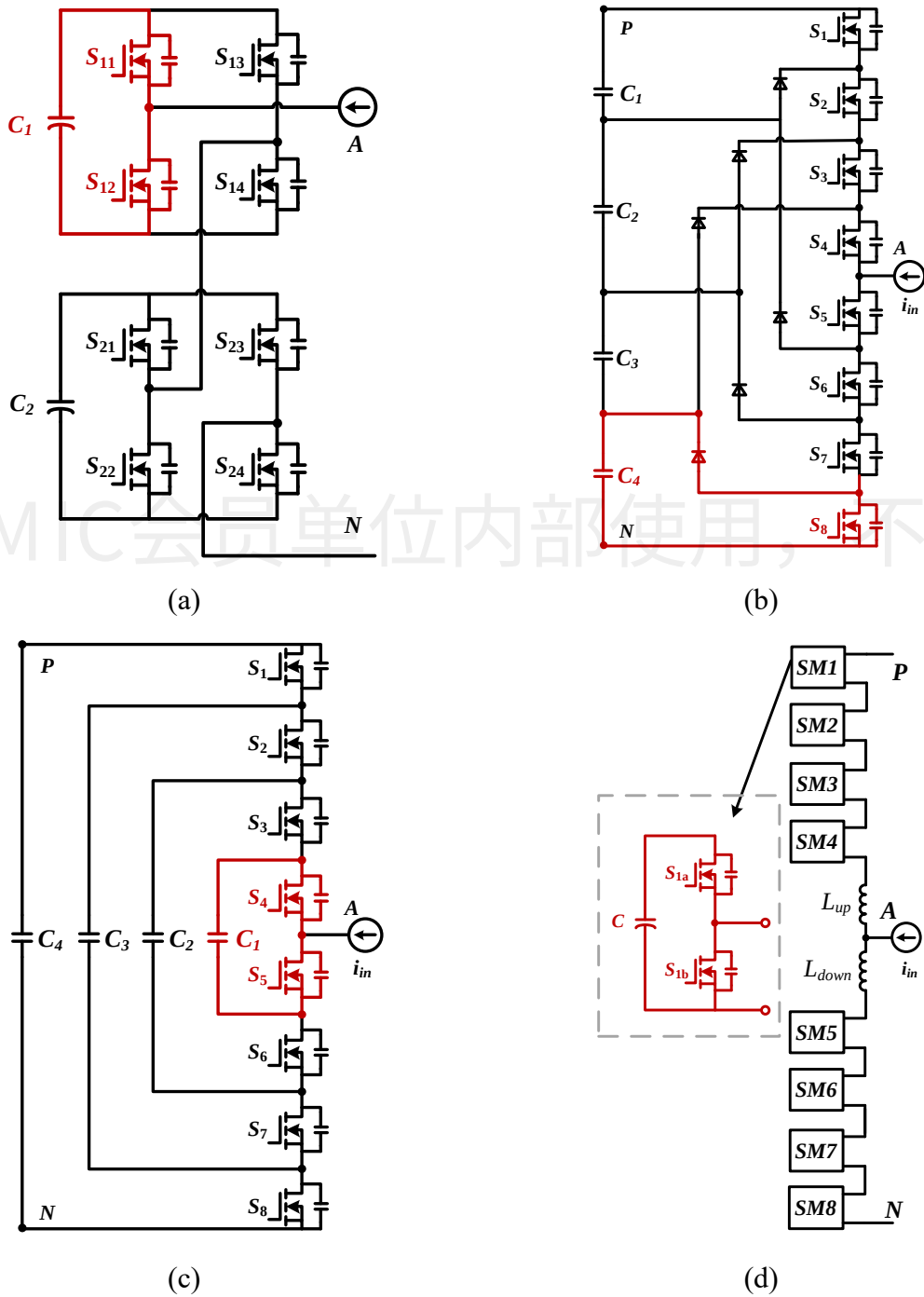


图 2-1 四种基本的多电平拓扑(5 电平结构)

本文在第一章中,指出多电平的基本思想是用有源的开关器件去替代无源的元件。因此为了降低电感体积,需要大幅增加开关器件的数量。直接分析 N 电平器件的损耗较为复杂,为了简化分析过程,本文将首先提取出多电平拓扑中的基本单元,针对基本单元进行分析。

基本的多电平拓扑结构如图 2-1 所示,出于简单性与统一性考虑,图中所示各拓扑结构的 AN 间均可产生 5 个电平^[28]。其中(a)的拓扑结构为级联 H 桥 (Cascaded H bridges, CHB); (b)为中性点钳位 (Neutral Point Clamping, NPC); (c)为飞跨电容多电平 (Flying Capacitors, FC); (d)为模块化多电平 (Modular Multilevel Converter, MMC)。其中 SM (Submodule)代表子模块,本文仅分析最简单的半桥子模块。

由于 NPC 相比其它三个拓扑结构,二极管会带来额外的导通损耗,不适用于高效率、高功率密度的应用场合,因此本文暂不考虑此结构。MMC 与 CHB 结构上都具有模块化的特性,但是 MMC 为了减小环流,要求 PN 之间的电压在工作时保持不变。这说明上桥臂有一个子模块投入使用时(即 S_a 导通 S_b 关断),下桥臂要有一个子模块从使用中切除(即 S_a 关断 S_b 导通),即上桥臂与下桥臂互补工作。因此电平数与子模块总数 N 的关系为: $1+N/2=$ 电平数。当 AN 间电压为 5 个电平时,共需 8 个子模块,即 16 个开关管。而 CHB 在同样电平数的条件下只需 8 个开关管,为了节约面积,在高效高功率密度的背景下,暂不考虑 MMC。

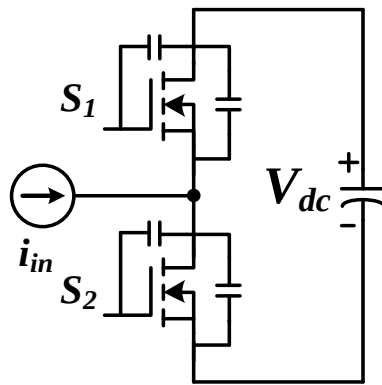


图 2-2 多电平的基本单元

由图 2-1 所示的基本多电平拓扑结构,可抽象出如图 2-2 所示的基本单元,此基本单元包括一个输入电流源 i_{in} 、两个开关器件 S_1 、 S_2 构成的一个桥臂与一个直流电压 V_{dc} 。对

于 CHB 拓扑结构, 此电压为各个单元的直流电压; 对于 FC 拓扑而言, 此电压指相邻两个飞跨电容电压之差。由于基本单元是一个两电平桥臂, 所以借助两电平的损耗分析方法, 即可得到基本单元的损耗。氮化镓器件由于良好的反向恢复特性, 反向恢复损耗可以忽略。因此在硬开关的情况下, 基本单元的损耗主要包括导通损耗、驱动损耗、开关损耗以及容性损耗, 下面将逐一进行分析。

2.1.2 导通损耗与驱动损耗

导通损耗是电流流过器件的导通电阻产生的热损, 因此主要与电流有效值以及器件的导通电阻相关。在任意时刻, 电流只能流过同一桥臂上的一个开关管。因此对于一个桥臂, 总导通损耗可由式(2-1)给出。

$$P_{con} = k_{temp} k_{dyn} I_{in}^2 R_{ds_on} \quad (2-1)$$

其中 R_{ds_on} 表示器件在 25°C 时的导通电阻, 由数据手册给出。

氮化镓器件具有正温度特性, 温度升高, 自身导通电阻增大。由于实际工作时自身温度会高于常温, 因此不同温度下的导通电阻可用常温导通电阻乘以比例系数 k_{temp} 进行表示, 此系数通常也可从器件的数据手册中获得。

相较于常导通状态, 氮化镓器件在开关工作状态下, 等效导通电阻会增大。这被称为氮化镓器件的动态电阻特性。对于低压氮化镓器件, 等效导通电阻等于常导通时的电阻乘以系数 k_{dyn} , 此系数由文献给出^[29]。

在器件开通过程中, 门极电压会从零充电到额定驱动电压 V_{gs} 。若用电压源给门极充电, 由于充电电荷保持不变, 所以门极吸收的能量为 $0.5V_{gs}Q_g$, 而电压源释放出的能量为 $V_{gs}Q_g$ 。这表明充电一次, 损失 $0.5V_{gs}Q_g$ 的能量。每个器件开通与关断各损失 $0.5V_{gs}Q_g$ 的能量, 因此一个桥臂, 一次完整的开关周期损失的能量为 $2V_{gs}Q_g$ 。对于一个桥臂, 所需驱动损耗可以用式(2-2)表示。

$$P_{dri} = 2V_{gs}Q_g f_s \quad (2-2)$$

2.1.3 开关损耗

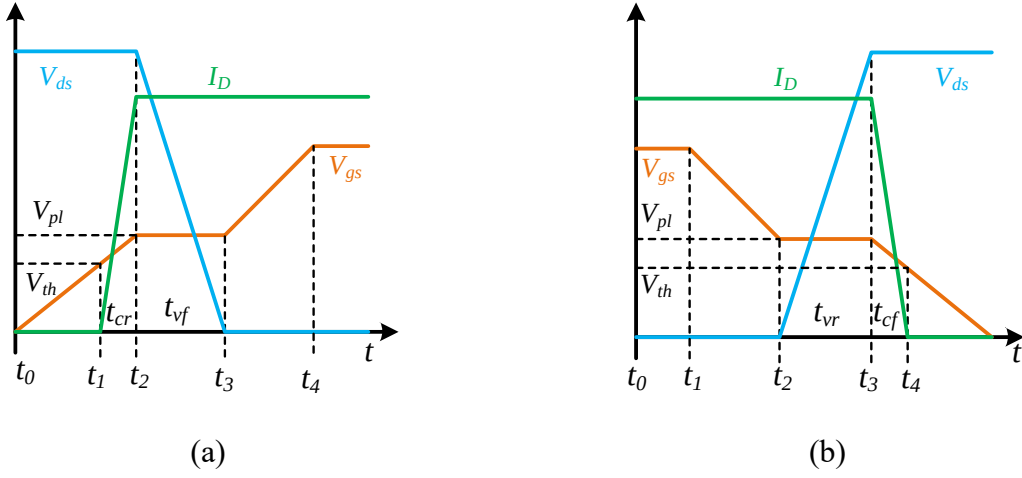


图 2-3 分段线性模型(a)开通(b)关断

为了便于计算,开关损耗采用如图 2-3 所示的分段线性模型^{[30][31]}。以开通为例,主要分为以下四个阶段:

$(t_0 < t < t_1)$ 为第一阶段,是门极电压从零上升到阈值电压 V_{th} 的过程。在这一阶段中,器件并未导通,沟道电流为零,因此这一阶段并不产生开关损耗。

$(t_1 < t < t_2)$ 为第二阶段,是门极电压从阈值电压 V_{th} 上升至米勒平台电压 V_{pl} 的过程。此过程中沟道电流上升,开关管两端电压保持直流母线电压不变,因此电压与电流就会产生交叠,进而产生损耗。在这段交叠时间内,驱动电流主要给 C_{gs} 充电,充电的电荷量用 Q_{gs2} 进行表示,此电荷量可通过数据手册查到。于是第二阶段的交叠时间 t_{cr} 可通过 Q_{gs2} 除以充电电流得出。

$(t_2 < t < t_3)$ 为第三阶段,此时沟道电流已经达到负载电流,门极电压处于米勒平台,开关管漏极(Drain)与源极(Source)两端电压开始下降。此阶段主要是驱动电流对 C_{gd} 进行充电,充电的电荷量用 Q_{gd} 进行表示。第三阶段的交叠时间同样可以通过电荷量 Q_{gd} 除以充电电流得出。

$(t_3 < t < t_4)$ 为第四阶段,门极电压逐渐充电至驱动电压 V_{dri} ,由于开关管两端电压已经降为零,这一阶段不产生开关损耗。整个开通过程,损耗主要集中在第二与第三阶段。关断过程基本类似,在此不再赘述。于是开关一次的能量可由式(2-3)表示。

$$\begin{cases} E_{on} = \frac{V_{dc} I_{in}}{2I_g} (Q_{gs2} + Q_{gd}) \\ E_{off} = \frac{V_{dc} I_{in}}{2I_g} (Q_{gs2} + Q_{gd}) \end{cases} \quad (2-3)$$

对基本单元而言，若电流方向与图 2-2 所示参考方向一致，则 S_1 为续流管，不考虑其开关损耗。对于一个桥臂，所产生的开关损耗如式(2-4)所示，其中 $k_g=1/I_g$ 。

$$P_{sw} = k_g V_{dc} I_{in} (Q_{gs2} + Q_{gd}) f_s \quad (2-4)$$

2.1.4 容性损耗

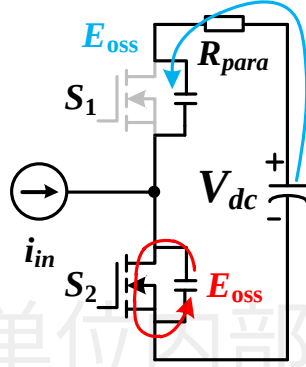


图 2-4 硬开通的容性损耗

在硬开关的情况下，不仅需要考虑分段线性模型得出的开关损耗，同时也需要考虑容性损耗。图 2-4 给出了下管硬开通时的容性损耗情况。在下管硬开通时，原本储存在下管结电容上的能量通过沟道损耗殆尽。根据基尔霍夫电压定律，上管的结电容需要从零电压充电至母线电压。由于硬开关的速度非常快，需要的瞬时充电电流较大，而输入电流相对较小，因此主要靠母线的大电容对结电容进行充电。此时充电的模式与前文驱动损耗类似，都等效为电压源对电容充电。母线电容提供的能量为 $2E_{oss}$ ，上管结电容获得了 E_{oss} 的能量，剩余 E_{oss} 的能量则在通过回路寄生电阻时被耗散掉。从以上分析得知，下管硬开通一次，基本单元损耗的能量为 $2E_{oss}$ 。其中一半损耗于下管的沟道，另一半则损耗于线路的寄生电阻。

在下管硬关断的时刻，输入的电​​流源对两个电容进行充放电。假定两电容的电容值相同，则给单个电容充电的电流是输入电流的一半。根据电荷关系可知，充电完成后，输入

电流源提供了 $2E_{oss}$ 的能量, 上管结电容失去的能量为 E_{oss} , 下管结电容获得的能量为 E_{oss} , 同时母线电容获得了 $2E_{oss}$ 的能量, 系统没有能量损耗。因此下管硬关断的时候, 不考虑容性损耗。

对基本单元而言, 总容性损耗等于下管硬开通时产生的容性损耗, 因此可以用式(2-5)进行表示, 其中 Q_{oss} 为输出电荷, 由数据手册给出。

$$P_{oss} = 2E_{oss} f_s = V_{dc} Q_{oss} f_s \quad (2-5)$$

2.1.5 基本单元最小损耗

把前文所述各个损耗相加即可得到基本单元的器件总损耗模型。由于器件数量众多, 且每一个器件都需要将其参数带入此损耗模型才可得到对应的损耗, 选择一个合适的器件所需的计算量较大。

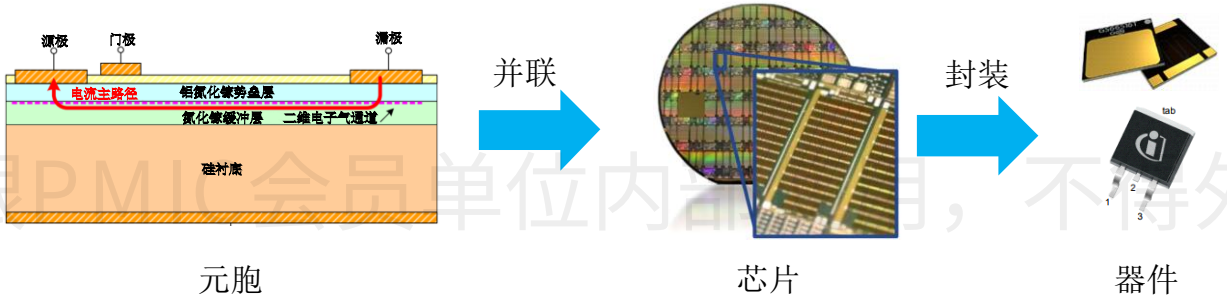


图 2-5 器件的构成

氮化镓器件通常由芯片经过封装等工艺获得, 而芯片则由相应的元胞并联构成, 如图 2-5 所示。采用相同元胞的器件, 其特性相同。FoM (Figure of Merit) 作为表征此特性的参数之一, 最早由 Baliga 提出^[32]。在相同耐压下, 同一个系列的器件通常工艺相同, 因此其 FoM 基本相同。将前述损耗通过 FoM 进行表示后, 即可大幅减少计算量^{[33][34]}。开关损耗与容性损耗采用 FoM 后可以表示为式(2-6)所示的形式。

$$\begin{cases} P_{sw} = k_g V_{dc} I_{in} FoM_{HS} f_s / R_{ds_on} \\ P_{oss} = V_{dc} f_s FoM_{oss} / R_{ds_on} \end{cases} \quad (2-6)$$

其中 $FoM_{HS} = (Q_{gs2} + Q_{gd}) R_{ds_on}$; $FoM_{oss} = Q_{oss} R_{ds_on}$ 。

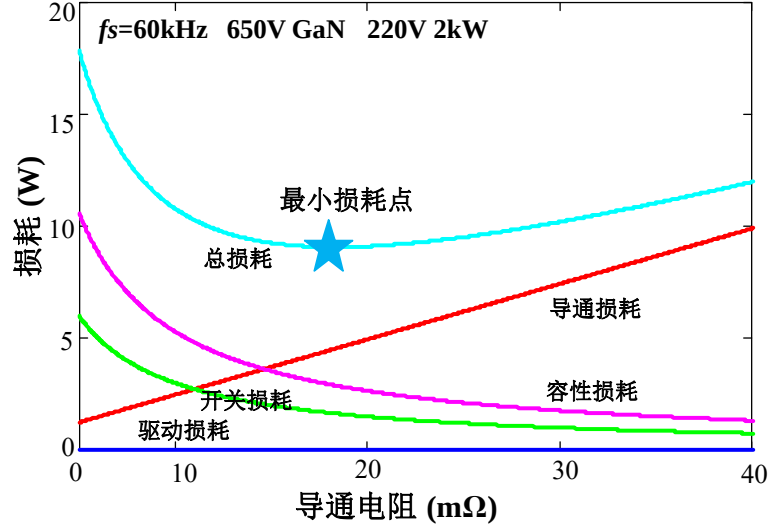


图 2-6 基本单元的损耗分布情况

根据前文的分析可得基本单元的损耗分布情况，如图 2-6 所示。图中红色实线表示导通损耗，粉色实线表示容性损耗，绿色实线表示开关损耗，深蓝色为驱动损耗，浅蓝色是将以上损耗相加所得的总损耗。由此可见，驱动损耗在开关频率不高的情况下，相比其它损耗，占比非常小，因此后文将忽略驱动损耗进行分析。此图可见基本单元最小损耗在 60kHz 开关频率下达到了 0.5%，在一定程度上佐证了采用氮化镓器件的硬开关两电平 PFC，为了达到 99% 的效率，开关频率通常选择 100kHz 以内。为使系统效率最高，在同一个系列的器件中，优先选择损耗最小的型号，即图 2-6 中用五角星标出的最小损耗所对应的器件。此最小值点所对应的导通电阻可以是单个器件的导通电阻，也可以是多个器件并联的等效导通电阻。

在忽略了驱动损耗后，把导通损耗、开关损耗以及容性损耗相加，所得总损耗可由式 (2-7) 进行表示。

$$\begin{cases} P_{\text{GaN}} = k_{\text{temp}} k_{\text{dyn}} I_{\text{in}}^2 R_{\text{ds_on}} + V_{\text{dc}} (I_{\text{in}} k_g F_o M_{\text{HS}} + F_o M_{\text{oss}}) f_s / R_{\text{ds_on}} \\ \quad = A R_{\text{ds_on}} + B / R_{\text{ds_on}} \\ A = k_{\text{temp}} k_{\text{dyn}} I_{\text{in}}^2 \quad B = V_{\text{dc}} (I_{\text{in}} k_g F_o M_{\text{HS}} + F_o M_{\text{oss}}) f_s \end{cases} \quad (2-7)$$

此式表明，总损耗前半部分与导通电阻成正比，后半部分与导通电阻成反比，根据基本不等式 $A + B \geq 2\sqrt{AB}$ 即可得到损耗的最小值。最小值的形式由式 (2-8) 给出。

$$P_{\text{GaN_min}} = 2I_{\text{in}} \sqrt{V_{\text{dc}} k_{\text{temp}} k_{\text{dyn}} (k_g I_{\text{in}} F_o M_{\text{HS}} + F_o M_{\text{oss}}) f_s} \quad (2-8)$$

2.2 基于 NFoM 的统一最小损耗模型

2.2.1 最小损耗模型的简化

前文分析了多电平基本单元的损耗，由式(2-8)可见， FoM 越小，最小损耗越小。但是 FoM 越小通常器件耐压越低，低压器件需要串联才能在高压场合使用，因此为了得到所有器件的总损耗，必须考虑串联器件的数量。为了简化分析，不妨认为 N 颗器件直接串联，同时开通同时关断。结构可以用图 2-7 进行表示。

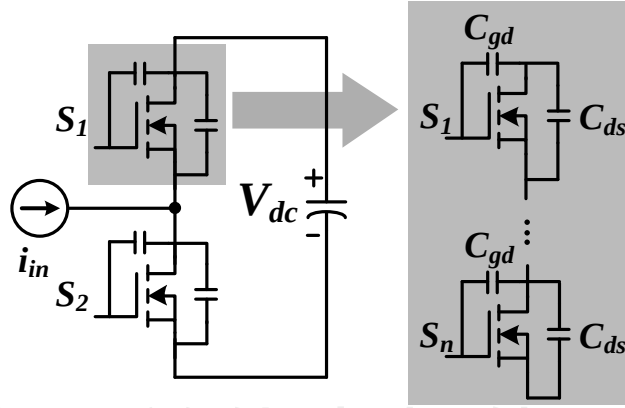


图 2-7 N 个器件直接串联的结构

对每个单独的器件，都可以采用前文得到的基本单元最小损耗进行分析，其中直流电压的值取为 V_{dc}/N 即可。对于器件总损耗，则再乘以串联的器件数量 N 即可得到，表达式如式(2-9)所示。

$$\begin{aligned}
 P_{GaN_min} &= 2NI_{in} \sqrt{\frac{V_{dc}}{N} k_{temp} k_{dyn} (k_g I_{in} FoM_{HS} + FoM_{oss}) f_s} \\
 &= 2I_{in} \sqrt{NV_{dc} k_{temp} k_{dyn} (k_g I_{in} FoM_{HS} + FoM_{oss}) f_s}
 \end{aligned} \tag{2-9}$$

由此损耗模型可见，若采用更低 FoM 的低压器件， FoM 虽然变小，但是需要串联的数量 N 却增大，此模型无法直观地表示器件总损耗的变化趋势。为了实现效率优化与拓扑电平数量的优选，不得不用穷举法对不同电平下不同电压等级的 GaN 器件分别计算损耗。因此，可选的电平数越多，损耗计算量越大。

仔细思考不难发现，串联的器件数量 N 影响电压应力，电压应力影响 FoM ，所以 FoM 与 N 之间是有耦合关系的，如果将电压应力提取出来，即可进一步简化模型，从而得到更为简单的结论。

从 FoM 的定义出发, FoM_{oss} 是 Q_{oss} 与导通电阻的乘积, 其中 Q_{oss} 可以表示成 C_{oss} 与电压应力的乘积。因此 FoM_{oss} 可以直接提取出电压应力。

FoM_{HS} 包含两个部分, Q_{gd} 与 Q_{gs2} , 前者可以表示成 C_{gd} 与电压应力的乘积, 因此可以直接将电压应力提取出。后者是门极相关参数, 与电压应力并无直接关系。但幸运的是, 对氮化镓器件而言, Q_{gd} 与 Q_{gs2} 大致成比例。对于 100V4m Ω 的器件, 二者的比值 k_{g2d} 由图 2-8 (a) 给出。将 Q_{gs2} 简化为 $k_{g2d} * Q_{gd}$, 则简化后的开关损耗与普通的分段线性模型相比, 误差由图 2-8 (b) 表示。由此可知, 对于目前市面上的氮化镓器件, 这种简化方法在开关损耗上的误差不超过 10%, 对总损耗的影响则更小。

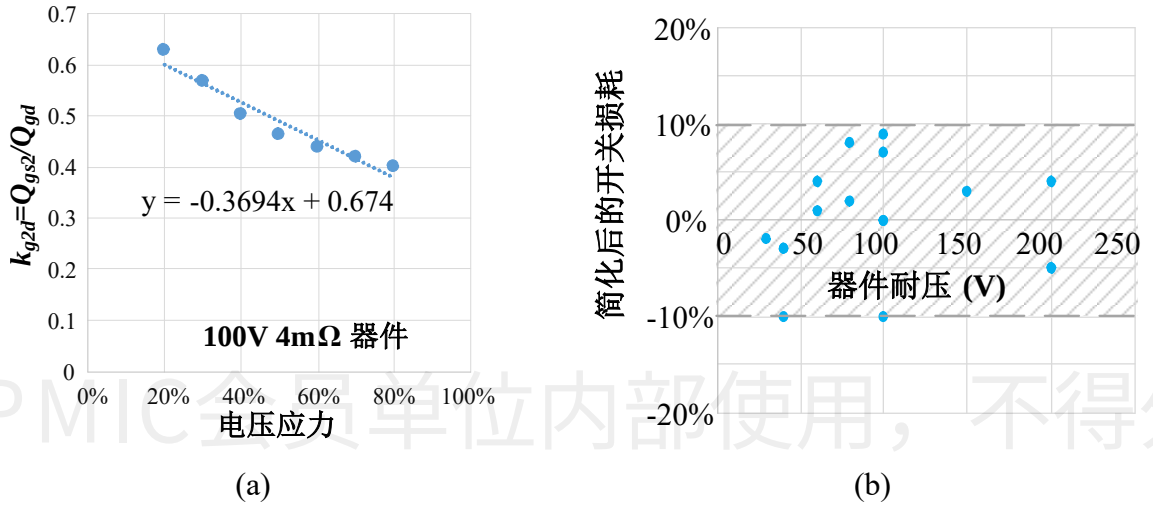


图 2-8 FoM_{HS} 的简化(a) Q_{gs2} 与 Q_{gd} 的比值(b)简化后开关损耗的误差

根据之前的简化步骤, 即可将电压应力从 FoM_{HS} 与 FoM_{oss} 中提取出, 表达式如(2-10)所示。出于电容非线性的考虑, 表达式中的电容值对应取为电荷等效电容值 $C_{gd(tr)}$ 与能量等效电容值 $C_{oss(er)}$ 。

$$\begin{cases} FoM_{HS} = \frac{V_{dc}}{N} (1 + k_{g2d}) C_{gd(tr)} R_{ds_on} \\ FoM_{oss} = \frac{V_{dc}}{N} C_{oss(er)} R_{ds_on} \end{cases} \quad (2-10)$$

将式(2-10)代入式(2-9)中, 即可得到简化的最小总损耗, 结果由式(2-11)给出。

$$\begin{aligned} P_{GaN_min} &= 2I_{in} \sqrt{NV_{dc} k_{temp} k_{dyn} (k_g I_{in} \frac{V_{dc}}{N} (1 + k_{g2d}) C_{gd(tr)} R_{ds_on} + \frac{V_{dc}}{N} C_{oss(er)} R_{ds_on}) f_s} \\ &= 2I_{in} V_{dc} \sqrt{k_{temp} k_{dyn} (k_g (1 + k_{g2d}) I_{in} C_{gd(tr)} R_{ds_on} + C_{oss(er)} R_{ds_on}) f_s} \end{aligned} \quad (2-11)$$

2.2.2 统一的器件损耗模型

经过化简，最小损耗表达式不再与传统 FoM 所定义的 Q 与 R 的乘积相关，而是与 C 与 R 的乘积相关。为了进一步简化损耗表达式，FoM 需要采用全新的定义，采用 C 乘以 R 的形式，这种形式被称为 NFoM(New Figure of Merit)^{[35][36]}。

如此便可在式(2-11)的基础上，得到用 NFoM 表示的最小损耗模型，如式(2-12)所示。

$$P_{\text{GaN_min}} = 2V_{\text{dc}} I_{\text{in}} \sqrt{k_{\text{temp}} k_{\text{dyn}} (k_g (1 + k_{g2d}) I_{\text{in}} \text{NFoM}_{\text{sw}} + \text{NFoM}) f_s} \quad (2-12)$$

其中 $\text{NFoM}_{\text{sw}} = C_{\text{gd(tr)}} R_{\text{ds_on}}$; $\text{NFoM} = C_{\text{oss(er)}} R_{\text{ds_on}}$ 。

对于目前市面上的低压氮化镓与硅器件，其单位面积导通电阻与耐压的关系，可由图 2-9 进行表示。黑色三角表示目前的硅器件，可见硅器件已经基本接近物理极限，单位面积导通电阻与耐压的 2.5 次方大致成正比。图中对目前市面上三代的氮化镓器件进行了标注，虽然新一代产品的单位面积导通电阻有所下降，但氮化镓器件离极限仍有非常大的距离，因此导通电阻与耐压的关系不能通过理论极限得出，需要进行拟合^{[37][38][39]}。

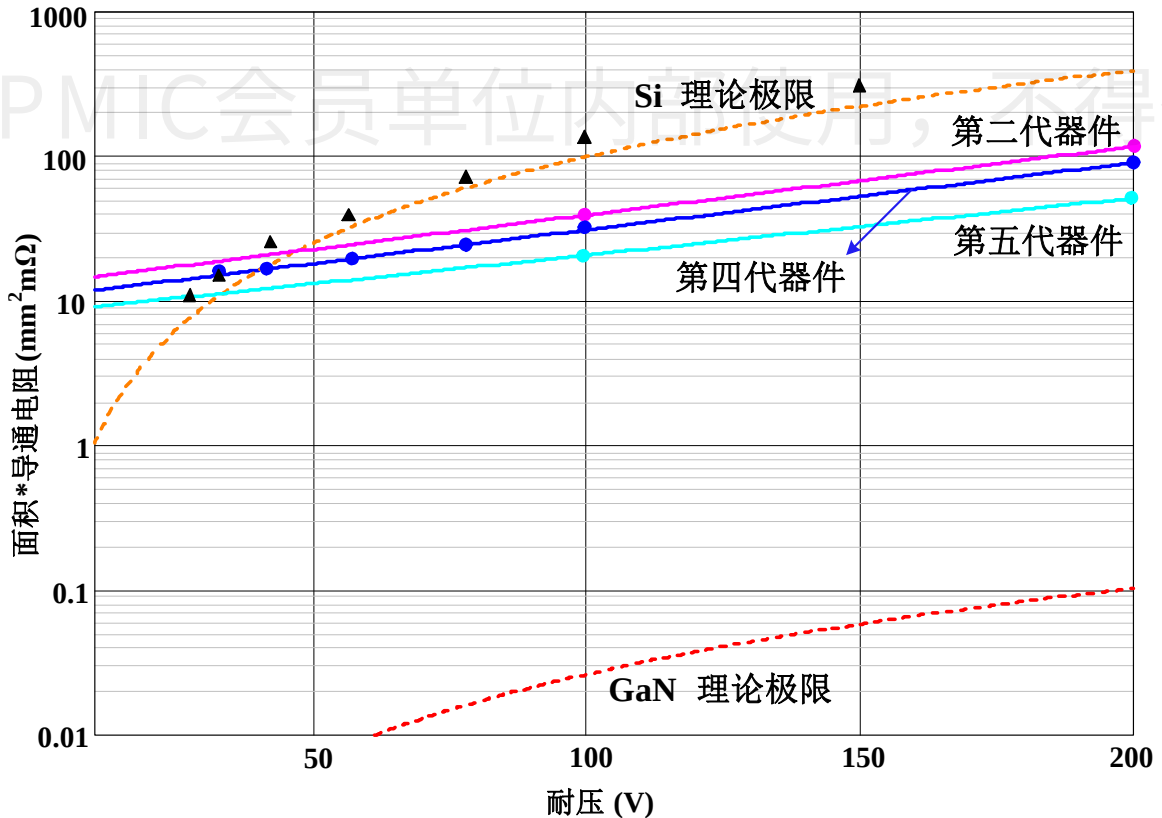
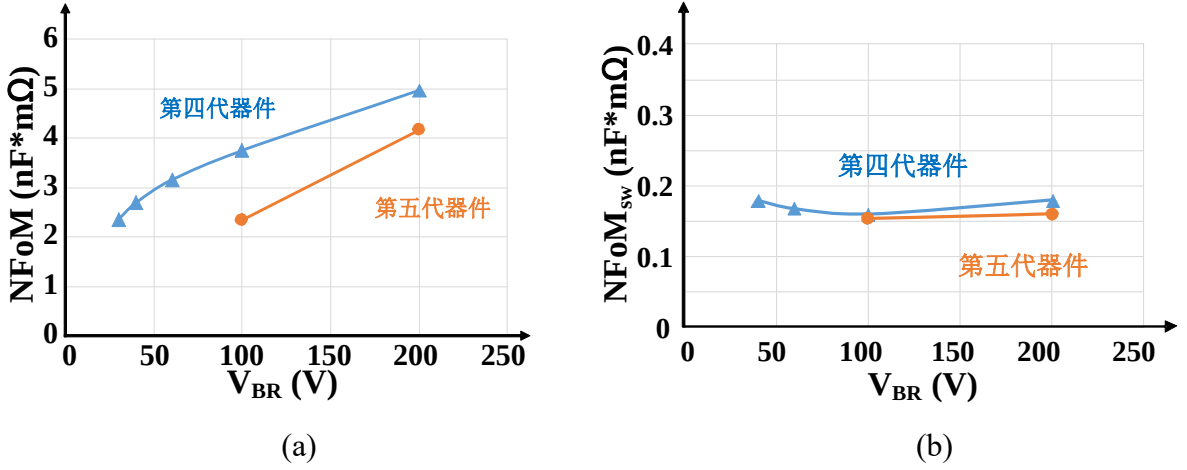


图 2-9 不同耐压下氮化镓器件单位面积导通电阻

图 2-10 器件品质因数 (a)NFO M (b)NFO M_{sw}

根据曲线拟合, 可得氮化镓器件的单位面积导通电阻与耐压的 0.8 次方大致成正比, 而器件门极(Gate)与漏极(Drain)间的单位面积电容又与耐压的 0.8 次方大致成反比^[40]。因此二者乘积随耐压的变化不大, 如图 2-10 (b)所示。因此, 本文将 $NFO M_{sw}$ 看作常数。简化后的最小损耗模型, 由式(2-13)给出。

$$P_{GaN_min} = 2V_{dc} I_{in} \sqrt{k_{temp} k_{dyn} (I_{in} k_{sw} NFO M_{sw} + NFO M) f_s} \quad (2-13)$$

其中 $k_{sw} = k_g(1 + k_{g2d})$ 。

最小损耗对应的导通电阻值可结合式(2-7)与基本不等式 $A + B \geq 2\sqrt{AB}$ 中 $A=B$ 的最值条件推导出, 结果如式(2-14)所示。

$$R_{ds_on} = \frac{V_{dc}}{I_{in}} \sqrt{\frac{(I_{in} k_{sw} NFO M_{sw} + NFO M) f_s}{k_{temp} k_{dyn}}} \quad (2-14)$$

$$P_{GaN} = k_{temp} k_{dyn} I_{in}^2 N R_{ds_on} + V_{dc}^2 (I_{in} k_{sw} NFO M_{sw} + NFO M) f_s / N R_{ds_on} \quad (2-15)$$

此导通电阻可为单个器件的导通电阻, 也可以是多个器件并联的等效导通电阻。对于其它阻值对应的损耗情况, 则由表达式(2-15)给出。

由前文的讨论可知, 根据式(2-13)表示的简化最小损耗模型, 可得如下两个结论:

- 1) N 个器件串联的最小总损耗只与单个器件的 NFO M 相关, 与器件的串联数量没有关系。
- 2) 此模型适用于单独的基本单元或者 N 颗器件直接串联, 且形式完全统一, 因此将其称之为统一的器件最小损耗模型。

2.3 CHB 的优化设计方法

2.3.1 选择 CHB 的原因

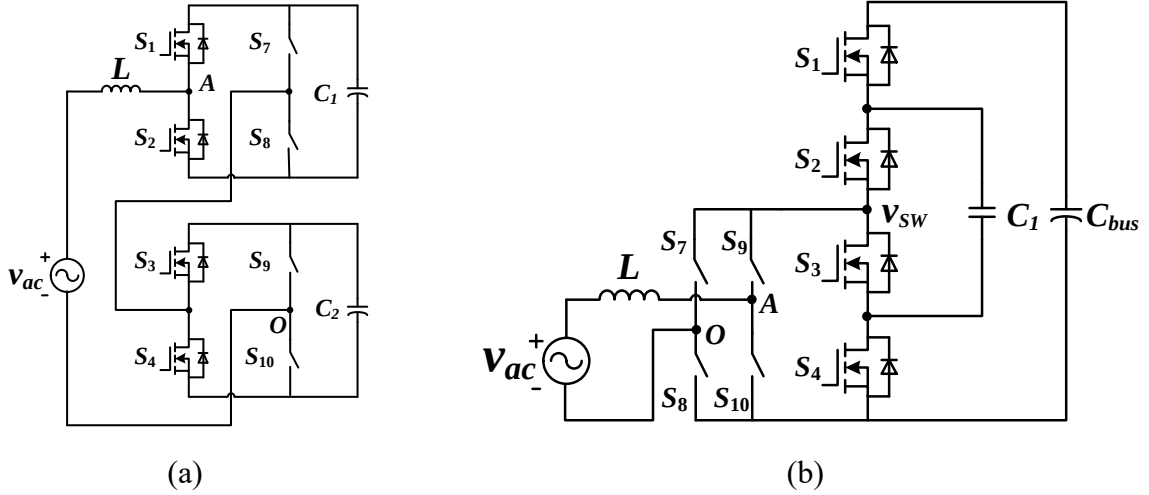


图 2-11 交流输入 CHB 与 FC 五电平拓扑 (a)CHB (b)FC

图 2-1 所示的四种基本拓扑中，NPC 有额外的二极管，损耗更大；MMC 需要的器件数量是 CHB 的两倍，所以只需考虑在 FC 与 CHB 中进一步选择。图 2-11 给出了交流输入时 FC 与 CHB 两种拓扑对应的五电平结构。在 FC 拓扑中 v_{sw} 对母线地之间只能产生正电压，可以通过加入工频桥臂或者将母线中点作为电位零点的方式产生负压。后者需要两倍的母线电压，因此选择加入工频桥臂的方法。为了公平对比，CHB 右半桥臂工作在工频状态^[41]。

在母线电压相同的条件下，二者所使用的器件 NFoM 相同，根据前文推导的损耗模型，二者高频部分损耗相同。工频部分在导通电阻相同的情况下，损耗也基本相同。所以 CHB 与 FC 所能达到的最高效率相同，但是 CHB 还具备额外的模块化的优点，并且可以通过增加冗余模块来增加系统可靠性。对于 FC 拓扑，假设 S_2 损坏短路，当 S_3 导通时 C_1 的电压就会快速下降至零。同时由于 S_1 的电压应力为两电容之差，所以 S_1 的电压应力会变为稳态的两倍，进而过压击穿。对于更多电平的结构同理，只要一个器件损坏，所有器件都会损坏。而 CHB 在不加入冗余单元的条件下，每个器件的电压应力由各自的母线电容钳位，不会出现与 FC 一样器件电压应力突变的情况。所以 CHB 的可靠性更高。综合考虑以上情况，本文将选择 CHB 作为后续的研究对象。

2.3.2 工作模式

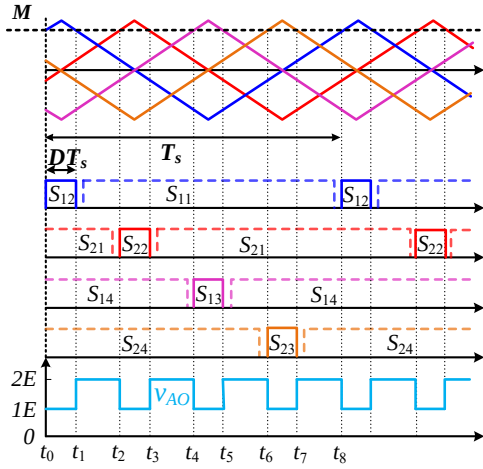


图 2-12 AO 电压为 E 与 2E 时的波形

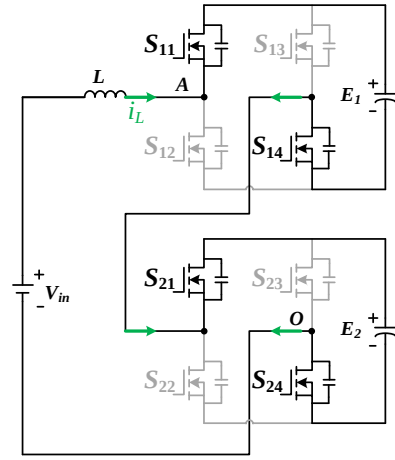
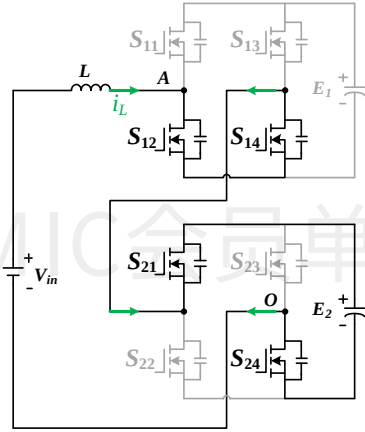
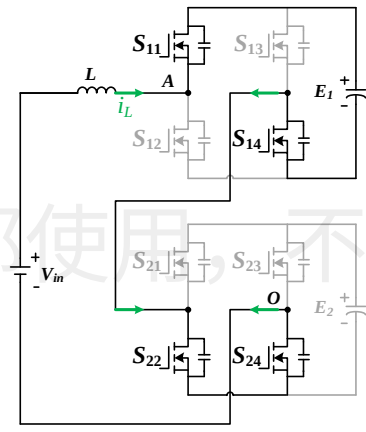


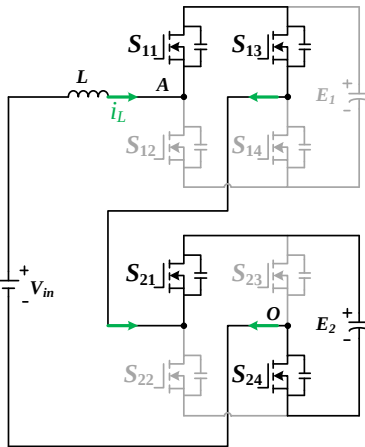
图 2-13 2E 电平模式



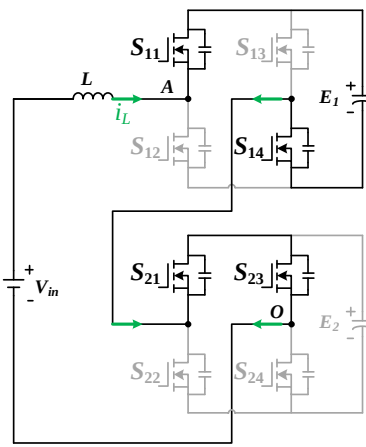
(a)



(b)



(c)



(d)

图 2-14 E 电平模式 (a)模式 1 (b)模式 2 (c)模式 3 (d)模式 4

为了将前文基于 N 颗器件直接串联的最小损耗模型应用在 CHB 中, 需要先分析 CHB 的模式。出于简化分析的考虑, 本文主要介绍两个单元 CHB 的模式, n 个单元模式类似, 不再赘述。为了充分降低电感的伏秒, 在此拓扑中, 所有器件均处在高频工作状态, 并且采用载波移相的调制策略来提高等效开关频率。由于正负半周的对称性, 在此只讨论正半周的模式, 负半周同理, 不再赘述。PFC 的输入电压工频变化, 在一个开关周期内可近似看作恒压源。前文提到, 为了降低电感的伏秒, 电感两端电压在稳态不会超过一个单元的母线电压 E 。所以当输入电压高于 E 时, AO 两点间电压会在 E 与 $2E$ 之间变化, 相应的时序如图 2-12 所示。

当 $(t_0 < t < t_1)$ 时: 第一个单元中两下管导通, 第二个单元中 S_{21} 与 S_{24} 导通, 如图 2-14 (a) 所示。此时第一个单元中桥臂中点被短路, 电压保持为零, 第二个单元中桥臂中点电压为该单元的母线电压。在母线均压的条件下, AO 之间电压保持为 E 不变, 因为输入电压高于 E , 电感电流此时线性增加。此模式与普通的 Boost 第一阶段模式较为相似。

当 $(t_1 < t < t_2)$ 时: 第一个单元中 S_{12} 关断, S_{11} 导通, 右桥臂保持下管导通不变。第二个单元状态保持不变, 此时 AO 之间的电压从第一阶段的 E 上升至 $2E$, 如图 2-13 所示。此模式与普通的 Boost 第二阶段较为相似, 输入电压小于 AO 之间的电压, 电感电流线性下降。

当 $(t_2 < t < t_3)$ 时: 第二个单元中 S_{21} 关断, S_{22} 导通, 其它桥臂状态保持不变, 如图 2-14 (b) 所示。第一个单元中桥臂中点电压为 E , 第二个单元中桥臂中点被短路, 电压为零。因此 AO 间电压从 $2E$ 下降至 E , 电感电流线性上升。

当 $(t_3 < t < t_4)$ 时: 第二个单元中 S_{22} 关断, S_{21} 导通, 其它桥臂状态保持不变, AO 间电压上升至 $2E$, 如图 2-13 所示。

当 $(t_4 < t < t_5)$ 时: 第一个单元中 S_{13} 导通, S_{14} 关断, AO 间电压从 $2E$ 下降至 E , 如图 2-14 (c) 所示。

当 $(t_5 < t < t_6)$ 时: 第一个单元中 S_{13} 关断, S_{14} 导通, 其它桥臂状态保持不变, AO 间电压上升至 $2E$, 如图 2-13 所示。

当 $(t_6 < t < t_7)$ 时: 第二个单元中 S_{24} 关断, S_{23} 导通, AO 间电压从 $2E$ 下降为 E , 如图 2-14 (d) 所示。

当 $(t_7 < t < t_8)$ 时: 第二个单元中 S_{24} 导通, AO 间电压上升至 $2E$, 电感电流线性下降, 如图 2-13 所示。

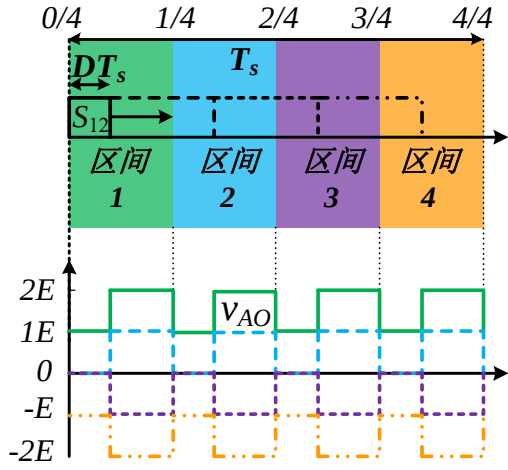


图 2-15 占空比与 AO 电压之间的关系

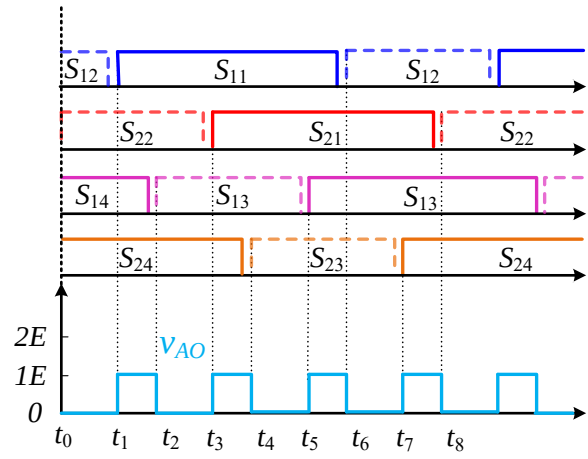
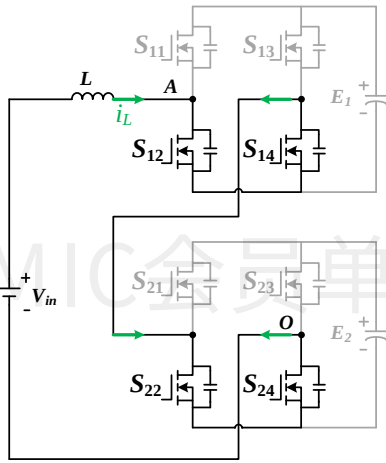
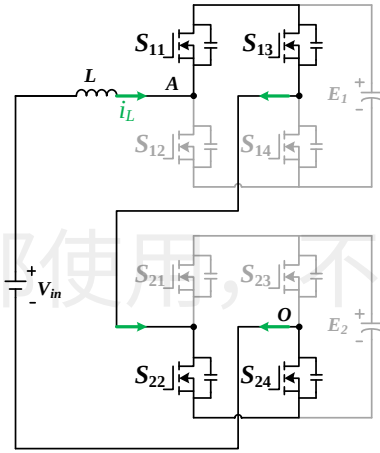


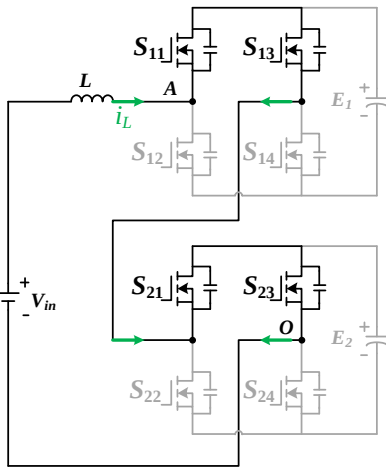
图 2-16 AO 电压为 0 与 E 时的波形



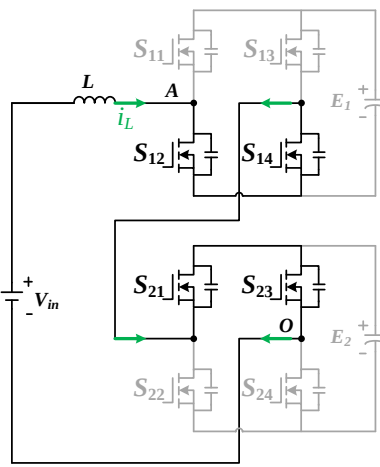
(a)



(b)



(c)



(d)

图 2-17 零电平模态 (a)模态 1 (b)模态 2 (c)模态 3 (d)模态 4

在载波移相的控制下, 占空比决定 AO 之间的电压。当占空比小于 1/4 时, 开关管 S_{12} 的导通时间小于一个区间长度, 处在如图 2-15 的第一个区间, 此时 AO 间电压在 E 与 2E 两个电平之间变化。当占空比在 1/4 与 1/2 之间时, AO 间电压会在 0 与 E 两个电平之间变化。对正半周而言, 占空比不会超过 1/2。

前文分析了占空比小于 1/4 时对应的模式。下面将对占空比在 1/4 与 1/2 之间时的模式进一步分析, 其时序如图 2-16 所示:

当($t_0 < t < t_1$)时: 两个单元都是两下管导通, 如图 2-17(a)所示。AO 被短路, 电压保持为零, 因为输入电压高于零, 所以电感电流线性上升。此模式与普通的 Boost 第一阶段模式较为相似。

当($t_1 < t < t_2$)时: 第一个单元中 S_{12} 关断, S_{11} 导通, 右桥臂保持下管导通不变。第二个单元状态保持不变, 此时 AO 之间的电压上升至 E, 如图 2-14(b)所示。此模式与普通的 Boost 第二阶段较为相似, 输入电压小于 AO 之间的电压, 电感电流线性下降。

当($t_2 < t < t_3$)时: 第一个单元中 S_{14} 关断, S_{13} 导通, 其它桥臂状态保持不变, 如图 2-17(b)所示。此时 AO 被短路, 电压下降为零, 由于正半周输入电压为正, 电感电流线性上升。

当($t_3 < t < t_4$)时: 第二个单元中 S_{22} 关断, S_{21} 导通, 其它桥臂状态保持不变, AO 间电压上升至 E, 如图 2-14(c)所示。

当($t_4 < t < t_5$)时: 第二个单元中 S_{23} 导通, AO 间电压下降为零, 如图 2-17(c)所示。

当($t_5 < t < t_6$)时: 第一个单元中 S_{13} 关断, S_{14} 导通, 其它桥臂状态保持不变, AO 间电压上升至 E, 电感电流线性下降, 如图 2-14(d)所示。

当($t_6 < t < t_7$)时: 第一个单元中 S_{11} 关断, S_{12} 导通, AO 间电压从 E 下降至零, 如图 2-17(d)所示。

当($t_7 < t < t_8$)时: 第二个单元中 S_{24} 导通, AO 间电压上升至 E, 如图 2-14(a)所示。

根据两种情况的模式分析, 不难发现: 对于任何一个开关管, 在一个开关周期内都开通关断一次。由于硬开关速度非常快, 死区时间可取很短, 在此忽略死区时间内电流流过二极管产生的导通损耗, 因此对于载波移相调制的 CHB 拓扑, 可使用前文推得的统一最小损耗模型分析器件损耗。此外, 由于一个单元包含两个桥臂, 所以在数值上, 需要在前文的统一损耗模型上乘以系数 2。

2.3.3 不同单元数对应的最高开关频率

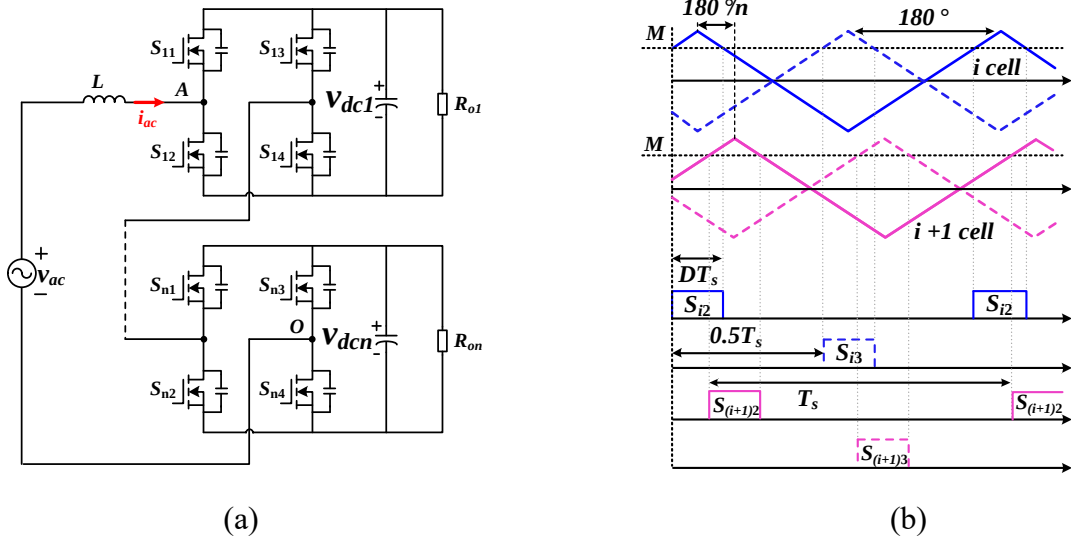


图 2-18 n 个单元的 CHB (a)拓扑结构 (b)第 i 单元与 $i+1$ 单元的调制波形

对于 n 个单元的 CHB，每个单元左右两桥臂的载波相位差为 180° ，相邻单元桥臂的载波相位差为 $180^\circ/n$ ，如图 2-18 所示。由前文模态分析可知，在前文推导的统一最小损耗模型上乘以系数 2 即可得到 n 个单元 CHB 的最小损耗，如式(2-16)所示。

$$\begin{cases} P_{CHB_min} = 4V_{bus_total} I_{in} \sqrt{k_{temp} k_{dyn} (k_{sw} I_{in} N F o M_{sw} + N F o M) f_s} \\ R_{ds_on} = \frac{V_{bus_total}}{I_{in}} \sqrt{\frac{(I_{in} k_{sw} N F o M_{sw} + N F o M) f_s}{k_{temp} k_{dyn}}} \\ P_{CHB} = 2k_{temp} k_{dyn} I_{in}^2 n R_{ds_on} + 2V_{dc}^2 (I_{in} k_{sw} N F o M_{sw} + N F o M) f_s / n R_{ds_on} \end{cases} \quad (2-16)$$

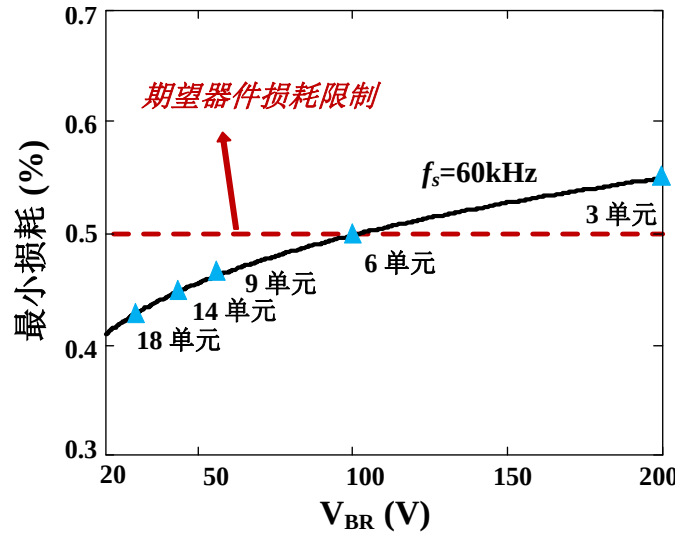


图 2-19 不同耐压器件对应的最小损耗

根据式(2-16)并结合图 2-10,即可得到不同耐压器件所对应的最小损耗,如图 2-19 所示。在开关频率相同的前提下,所用器件的耐压越低,最小总损耗越小。说明在不考虑冗余的条件下,对于 CHB 拓扑结构,单元数越多,最小总损耗越小。

在电路设计时,通常会确定器件的期望损耗限制以满足效率指标要求。以 3/4 载为例,为达 99%以上的转换效率,通常将器件损耗限制在 0.5%以下,如图 2-19 中红色虚线所示。则在 60kHz 的开关频率下,可以选择 6 个单元以上的拓扑结构。除了效率之外,高密度也是重要设计目标之一。对 PFC 主电路而言,功率密度主要取决于电感体积与单元数。电感的体积主要与开关频率以及单元数相关,因此为了获得不同单元数对应的功率密度,需要进一步探究开关频率与单元数之间的对应关系。

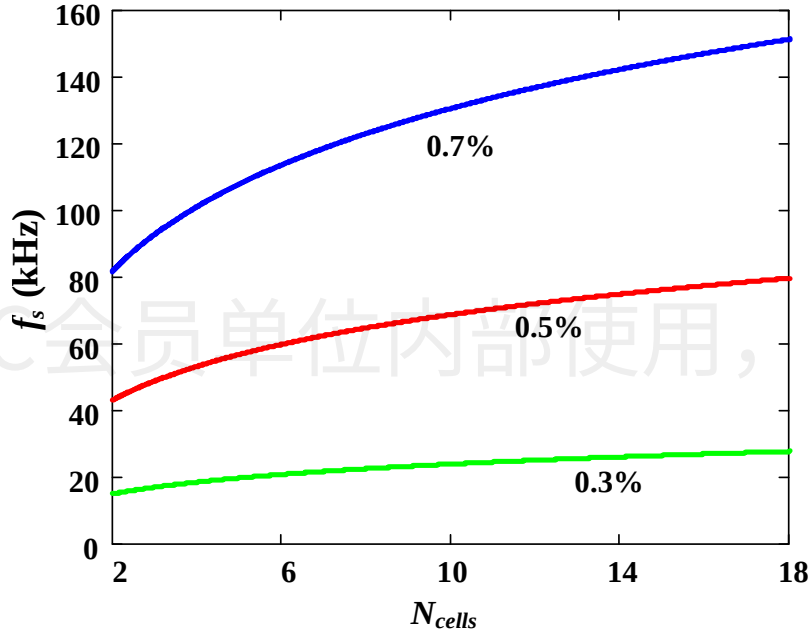


图 2-20 不同单元数对应的最高开关频率

在相同期望损耗限制下,每个单元数对应的开关频率与 NFoM 的关系可由式(2-16)推得,结果如式(2-17)所示,其中 λ 为期望损耗限制百分比。

$$f_s \leq \left(\frac{\lambda P_{in}}{4V_{bus_total} I_{in}} \right)^2 \frac{1}{k_{temp} k_{dyn} (k_{sw} I_{in} NFoM_{sw} + NFoM)} \quad (2-17)$$

根据市面上的第四代器件特性,可以拟合出 NFoM 与单元数的变化关系,进而得出不同单元数对应的最高开关频率,结果如图 2-20 所示。图中给出了期望器件损耗限制分别为 0.3%、0.5%以及 0.7%时对应的最高开关频率。

2.3.4 不同单元数对应的电感量

从简单的角度而言,在满足效率指标的前提下,通常希望单元数尽可能少。由图 2-20 可知,单元数越少,在同一期望损耗限制下,开关频率越低。因此,单元数过少就会使电感体积过大,不利于提升功率密度。为了优选单元数,必须考虑电感的体积。电感体积取决于电感量与峰值电流,而电感量则由其伏秒决定,所以首先考虑电感的伏秒。

当单元数为 N_{cells} 时,可由式(2-18)表示电感的伏秒。

$$\text{Volt-sec} = \frac{V_{bus_total}(1-D_{eq})D_{eq}}{N_{cells}} \frac{1}{2N_{cells}f_s} \quad (2-18)$$

其中 D_{eq} 为等效占空比,与图 2-18(b)中所定义的占空比 D 的关系由式(2-19)给出。此式是一个分段函数, N_{cells} 个单元,需要分 $N_{cells}+1$ 段讨论,式中用不同的自然数 k 表示不同段。

$$D_{eq} = D - \frac{0.5(k-1)}{N_{cells}} \quad (2-19)$$

$$\text{其中 } \frac{0.5(k-1)}{N_{cells}} \leq D \leq \frac{0.5k}{N_{cells}} \quad k=1,2,\dots,2N_{cells}$$

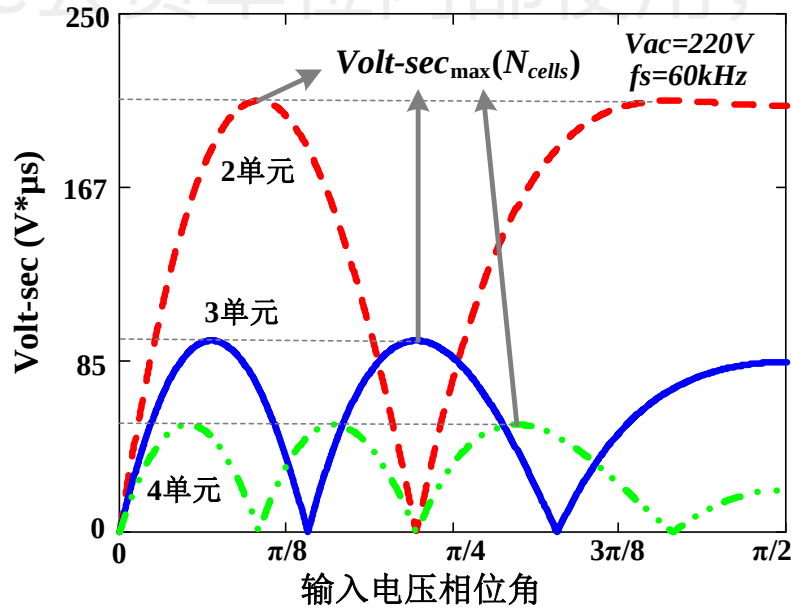


图 2-21 工频周期内电感的伏秒

在一个工频周期内,占空比 D 的最大变化范围为 0~1,大于 0.5 表示工作状态为负半周期,小于 0.5 则表示正半周期。由式(2-18)可知,等效占空比 D_{eq} 等于 0.5 时,电感伏秒

最大。因此对一个单元而言，电感伏秒在占空比 D 等于 0.25 与 0.75 时取得最大值；对两个单元而言，电感伏秒则在占空比 D 等于 0.125、0.375、0.625、0.875 时取得最大值。

结合式(2-18)与式(2-19)，可得整个工频周期内电感的伏秒，如图 2-21 所示。由此可知，最大伏秒与单元数相关。从简单角度考虑，不妨选择一个工频周期内伏秒的最大值进行电感量的设计。因此当单元数为 N_{cells} 时，可得电感量的表达式如式(2-20)所示。由该式可得电感量与单元数的平方成反比。

$$L = \frac{Volt - sec_{max}}{\Delta i_{pk-pk}} = \frac{V_{bus_total}}{8N_{cells}^2 f_s \Delta i_{pk-pk}} \quad (2-20)$$

对于任意一个单元数，在满足效率指标的条件下，为使电感体积尽可能小，式(2-20)中的频率 f_s 取为图 2-20 中的最高开关频率。本文所讨论的 CHB 工作在电流连续模式，最大电流纹波 Δi_{pk-pk} 主要影响电感磁损，可以根据实际所使用的电感确定，本文将其幅值取为满载交流电流峰峰值的 20%。

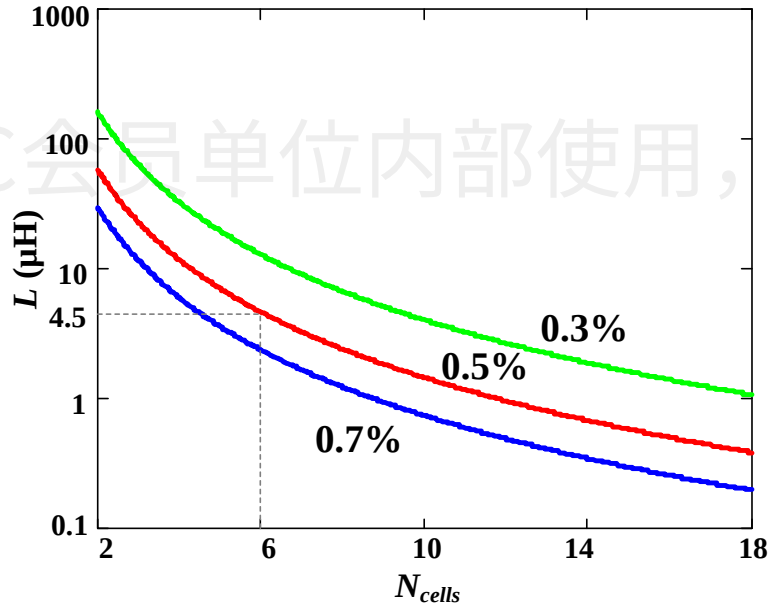


图 2-22 不同单元数对应的电感量

根据前文的分析，图 2-22 给出了不同单元数所对应的电感量。以 6 个单元为例，0.5% 器件期望损耗限制下，对应的电感量约为 4.5μH。如果器件期望损耗限制取其他值，例如 0.3%或 0.7%，则对应的电感量分别由绿色线与蓝色线给出。由图可知，器件的期望损耗限制越大电感量越小。在相同器件期望损耗限制下，单元数越多，电感量越小。

2.3.5 最佳单元数的选择

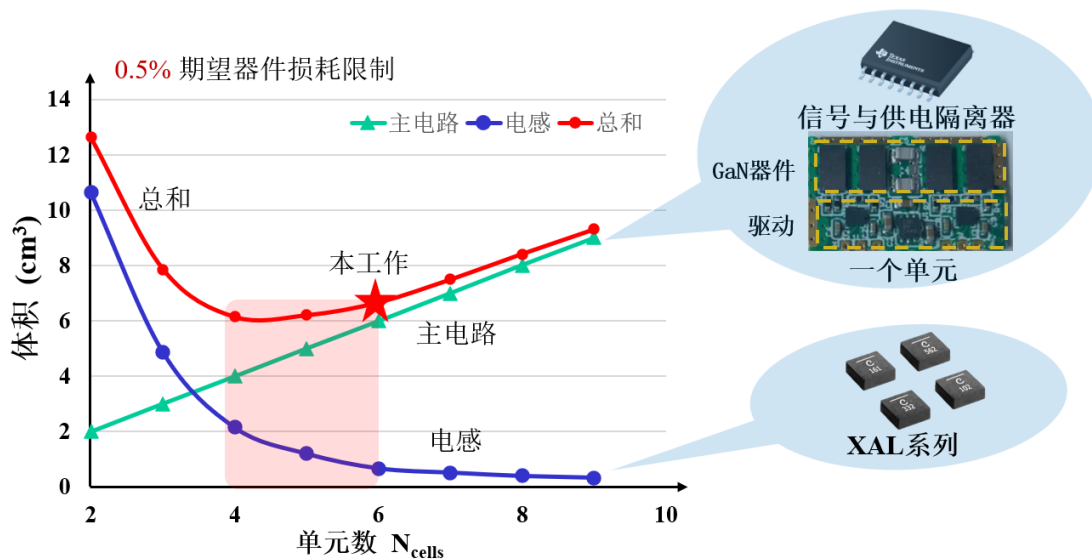


图 2-23 电感与单元元件的总体积

为了优选单元数，需要权衡多电平变换器中电感与所有单元元件的总体积。前文得到了在相同期望损耗下，不同单元数对应的电感量，进而对于线艺 XAL 系列的电感，可得到对应的体积^[42]。对于每个单元，考虑其隔离供电、氮化镓器件以及驱动的体积。图 2-23 给出了 0.5% 器件期望损耗限制下的体积情况，蓝色为电感体积，绿色为每个单元体积，红色为二者总体积。由红色曲线可见，4 到 6 个单元总体积相差不大，推荐在三者中进一步选择。五角星表示本文最终采取了 6 个单元的结构。

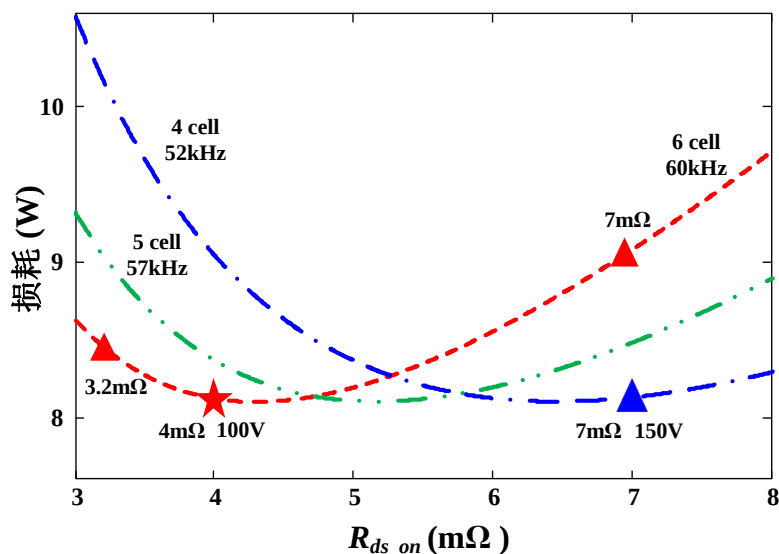


图 2-24 具体器件的选择

4 到 6 个单元都在考虑范围内，在最终选择单元数的时候，将参考这三个单元数所对应的器件在市面上的供应情况。图 2-24 给出了 4、5、6 个单元所对应器件的情况，红色代表 6 个单元，对应 100V 器件；绿色代表 5 个单元，对应 120V 器件；蓝色代表 4 个单元，对应 150V 器件。可见市面上的 120V 器件导通电阻值都过大，不适用于此工况，因此 5 个单元不做考虑。4 个单元与 6 个单元都有对应的器件，4 个单元可以选择 150V 7mΩ 的器件，6 个单元则可以选择 100V 4mΩ 的器件。

氮化镓器件门极的阈值电压很低，为了安全可靠，通常采用市面上专用的驱动器。隔离型的驱动器体积较大，对于非隔离的驱动器，市面上最高耐压只有 100V，如表 2-1 所示。综上所述，本文最终选择 6 个单元的拓扑结构。

表 2-1 氮化镓器件专用半桥驱动器的耐压

元器件型号	耐压	备注
LM5113-Q1	90V	氮化镓器件专用半桥自举驱动器
LMG1205	100V	氮化镓器件专用半桥自举驱动器

2.4 实验结果

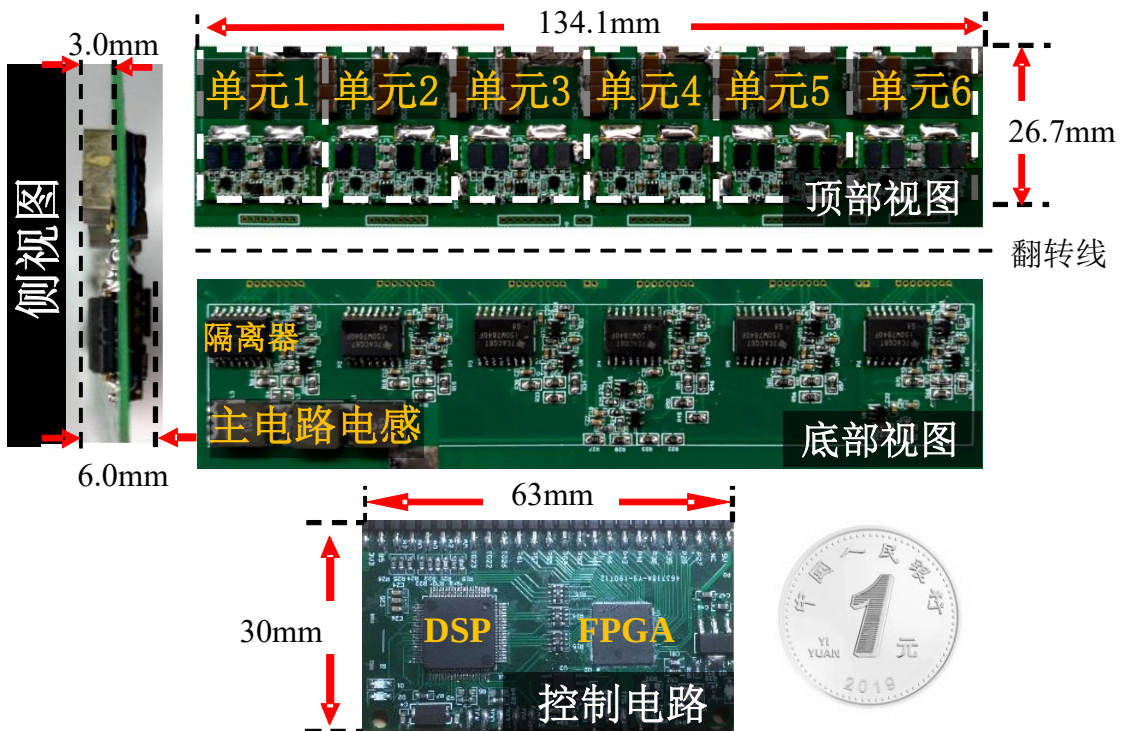


图 2-25 样机照片

表 2-2 样机所用重要元件

开关管	24*EPC2032
电感	3*XAL7030-1.5μH
带供电的隔离器	6*ISOW7840
驱动器	12*LMG1205
电流采样芯片	ACS723
DSP	TMS320F28069
FPGA	AL3S10NG88

表 2-3 实验参数

开关频率	60kHz
直流电压	60V*6
主电感 L	4.5μH
差模滤波电感 L_{dm}	8μH
滤波电容 C_1	620nF
每个单元母线电容 C_{bus}	2.5mF
额定功率	2kW
功率密度（仅主电路）	1500W/in ³
功率密度（含控制）	1050W/in ³

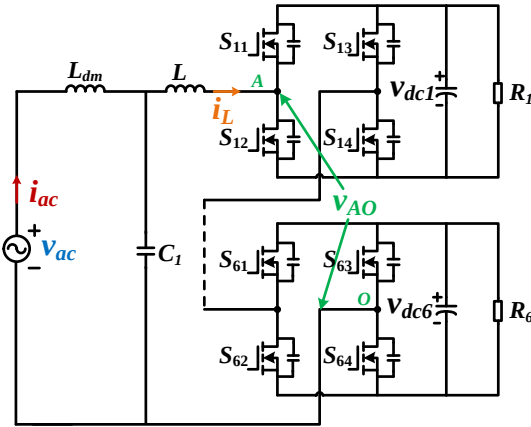


图 2-26 实验所用结构

根据前文的设计方法, 样机采用 $100\text{V } 4\text{m}\Omega$ 的氮化镓器件与 6 个单元的 CHB 拓扑结构。为了充分利用高度, 采用三个 $1.5\mu\text{H}$ 的电感串联。样机照片如图 2-25 所示, 所用元件如表 2-2 所示。

实验所用结构如图 2-26 所示, 每个器件的开关频率为 60kHz , 等效频率为 720kHz 。相关实验参数如表 2-3 所示。另外, 每个直流母线输出都接负载电阻, 并且 6 个负载电阻阻值的最大误差在 5% 以内。

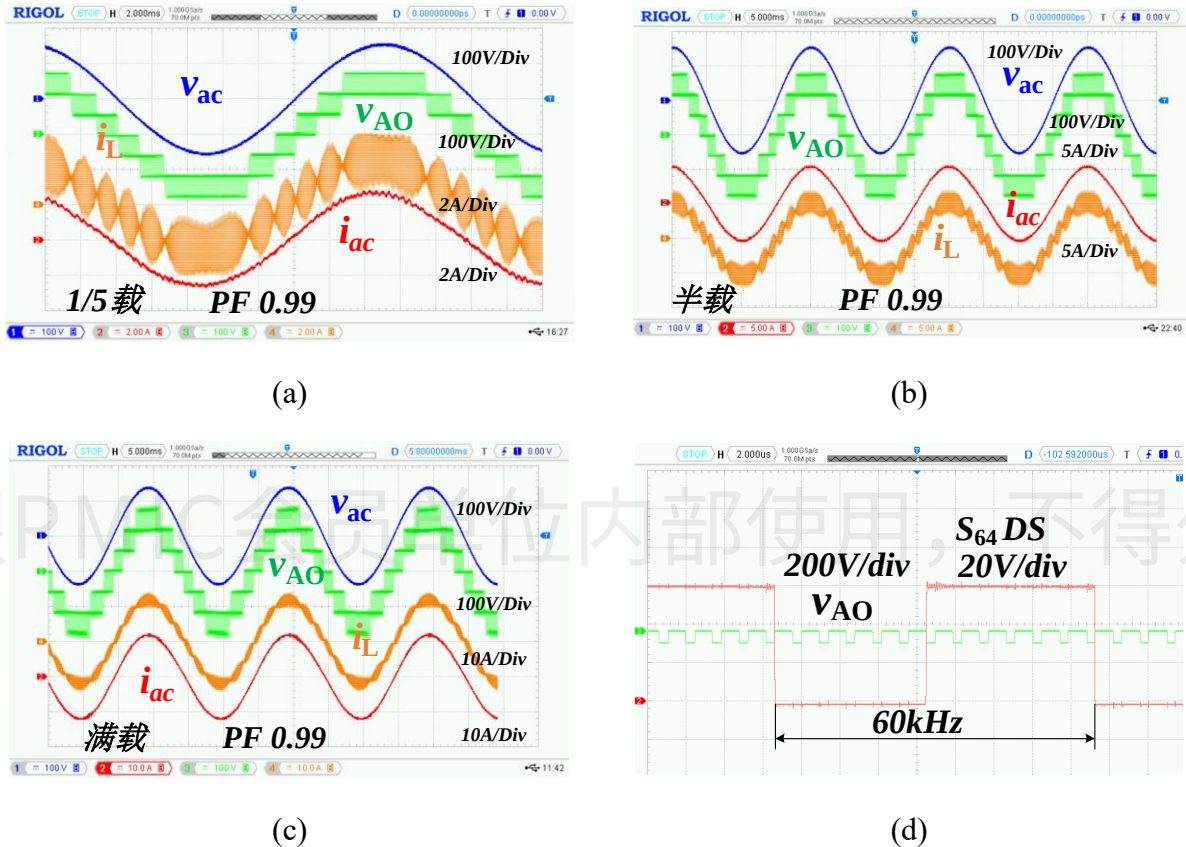


图 2-27 110V 交流实验波形 (a)1/5 载 (b)半载 (c)满载 (d)开关周期波形

图 2-27 展示了 110V 交流输入时的相关实验波形。由于输入允许的最大电流有限, 110V 与 220V 交流输入对应的最大网侧电流相同, 因此 110V 交流输入对应的满载功率为所标额定功率的一半。

在载波移相的调制策略中, 输入电压与 AO 间的电压差不会超过一个电平电压。对于 6 个单元的 CHB, 一个电平电压在 60V 左右。而 110V 交流的峰值电压为 155V , 小于 3 个电平电压。因此由图 2-27 可见, 110V 交流输入时, AO 之间并不会出现全部的电平电压, 而是仅会呈现出 7 个电平。

在 CCM 工作状态下, 电感电流的纹波只与等效占空比以及输出母线电压相关。在输出母线电压不变的前提下, 电感电流在时域上呈现出类似纺锤型的波形。电感电流的纹波不随负载的变化而变化, 由图 2-27 可见, 各个负载下最大电流纹波基本相当。

PFC 最主要的功能是调节电网侧的 PF, 由图 2-27 可见, 在 1/5 载、半载与满载条件下, 电网电流与电网电压之间的相位差都非常小, PF 超过 0.99。

对于开关周期而言, 从图 2-27 (d) 可以明显发现, 每个开关管的开关频率为 60kHz, 经过载波移相控制, 等效频率提高了 12 倍, 达到 720kHz。

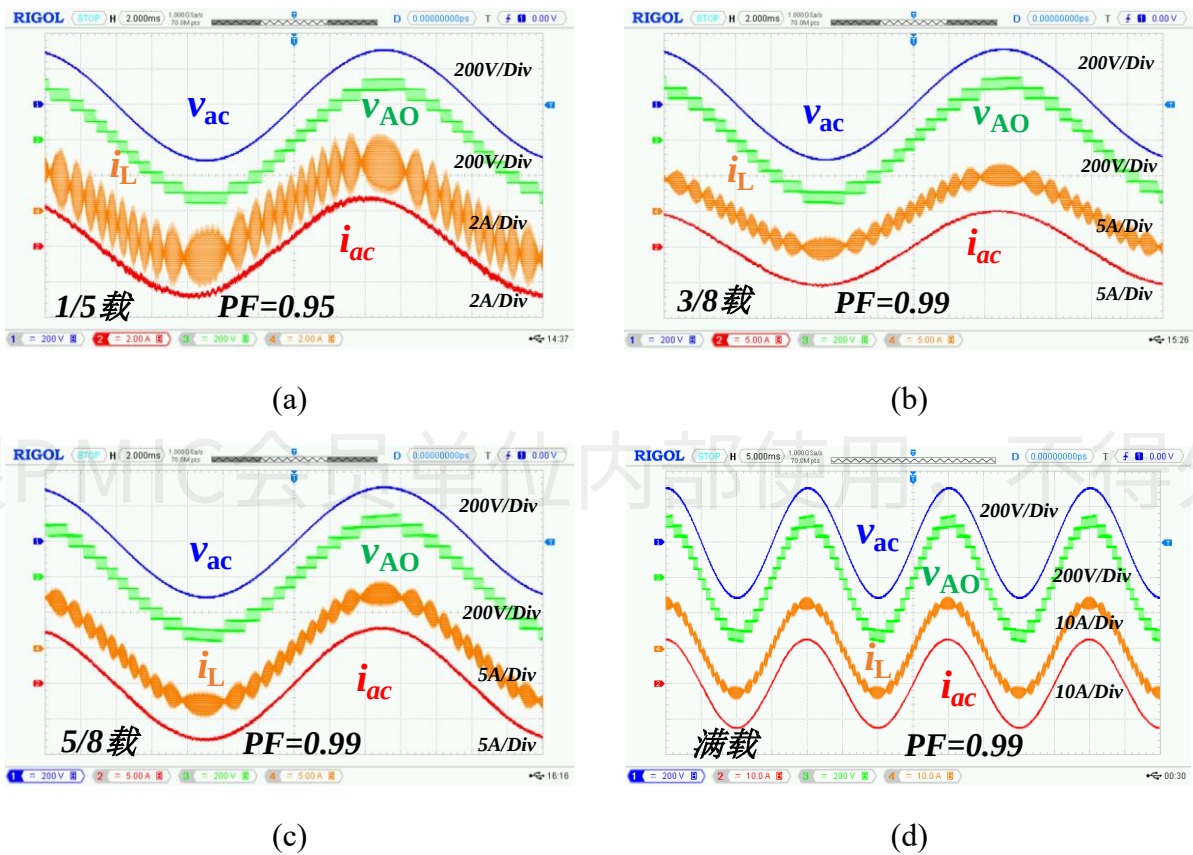


图 2-28 220V 交流实验波形 (a)1/5 载 (b)3/8 载 (c) 5/8 载 (d)满载

图 2-28 展示了 220V 交流输入所对应的实验波形。在载波移相的调制策略下, AO 间的电平数会随输入电压上升而增加。当输入电压从 110V 升高至 220V 时, AO 间将呈现出全部的 13 个电平电压。在 1/5 载条件下, 电网电流与电压之间存在一定的相位差, PF 降为 0.95。在 3/8 载以上的负载条件下, 电网电流与电压之间的相位差非常小, PF 仍然可达 0.99。

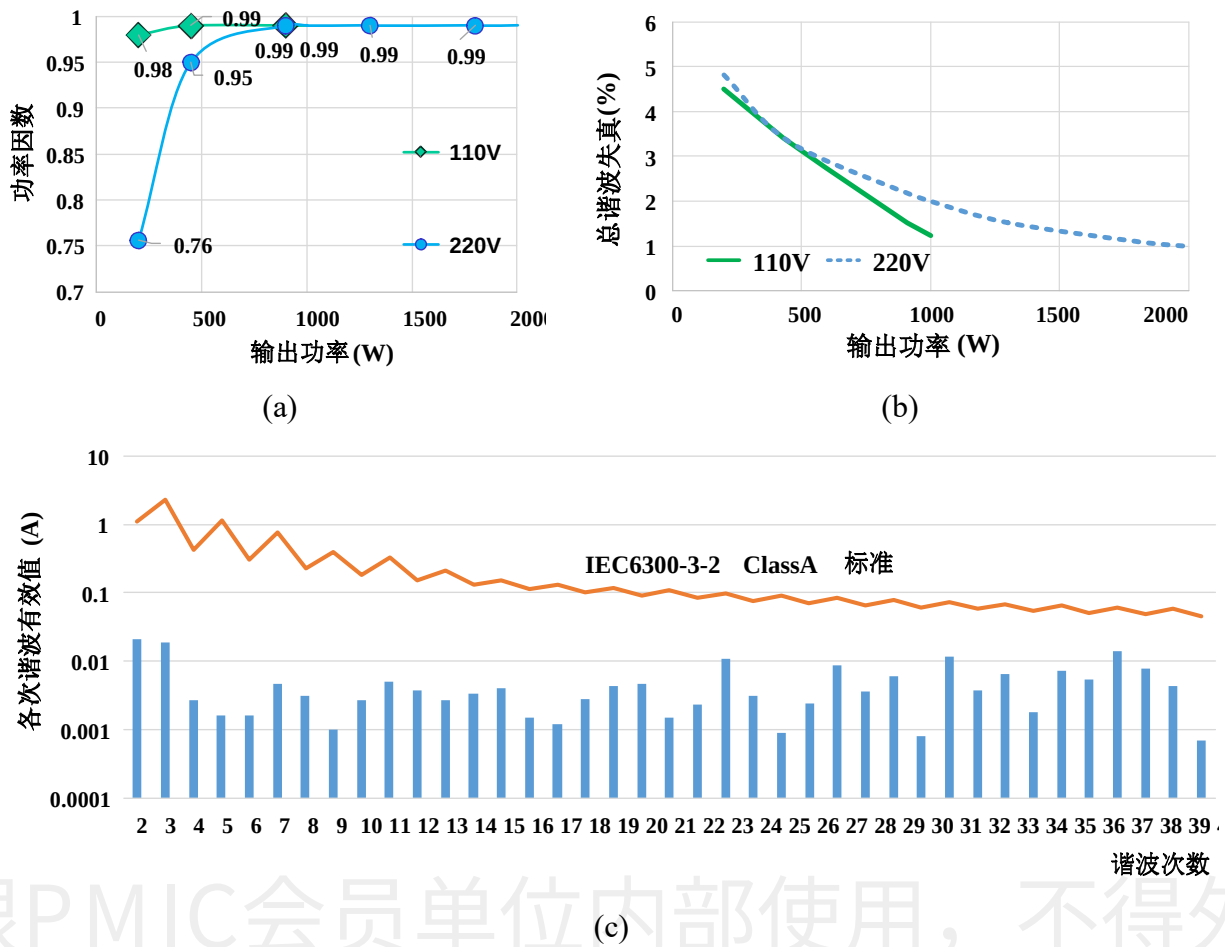


图 2-29 输入相关实验结果 (a)功率因数 (b) 网侧电流总谐波失真 (c) 220V 交流输入 200W 条件下网侧电流各次谐波有效值

不同负载条件下, 样机可实现的功率因数由图 2-29 (a)给出。由此可见, 在 220V 交流输入与 10%的负载条件下, 输入侧的 PF 为 0.76。此外, 输入侧的 PF 将随负载的增加而增大, 在 20%以上的负载条件下, 系统可实现较高的输入侧 PF。网侧电流的总谐波失真则由图 2-29 (b)给出。在 20%以上的负载条件下, 由于 PF 近似为 1, 基波分量会随着负载的增加线性上升, 而 40 次以内的谐波分量基本上不会增加, 因此总谐波失真会随输出功率增大而线性下降。在满载条件下, 系统网侧电流总谐波失真可达约 1%, 在 10%负载条件下, 系统网侧电流总谐波失真小于 5%。此外, 图 2-29 (c)给出了网侧电流各次谐波的有效值。此图表明, 网侧谐波满足目前通用的 IEC6300-3-2 class A 的国际标准。

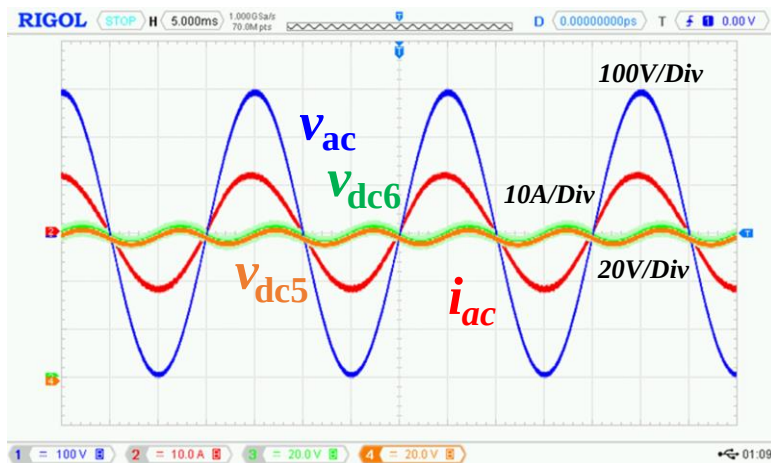


图 2-30 直流母线电压波形

从图 2-30 直流母线电压波形中可见，单元 5 与单元 6 的直流母线电压基本相当，系统能够实现输出电压的均压。

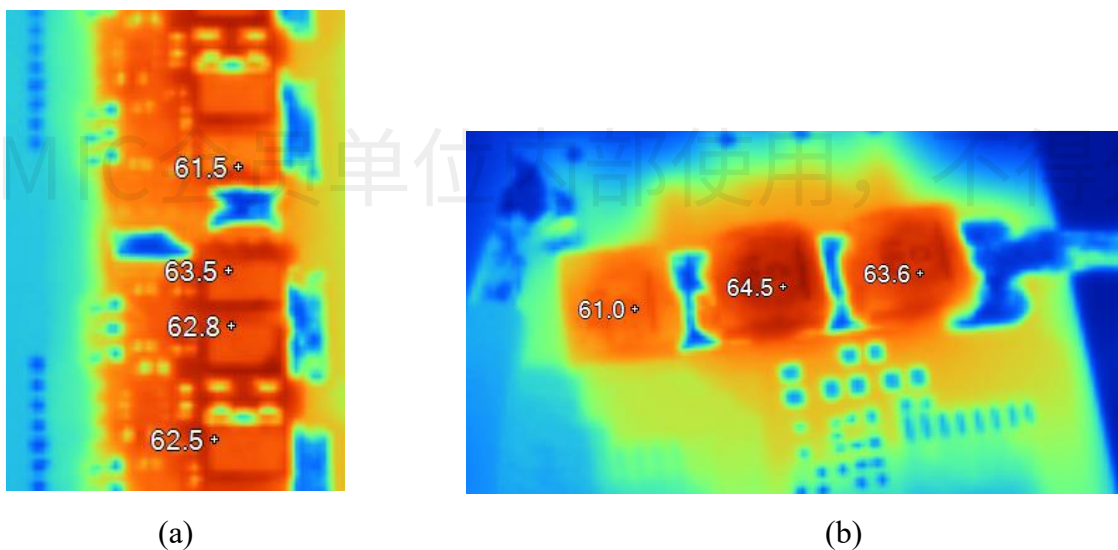


图 2-31 额定功率 15 分钟自然冷却热成像图 (a)开关管 (b)电感

图 2-31 展示了在环境温度大约 23°C 的条件下，自然冷却的热成像图。由此可见，得益于多电平热源分散，在不加散热器的自然冷却情况下，开关管温升在 40°C 左右。由于直流电阻的不同，三个电感在温升上略有差异，最大温升在 41°C 左右。

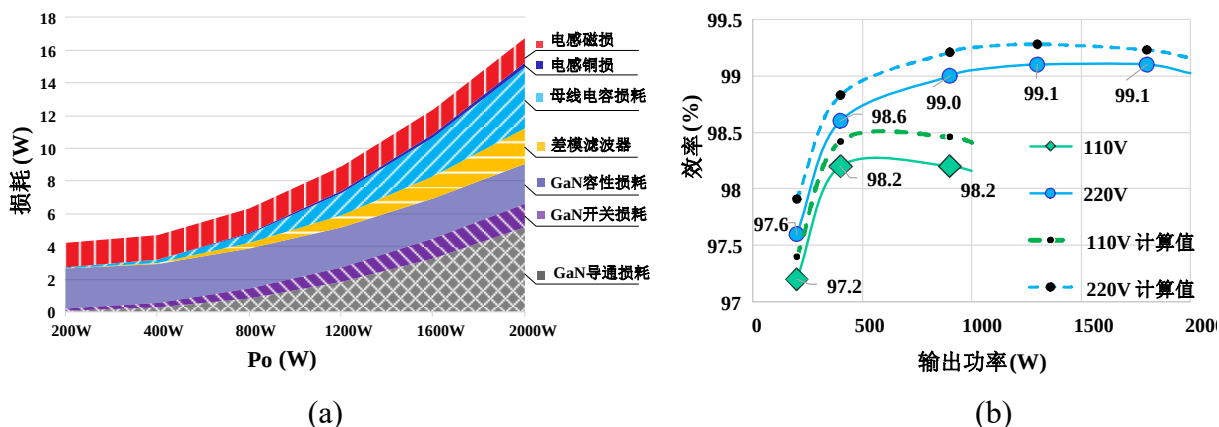


图 2-32 效率相关结果 (a)损耗分解 (b) 效率曲线

由图 2-32 (a)损耗分解可知, 轻载条件下, 损耗的主要部分为容性损耗与电感磁损。由于开关频率不变, 随着负载的增加, 这两部分损耗基本保持不变, 在重载条件下, 大电流引起的导通损耗占据主要部分。效率曲线的测试结果如图 2-32 (b)所示, 轻载条件下, 效率可以达到 97%, 系统最高效率可以达到 99.1%。理论的损耗模型计算结果与测试结果较为相近, 一定程度上验证了所用损耗模型的准确性。

2.5 本章小结

在传统的多电平 PFC 变换器设计过程中, 因为 GaN 器件的损耗模型与其电压应力有关, 所以效率优化需要对不同电平下不同电压等级的 GaN 器件独立计算损耗。随着电平数的提高, 损耗的计算变得越来越复杂。本章经过简化, 根据 NFoM 推导了多电平变换器中 GaN 器件的统一最小损耗模型。通过这种统一的器件损耗模型, 无需根据独立的器件参数进行单独的损耗计算, 即可得出不同电平数下的最佳效率。根据此模型, 本章给出了在给定效率指标下, 电平数以及开关频率的简化设计方法。根据该方法, 在额定 2kW 的条件下, 优选出了 6 个单元的 CHB 结构并且得出每个器件最佳开关频率为 60kHz。构建了 2kW 的实验样机进行实验验证, 样机满载 PF 超过 0.99, 并且实现了 99%以上的效率与 1500 W/in³ 的功率密度(仅主电路)。

3 直流母线电容的体积研究

前文在 99%的效率下，已经将主电路的功率密度尽可能提高。对 PFC 而言，除了主电路之外，母线电容也是影响其功率密度的重要因素。因此本章将对电容部分的体积进行深入研究。

3.1 电容相关工作波形

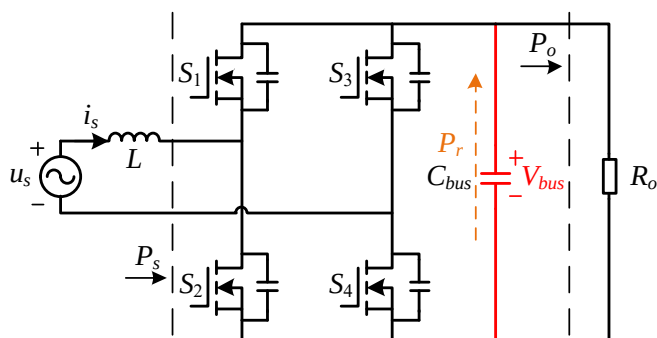


图 3-1 一个单元的功率流向

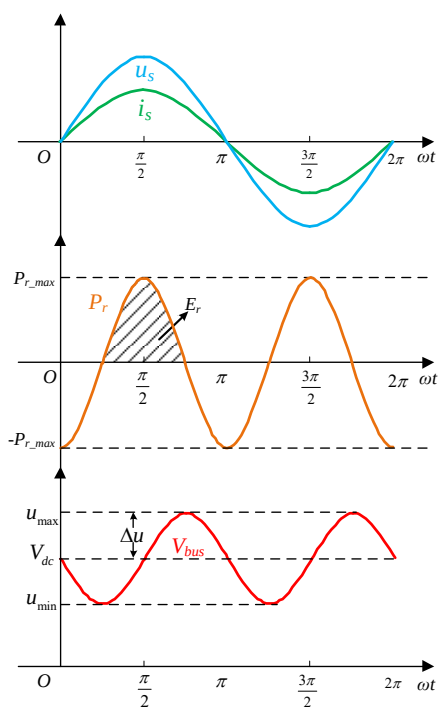


图 3-2 一个单元稳态波形

对最简单的一个单元结构而言,功率流向如图 3-1 所示。由于输入电压与电流都是正弦量且相位相同,因此输入功率包含正弦分量。由于输出功率通常为直流,输入与输出之间存在功率差,为实现功率缓冲,系统需要配备能量存储部分^[43]。缓冲功率的方式可以分为主动与被动两种^[44]。主动缓冲方式虽然体积相对较小,但其控制与结构都相对复杂。直接在母线上并大电容是一种被动的功率缓冲方式,由于其成熟可靠并且简单,目前被广泛使用在各大领域。

电容相关稳态波形如图 3-2 所示,由于 PFC 可以做到 PF 大于 0.99,电网电压与电流的相位差可以小到忽略。为了简化分析,认为电网电流与电压同相位,并且不考虑谐波分量。因此,网侧电压与电流可以由式(3-1)进行表述。

$$\begin{cases} u_s(t) = \sqrt{2}U_s \sin(\omega t) \\ i_s(t) = \sqrt{2}I_s \sin(\omega t) \end{cases} \quad (3-1)$$

将电网电压与电流做乘积,即可得到电网的瞬时输入功率,如式(3-2)所示。

$$p_s = u_s(t)i_s(t) = U_s I_s - U_s I_s \cos(2\omega t) \quad (3-2)$$

根据功率守恒,式(3-2)进行工频周期平均后的结果应当等于输出功率,具体如式(3-3)所示。

$$P_o = U_s I_s \quad (3-3)$$

将式(3-2)与式(3-3)作差,即可得到母线电容所需要提供的瞬时功率,其表达式由式(3-4)给出。

$$p_r = -U_s I_s \cos(2\omega t) \quad (3-4)$$

由此可知,脉动功率的频率为输入电网频率的两倍,导致母线电压纹波频率也为电网频率的两倍,此现象被称为母线的“二次纹波”。

3.2 电压纹波限制条件

当输入功率大于输出功率之时,多余的功率会给母线电容充电,从而使母线电压上升。对此充电功率做积分即可得到母线电容所吸收的能量,如式(3-5)所示。

$$E_r = \int_{\frac{\pi}{4\omega}}^{\frac{3\pi}{4\omega}} P_r(t) dt = \frac{P_o}{\omega} \quad (3-5)$$

根据能量守恒, 可得如式(3-6)所示的表达式

$$0.5C_{bus}u_{\max}^2 - 0.5C_{bus}u_{\min}^2 = E_r \quad (3-6)$$

根据式(3-5)所表示的充电能量及式(3-6)所表示的能量与电容电压的关系, 即可得到电压纹波所需满足的表达式, 如式(3-7)所示。

$$C_{bus} = \frac{P_o}{2\omega V_{dc} \Delta u} \quad (3-7)$$

此式中的 Δu 为母线交流电压纹波幅值, V_{dc} 表示母线直流平均电压, 如图 3-2 中所示。

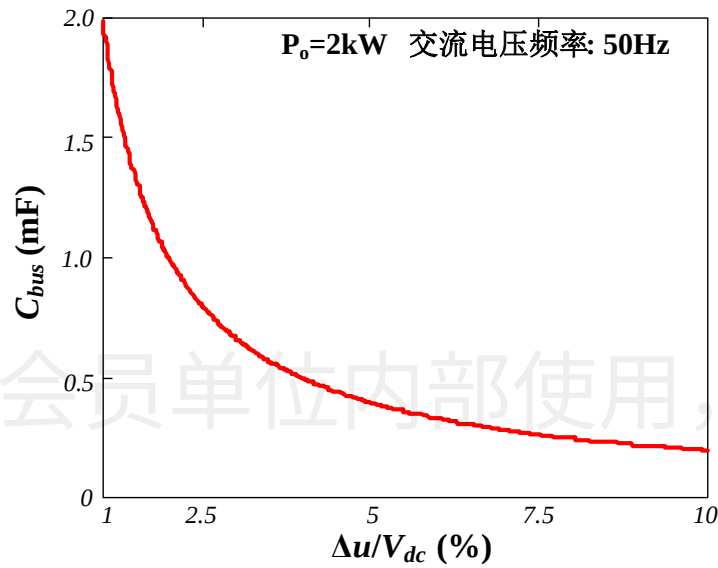


图 3-3 母线电容电压纹波限制条件

在输出功率 P_o 与母线电压 V_{dc} 一定的条件下, 母线电容值与电压纹波幅值一一对应, 根据此对应关系, 可以画出图 3-3 所示的曲线。这条曲线代表了母线电容的电压纹波限制条件。其中横坐标表示母线交流电压纹波幅值与直流平均电压比值的百分比。

3.3 电流纹波限制条件

直流母线所需的电容量通常较大, 目前普遍使用电解电容。电解电容自发热过大会导致材料特性发生变化, 进而缩短使用寿命。所以厂家通常会根据自发热条件, 给出所允许的电流有效值。根据傅里叶分解可得, 不同频率的电流具有正交性, 因此可以对工频与高频两个频段分别计算电流有效值。

3.3.1 工频电流限制条件

$$i_{bus} = C_{bus} dv_{bus} / dt \quad (3-8)$$

$$P_r = i_{bus} v_{bus} \quad (3-9)$$

电容在物理上电压与电流之间需要满足如式(3-8)所示的基本关系式，并且瞬时功率可以由式(3-9)表示。再结合式(3-4)即可得出电容在工频尺度上电压与电流的表达式，结果由式(3-10)给出。

$$\begin{cases} i_{bus} = \frac{-P_o \cos 2\omega t}{\sqrt{V_{dc}^2 + \Delta u^2 - 2V_{dc}\Delta u \sin 2\omega t}} \\ v_{bus} = \sqrt{V_{dc}^2 + \Delta u^2 - \frac{P_o}{C_{bus}\omega} \sin 2\omega t} \end{cases} \quad (3-10)$$

工频电流有效值的定义如式(3-11)所示。

$$I_{bus_RMS100Hz} = \sqrt{\frac{\int_0^{\pi/\omega} i_{bus}^2(t) dt}{\pi / \omega}} \quad (3-11)$$

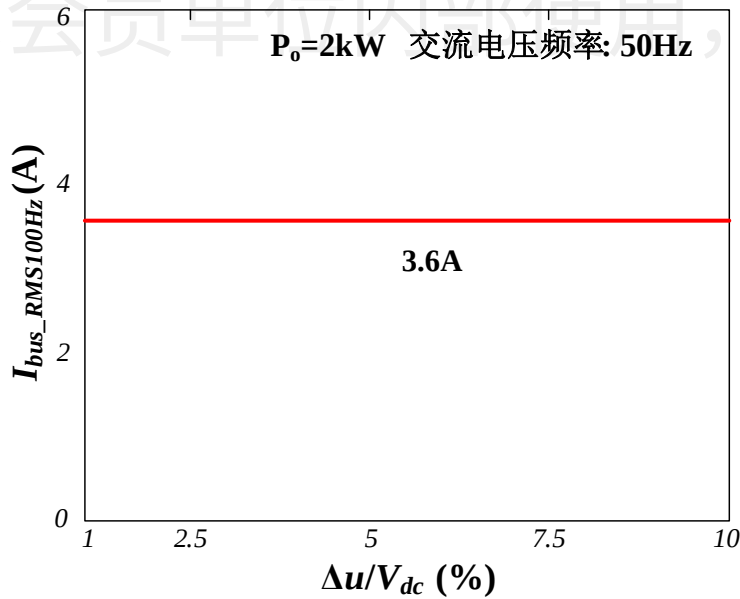


图 3-4 母线电容工频电流纹波限制条件

结合式(3-7)、式(3-10)与式(3-11)即可得到如图 3-4 所示的工频电流纹波限制条件。图中横坐标为母线的电压纹波百分比，纵坐标为工频的纹波电流有效值。母线电压纹波增大，则电容量相应减小，根据式(3-8)可知，电流基本上不变化。所以从此图可见，工频纹波电

流有效值不会随着电压纹波的变化而变化。此有效值只与功率相关，在输出功率两千瓦的条件下，有效值为 3.6A。

3.3.2 高频电流限制条件

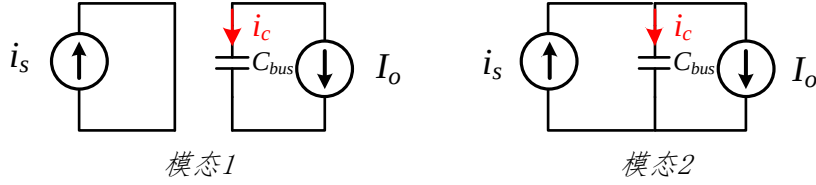


图 3-5 母线电容一个开关周期内的模式

本文所讨论的是 Boost 型的 PFC，因此对母线电容而言存在两个模式，如图 3-5 所示。为了便于说明，定义占空比 D 为两桥臂中点电压为零的时间与开关周期时间的比值。因此在 $(0 \sim DT_s)$ 这段时间内，工作模式为模式 1。母线电容提供输出电流，所以流过电容的电流为 $-I_o$ ；在 $(DT_s \sim T_s)$ 这段时间内，工作模式为模式 2。输入电流的一部分提供给输出，另一部分给电容充电，所以流过电容的电流是输入与输出电流之差。因此一个开关周期内的电流有效值可由式(3-12)给出。

$$I_c^2(t) = I_o^2 D(t) + (i_s(t) - I_o)^2 (1 - D(t)) \quad (3-12)$$

对上式工频积分即可得到包含高频分量的电流有效值，再将前一小节计算得到的工频有效值扣除后，即可得到高频部分的电流有效值，如式(3-13)所示。

$$I_{bus_RMS>10kHz} = \sqrt{\frac{\int_0^{\pi/\omega} [I_o^2 D(t) + (i_s(t) - I_o)^2 (1 - D(t))] dt}{\pi / \omega}} - I_{bus_RMS100Hz}^2 \quad (3-13)$$

根据式(3-13)，即可得到高频电流有效值限制条件，如图 3-6 所示。图中横坐标为母线的电压纹波幅值百分比，纵坐标为高频的纹波电流有效值。高频纹波电流有效值不会随着电压纹波的变化而变化。此有效值只与功率相关，在输出功率两千瓦的条件下，有效值为 4A。

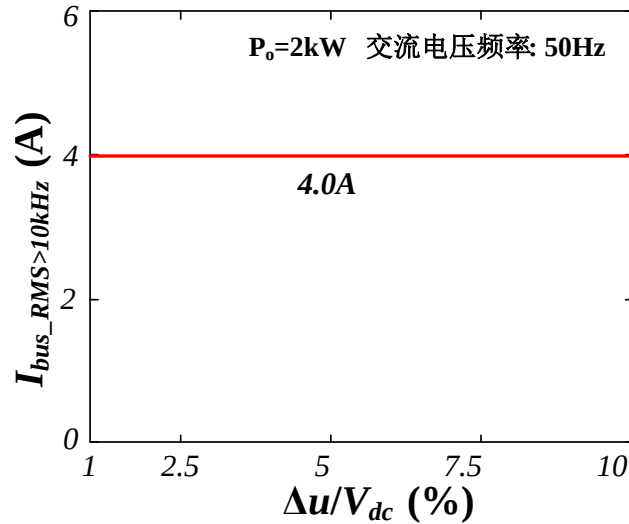


图 3-6 母线电容高频电流纹波限制条件

3.4 母线电解电容理论体积

数据手册上是根据自发热限制从而给出纹波电流有效值的限制，自发热主要跟内阻相关。电解电容的内阻会随频率变化而变化，对于不同频率的电流，需要考虑不同的内阻，根据不同频率的正交性，上述电流有效值产生的损耗为式(3-14)。

$$P_{self} = I_{100Hz}^2 R_{100Hz} + I_{>10kHz}^2 R_{>10kHz} \quad (3-14)$$

表 3-1 电解电容不同频率下归一化电流有效值限制

	100Hz	1kHz	10kHz	100kHz
纹波电流有效值	1	1.7	1.93	2

表 3-1 给出了电解电容不同频率下的归一化电流有效值限制。式(3-14)中 100Hz 对应的内阻与大于 10kHz 对应的内阻可以根据自发热相同推导出。对于大部分的电解电容，假设 100Hz 对应的电阻归一化为 1，则 10kHz 以上频率对应的电阻变化不大，约为 0.25。将上一节中计算出的有效值代入，即可得到对应的损耗。计算后可得，在交流输入电压为 220V 且输出功率为 2kW 的条件下，考虑高频电流有效值后，总损耗增加了 20%。

$$C_{bus} = \frac{\sqrt{P_{self}}}{I_{CL_100Hz}} \quad (3-15)$$

假设自发热均用 100Hz 电流归算，则容值可由式(3-15)给出。其中 I_{CL_100Hz} 表示单位

容值所允许的 100Hz 电流有效值，此值通常称为电流耐量。这说明考虑高频电流有效值后，电容值需要增加 10%。由于常规的电解电容有 20%左右的容差，10%的变化在容差范围内，因此出于简单角度考虑，仅根据工频电流进行分析。

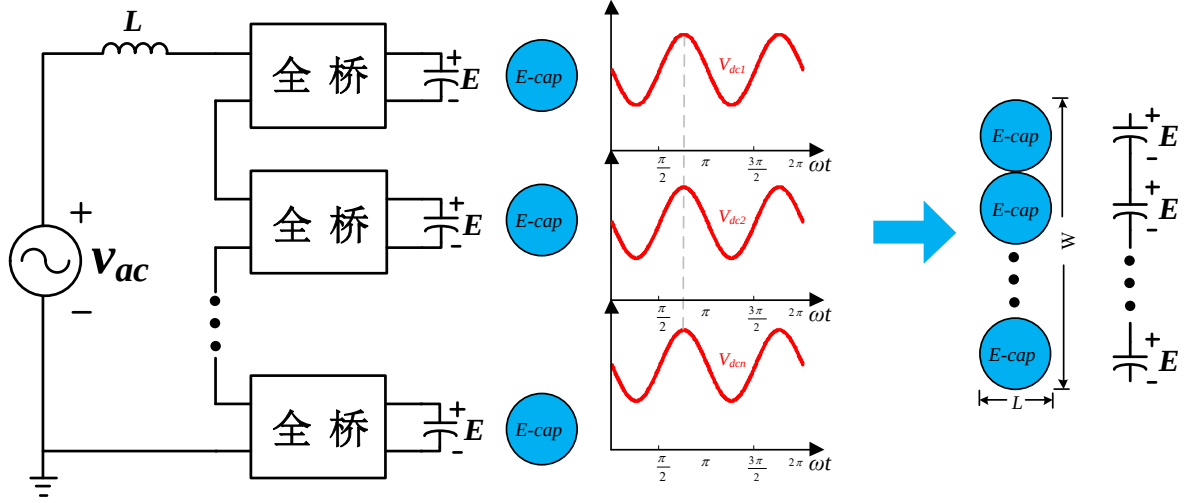


图 3-7 n 个单元电容考虑方法

前文对一个单元电容的电压纹波与电流纹波进行了分析。 n 个单元 CHB 中，各个单元的载波只有高频交错，所以在工频的时间尺度上电容电压相位相同。因此从工频的角度考虑，在系统能实现均压的条件下，各个电容的电压波形基本一致，如图 3-7 所示。所以可以进一步将其串联，看作一个耐压为 n 倍，电容值为 $1/n$ 的等效电容。此等效电容所需满足的电压纹波与电流纹波限制条件与前文分析所得一致。

电容体积等于 $L*W*H$ ，其中 H 表示电容的高度， L 与 W 按长方形进行计算，如图 3-7 所示。单位体积电容能够储存的能量称为电容的能量密度，串联等效电容的能量密度由式(3-16)给出。

$$E_{D_eq} = \frac{0.5C_{eq}V_{eq}^2}{Vol_{total}} = \frac{0.5C_{single}(nV_{single})^2}{n^2Vol_{single}} = E_{D_single} \quad (3-16)$$

从上式可见，串联等效电容的电容值为单个电容的 $1/n$ ，体积与电压皆为单个电容的 n 倍。因此等效电容的能量密度与单个电容的能量密度完全相同。

由前文分析可知，只需考虑工频电流有效值，因此最小电容值由式(3-17)给出。

$$C_{min} = \frac{I_{RMS_100Hz}}{I_{CL_100Hz}} = \frac{kP_o}{I_{CL_100Hz}} \quad (3-17)$$

式中 I_{RMS_100Hz} 表示电网电流中 100Hz 分量的有效值, 此值仅跟输出功率有关, 比例系数由前文分析可知为 1.8A/kW。

根据式(3-17)给出的最小电容值及式(3-16)给出的能量密度, 即可得出电容的理论最小总体积, 如式(3-18)所示, 其中 E_D 表示能量密度, V_{bus} 表示直流母线总电压。

$$Vol_{min} = \frac{0.5C_{min} V_{bus}^2}{E_D} = \frac{0.5kV_{bus}^2 P_o}{E_D I_{CL_100Hz}} \quad (3-18)$$

从上式可见在母线电压与输出功率都相同的情况下, 最小电容值由能量密度与电流耐量的乘积决定。

对车载充电机而言, 双向充电目前仅作为辅助功能。随着新能源汽车的发展, 电动汽车的储量越来越大。庞大的基数代表了巨大的分布式储能, 该部分储能可以用来对电网进行调峰等, 因此车对电网进行充放电的需求就会大幅增加。这表明车载充电机需要工作的时间将大幅增加, 因此母线电容的寿命需要大幅增加。假设一天行驶 8 小时, 其余时间进行充放电工作。为了保证至少 10 年的寿命, 母线电容的寿命需要超过 6 万小时。根据目前 85°C 的工作环境温度, 市面上额定环境温度 105°C 的电容难以满足要求。采用更高额定环境温度的电容可以提高相同工作温度下的寿命, 市面上的高温电容多为额定环境温度 125°C。因此主要讨论额定环境温度为 105°C 与 125°C 电容, 其能量密度与电流耐量的情况, 由图 3-8 给出。

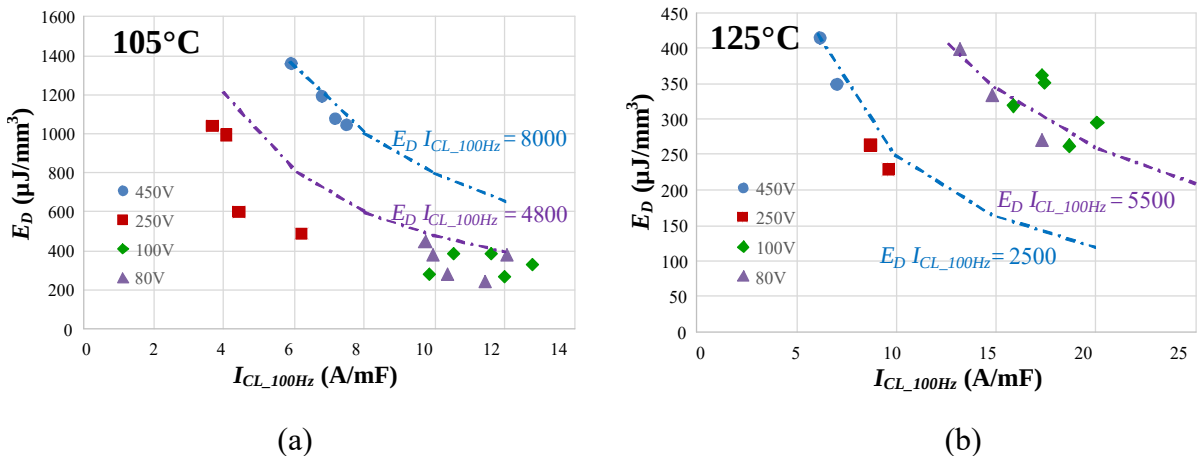


图 3-8 电解电容能量密度与电流耐量 (a)105°C (b)125°C

从图 3-8 可知, 高压电容的能量密度通常比低压电容高, 但是电流耐量低于低压电容。对于额定环境温度为 105°C 的电容, 高压电容能量密度与电流耐量的乘积更大, 由式(3-18)

可知高压电容的最小总体积更小。对 CHB 拓扑而言，单元数越多，母线电容的最小体积越大。

但是对于高温的情况而言，材料需要有更好的导电系数，但原始的高压材料无法满足，需要更换材料。对于低压材料，则由于本身导电能力足够，材料没有大幅影响。因此对于额定环境温度为 125°C 的电容，高压电容与低压电容的能量密度基本相当，如图 3-8 (b) 所示。此外，由于低压电容具备电流耐量大的优势，最小总体积反而比高压电容小。在此条件下，CHB 拓扑相较于普通两电平拓扑，母线电容的最小体积更小。

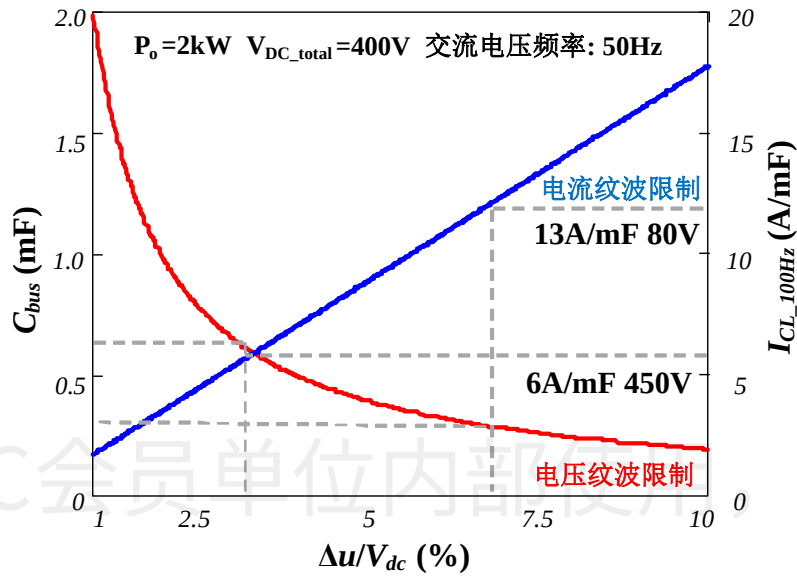


图 3-9 确定合适的电容量

前文分析了直流母线电容的理论最小体积，所对应的最大电压纹波可结合式(3-7)与式(3-17)获得，如式(3-19)所示。

$$\Delta u_{\max} = \frac{I_{CL_100Hz}}{2k\omega V_{dc}} \quad (3-19)$$

因此电压纹波幅值与电容量以及电流耐量的关系可由图 3-9 给出。以额定环境温度为 125°C 的电容为例，图 3-8 中体积最小的高压 450V 电容，其电流耐量为 6A/mF。结合电流与电压两个限制条件，可得母线所需最小电容量约为 0.7mF，最大电压纹波幅值约为 3%。对于 80V 的低压电容，由于其电流耐量更大，因此最大电压纹波幅值为 6.5% 左右，对应最小电容量约为 0.3mF。因此对于低压电容，可以优先考虑电压纹波是否满足要求。而对于高压电容，则优先考虑电流耐量能否满足实际应用的需求。

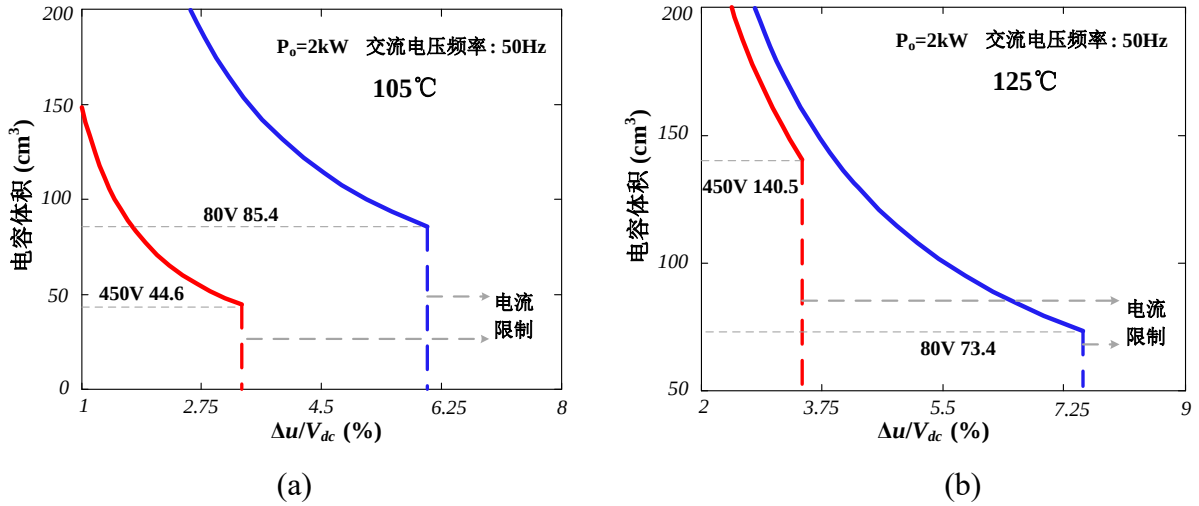


图 3-10 电解电容理论体积 (a)105°C (b)125°C

在第二章中，优选出了 6 个单元的 CHB 结构，由电压应力可知，选择耐压为 80V 的低压电容较为合适。根据本章分析，可得该电容与 450V 高压电容在输出功率 2kW 条件下的理论体积对比，如图 3-10 所示。

可见对于额定环境温度为 105°C 的电解电容，理论上 80V 电容的最小体积为 85.4cm³，450V 电容的最小体积为 44.6cm³。这说明 6 个单元的 CHB 相比图腾柱等普通方案，母线电容最小体积会增大 1.9 倍。而对于额定环境温度为 125°C 的电解电容，理论上 80V 电容的最小体积为 73.4cm³，450V 电容的最小体积为 140.5cm³。从此数据可得，在高温的应用场合，6 个单元 CHB 的拓扑相比普通两电平拓扑，母线电容体积更小，在功率密度上更具有优势。对于无法取得最小体积的其余情况，则可以根据实际所允许的电压纹波，在图 3-10 中得到对应的电容体积。

3.5 本章小结

本章推导了在两级架构中，中间直流母线电容所要满足的电压纹波与电流纹波制约条件。根据此制约条件，推导了母线电解电容的理论体积，指出了理论最小体积与能量密度与电流耐量的乘积成反比。最后比较了级联 H 桥电容总体积与两电平电路母线电容的体积，结论如下：如果采用额定环境温度为 105°C 的电解电容，则 6 个单元 CHB 的母线电容最小总体积是普通两电平的 1.9 倍。如果采用额定环境温度为 125°C 电解电容，则 6 个单元 CHB 的母线电容最小总体积为普通两电平的一半。

4 控制方案分析

4.1 单级 CHB PFC 的控制

4.1.1 控制框图

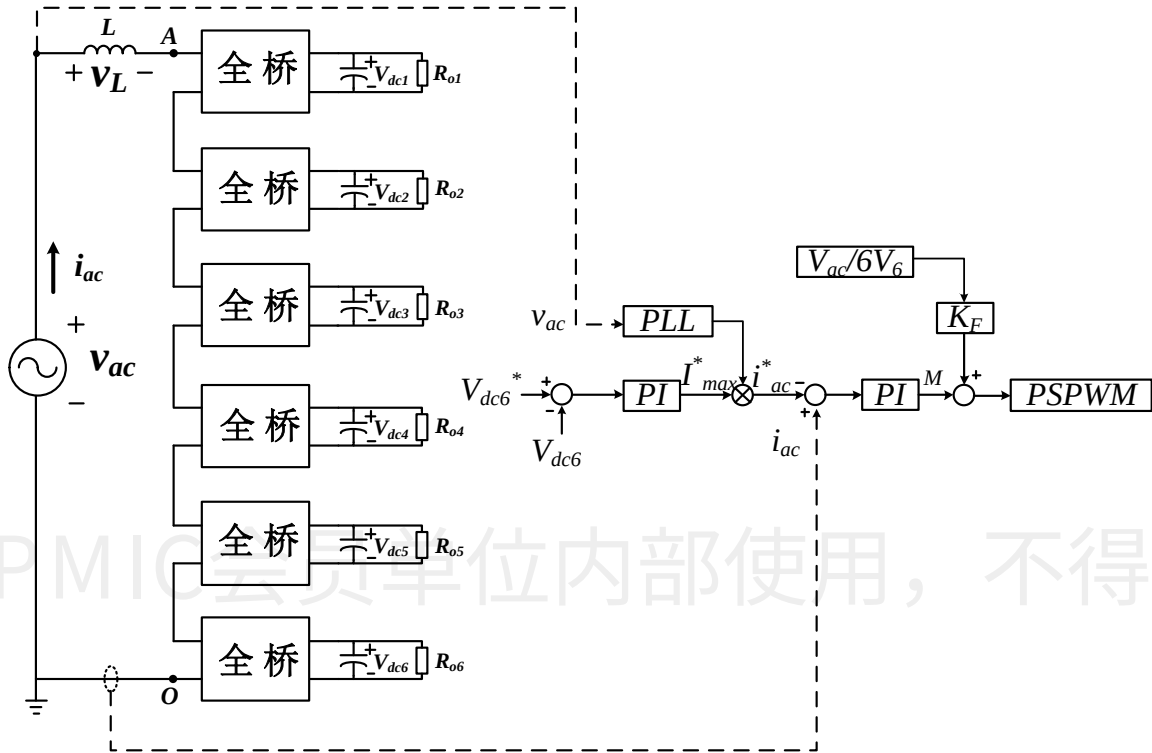


图 4-1 单级 CHB PFC 的控制框图

对于单级的 CHB PFC，其控制框图如图 4-1 所示。此框图的主体部分为经典的电压电流双闭环控制，外环为电压环，内环为电流环。由于 PFC 需要跟踪电网电压，所以用电压环的输出 I_{max}^* 乘以锁相环得到的电网电压相位信息 $\sin\theta$ 来得到正弦的电流参考 i_{ac}^* 。然后用电流内环去跟踪电流给定 i_{ac}^* ，从而达到电压与电流双闭环的控制效果。电压外环通常采用总电压闭环，但在能均压的场合中，也可以只闭环其中任意一个模块的电压。PI 控制器适合跟踪直流信号，而跟踪正弦信号会有一定的延迟。若轻载 PF 不达标，则可以加入前馈环节，增加电流的动态响应速度，使电流能更快速地跟踪正弦参考信号，从而提高 PF。相应的原理可以参考文献^[21]。

4.1.2 锁相环

为了实现电网电流与电网电压同相位，在前文给出的经典电压电流双闭环的基础上，需要额外得到电网电压的相位，此相位由锁相环给出。

由于电网电压是正弦量，在旋转坐标系中进行分析更为简便。在三相系统中，有三个电压矢量，可以直接进行三二坐标变换，转换到 α - β 坐标系，进而再通过 d - q 旋转坐标变换，转换到旋转坐标系。但是在单相系统中，只有一个电压矢量，必须构造另一个正交的矢量才能得到 α 轴与 β 轴。此正交矢量可由输入电压经过微分或积分得到，由于微分比较容易引入干扰，所以在实际中通常通过积分的方式得到虚拟正交矢量。

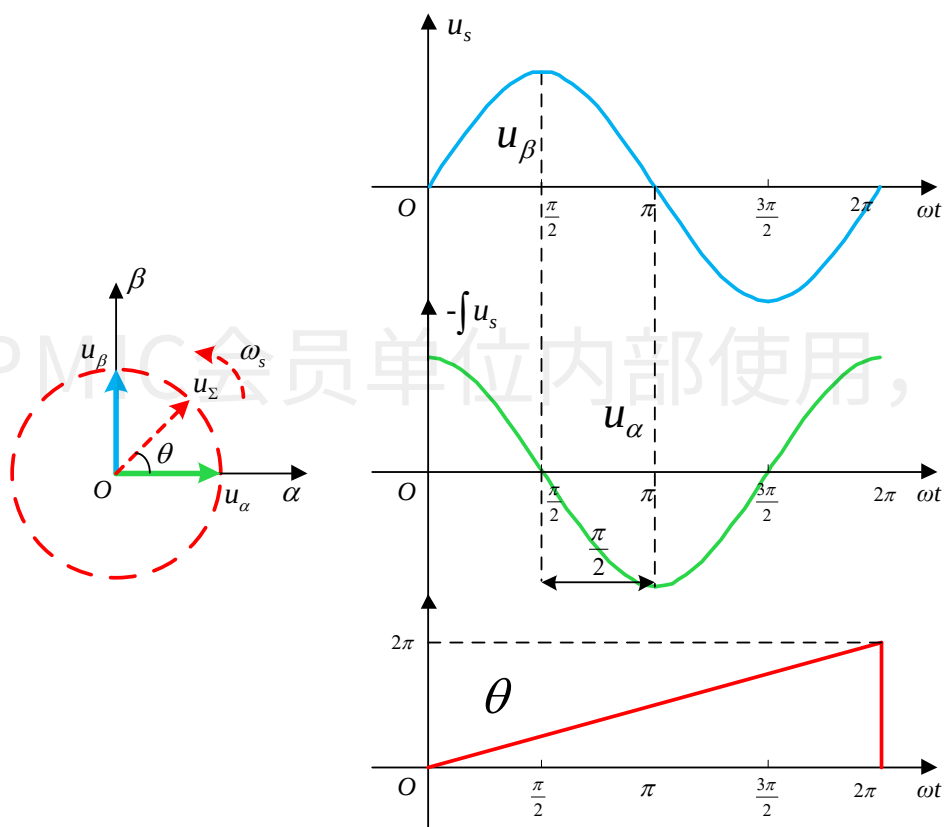


图 4-2 构造虚拟正交矢量后的矢量合成图

不妨认为零时刻电网电压的相位为零，那么电网电压的时域波形如图 4-2 中蓝色线所示，将其做积分即可得到虚拟正交矢量，其时域波形如绿色线所示，将两个向量合成，则可得总电压向量。三个向量所满足的关系由式(4-1)给出。

$$\begin{cases} u_{\beta} = u_s \\ u_{\alpha} = -\int u_{\beta} \\ u_{\Sigma} = u_{\alpha} + u_{\beta} \end{cases} \quad (4-1)$$

式中 u_s 表示电网电压， u_{Σ} 表示两电压矢量的合矢量。由图 4-2 可见，在零时刻，合成矢量与 α 轴重合， θ 等于零，随着时间的推移， θ 的大小线性增加。这说明合成电压矢量是一个以固定速度逆时针旋转的矢量，旋转角速度定义为 ω_s ，此角速度在数值上与电网电压角频率一致。

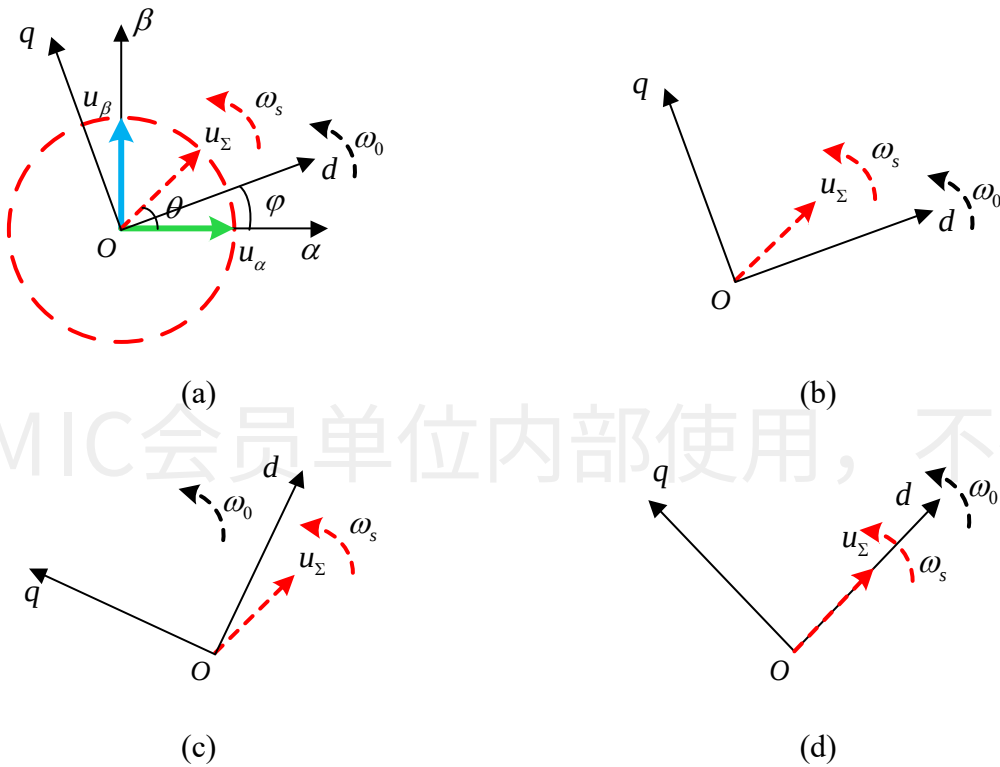


图 4-3 旋转坐标变换 (a) d - q 坐标轴与原坐标轴的关系 (b) 合成矢量超前 d 轴 (c) 合成矢量滞后 d 轴 (d) 合成矢量与 d 轴重合

由于合成电压矢量以固定速度逆时针旋转，因此在旋转坐标系下分析更为简便。如图 4-3(a)所示，建立 d - q 旋转坐标系，其旋转角速度为 ω_0 。在稳态条件下，合成矢量在 d - q 旋转坐标系下幅值与方向都保持不变。从简单角度出发，认为合成矢量在稳态与 d 轴重合，图 4-3(d)所示。

在非稳态情况下，在不同时刻，合成矢量则处在该 d - q 旋转坐标系下的不同位置。如图 4-3(b)所示，当合成矢量超前 d 轴时，合成矢量在 q 轴的分量为正，需要增加旋转坐标

系的旋转速度，才能使合成矢量落在 d 轴上。反之，当合成矢量滞后 d 轴时，合成矢量在 q 轴的分量为负，需要减小旋转坐标系的旋转速度，才能使合成矢量落在 d 轴上，如图 4-3(c)所示。

由于 PFC 的控制中只需要电压的相位信息，不同输入电压幅值在稳态下仅影响 d 轴分量的大小，而 q 轴分量均为零。根据此分析可知，通过控制旋转坐标系的角速度，可以实现 q 轴电压分量为零的闭环控制，进而实现电网的角速度跟踪，具体控制框图可参考文献[45]。实现跟踪后，即可得到电网电压的角频率，对角频率做积分即可得到电网电压实时的相位信息。合成电压分量在 d 轴与 q 轴的幅值由式(4-2)给出。

$$\begin{bmatrix} u_d \\ u_q \end{bmatrix} = \begin{bmatrix} \cos(\omega_0 t) & \sin(\omega_0 t) \\ -\sin(\omega_0 t) & \cos(\omega_0 t) \end{bmatrix} \begin{bmatrix} u_\alpha \\ u_\beta \end{bmatrix} \quad (4-2)$$

4.2 两级结构的控制

前文背景中提到，在电动汽车与数据中心等应用场合中，通常采用两级架构。PFC 作为前级，负责调节电网电流。DC/DC 作为后级，负责隔离与调节输出电压或电流。CHB 多电平 PFC 造成的多个不同电势的低压直流母线问题，可以通过后级的隔离型 DC/DC 来解决。因此系统存在两种结构，分别对应输入串联输出并联(ISOP)与输入串联输出串联(ISOS)这两种情况。数据中心等应用中，要求输出为低压，因此采用 ISOP 的系统结构比较合适。电动汽车等应用中，由于动力电池为高压，采用 ISOS 的系统结构比较合适。

对于前级 PFC，在本文上一节给出的控制方法中，所有开关管的占空比相同，称为共同占空比控制。后级为独立的 DC/DC 模块，每个模块的输出可由各模块独立闭环控制，称为独立控制；或者将后级看作一个整体，采用与前级类似的共同占空比控制。本节将对 ISOP 与 ISOS 这两种不同的系统结构，且后级分别采用独立控制与共同占空比控制这两种控制方法，进行稳定性分析。

为了简化分析，以输入电压为直流，CHB 为两个单元结构进行分析。需要注意的是，本节稳定性分析适用的频段为低于 PFC 电压环带宽的低频段。

4.2.1 ISOP 未加均压环的稳定性分析

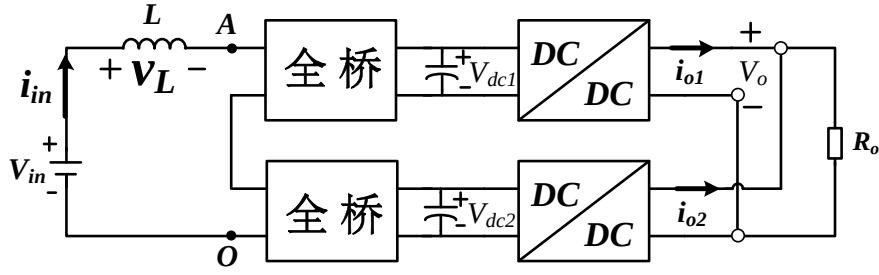


图 4-4 ISOP 两模块两级系统结构

ISOP 的系统结构如图 4-4 所示，前级为两个单元的 CHB 结构，后级 DC/DC 采用隔离拓扑即可，如 LLC、DAB、Flyback 等。

前级详细的控制框图已由图 4-1 给出，后级每个模块可以采用独立控制或者共同占空比控制，下面将分别进行分析。

a) 后级采用独立控制

为了进一步简化分析，图 4-5 给出了前级未加入均压环且后级采用独立控制的简化框图。从图中可见，前级每个模块的占空比相同，由总电压环给出，后级每个模块的占空比由各自的平均电流环给出。

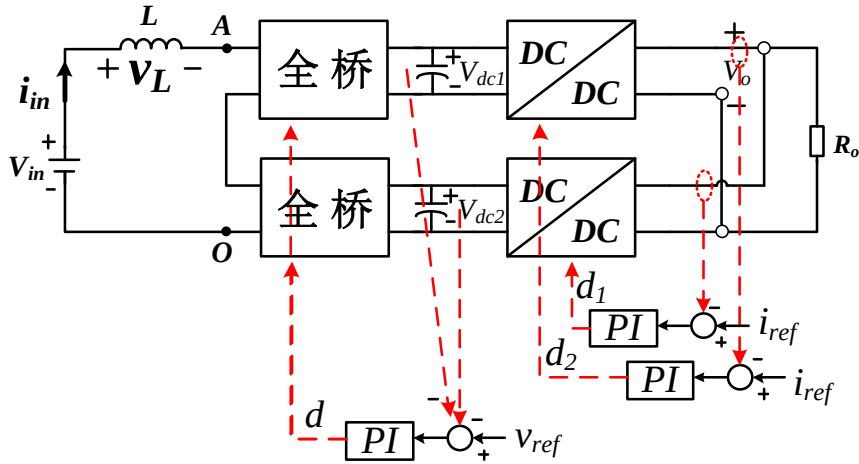


图 4-5 ISOP 未加均压环且后级采用独立控制的简化框图

由于后级输出是并联结构，输出电压一定相同，在给定差别不大的前提下，可以通过控制保证均流。所以每个模块输出都可以看作功率恒定，在不考虑变换器损耗的情况下，后级的输入功率也保持恒定。则在远低于电流环带宽的低频段，式(4-3)成立。

$$P_{oj} = V_{dcj} I_{inj} = \text{const} \quad (4-3)$$

其中 I_{inj} 表示第 j 个模块后级的输入电流。

母线电压与后级的输入电流都会存在扰动，则考虑小信号扰动后，电压及电流的表达式由式(4-4)给出。

$$\begin{cases} v_{dcj} = V_{dcj} + \hat{v}_{dcj} \\ i_{inj} = I_{inj} + \hat{i}_{inj} \end{cases} \quad (4-4)$$

将小信号扰动代入至式(4-3)中，由于此扰动频率皆小于电流环的带宽，系统可以将其控制为零，则可得式(4-5)。

$$\hat{v}_{dcj} I_{inj} + V_{dcj} \hat{i}_{inj} + \hat{v}_{dcj} \hat{i}_{inj} = 0 \quad (4-5)$$

忽略二阶小量，可得式(4-6)

$$\frac{\hat{v}_{dcj}}{\hat{i}_{inj}} = -\frac{V_{dcj}}{I_{inj}} = -R_j \quad (4-6)$$

此式表明，对小信号而言，后级输入端口可以等效为负电阻。电阻为负表明当加正向电压时，电流方向与一般的正电阻相反^[46]。

根据式(4-6)的结果，在低频段，后级每个模块采用独立闭环控制的工作条件下，小信号模型由图 4-6 给出。

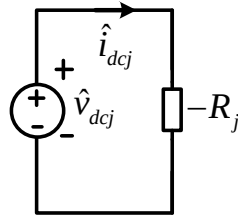


图 4-6 后级独立控制下的低频小信号模型

前级的调制信号如图 2-18(b)所示，在此调制方式下，可得稳态的大信号模型如图 4-7 所示

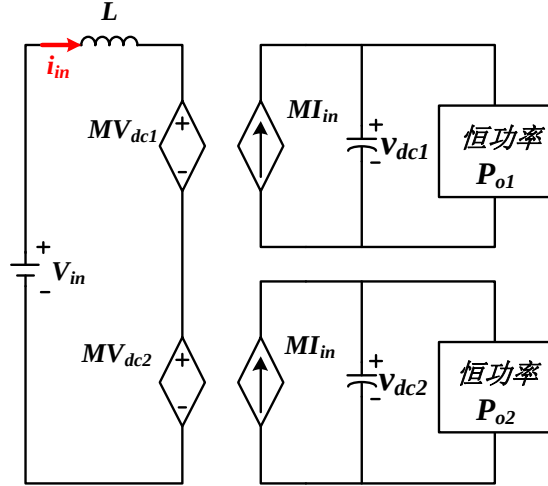


图 4-7 两单元结构大信号模型

在此大信号的基础上，加入小信号扰动，如式(4-7)所示

$$\begin{cases} v_{in} = V_{in} + \hat{v}_{in} \\ i_{in} = I_{in} + \hat{i}_{in} \\ v_{dcj} = V_{dcj} + \hat{v}_{dcj} \\ M = M + \hat{m} \end{cases} \quad (4-7)$$

将扰动代入大信号，可得式(4-8)所示表达式

$$\begin{cases} (M + \hat{m})(I_{in} + \hat{i}_{in}) = \hat{m}I_{in} + M\hat{i}_{in} + MI_{in} + \hat{m}\hat{i}_{in} \\ (M + \hat{m})(V_o + \hat{v}_o) = \hat{m}V_o + M\hat{v}_o + MV_o + \hat{m}\hat{v}_o \end{cases} \quad (4-8)$$

消去直流分量并且忽略二阶小信号分量，再结合前面所得到的后级端口小信号模型，可得系统的小信号模型如图 4-8 所示。

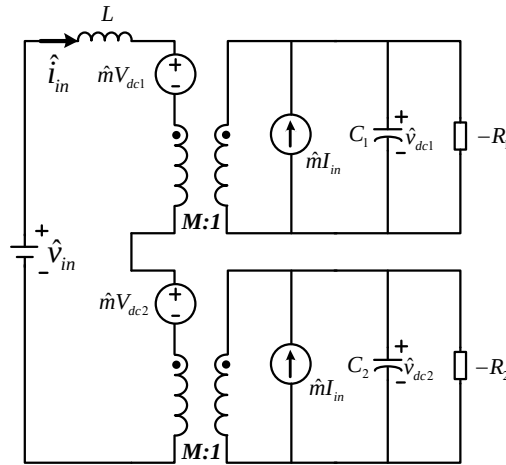


图 4-8 后级独立控制的系统小信号模型

前级采用的是共同占空比控制, 所以两者调制波的小信号完全相同, 因此母线电压小信号之差就与调制波小信号无关, 只与输入小信号扰动相关^[47]。在研究系统输入有小信号扰动时, 可以将调制波的扰动忽略, 由此可得简化的小信号模型如图 4-9 所示。

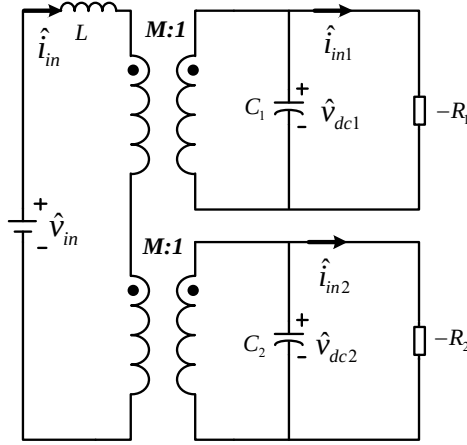


图 4-9 研究输入电压扰动对系统稳定性影响时的简化小信号模型

根据简化的小信号模型, 即可得到直流母线的小信号之差如式(4-9)所示

$$\begin{cases} \Delta \hat{v} = M(\hat{v}_{dc1} - \hat{v}_{dc2}) = \frac{Z_1 - Z_2}{Z_1 + Z_2 + Z_L} \hat{v}_{in} \\ Z_j = \left(\frac{1}{sC_j} \right) // (-R_j) = \frac{-R_j}{(1 - sC_j R_j)} \end{cases} \quad (4-9)$$

将式(4-9)写成传递函数的形式, 即可得到式(4-10)

$$\begin{aligned} \frac{\Delta \hat{v}}{\hat{v}_{in}} &= \frac{\frac{-R_1}{(1 - sC_1 R_1)} M^2 - \frac{-R_2}{(1 - sC_2 R_2)} M^2}{\frac{-R_1}{(1 - sC_1 R_1)} M^2 + \frac{-R_2}{(1 - sC_2 R_2)} M^2 + Ls} \\ &= \frac{-M^2 (C_1 R_1 R_2 s - C_2 R_1 R_2 s + R_1 - R_2)}{S} \end{aligned} \quad (4-10)$$

$$S = C_1 C_2 R_1 R_2 L s^3 - (C_1 R_1 L + C_2 R_2 L) s^2 + (C_1 R_1 R_2 M^2 + C_2 R_1 R_2 M^2 + L) s - (R_1 + R_2) M^2 = 0 \quad (4-11)$$

系统稳定性主要取决于传递函数的特征方程, 此特征方程如式(4-11)所示。根据经典控制理论中的劳斯判据可知, 系统稳定的必要条件之一是特征方程各项系数为正。式(4-11)中系数有正有负, 说明系统一定有右半平面极点, 不稳定。

b) 后级采用共同占空比控制

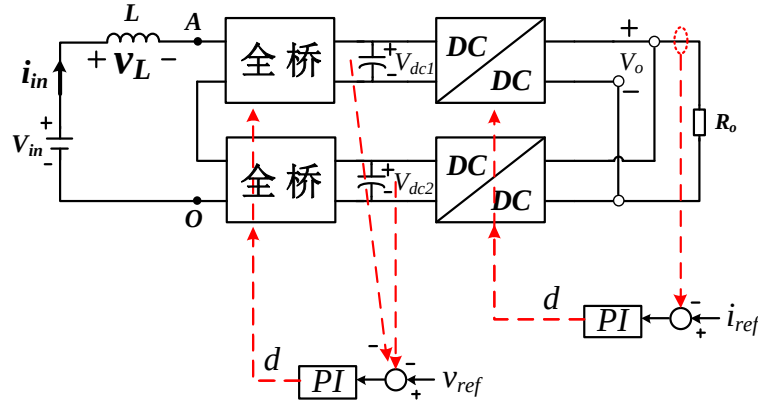


图 4-10 ISOP 未加均压环且后级采用共同占空比控制的简化框图

后级除独立控制之外，亦可采用与前级类似共同占空比控制，相对应的简化控制框图由图 4-10 给出。

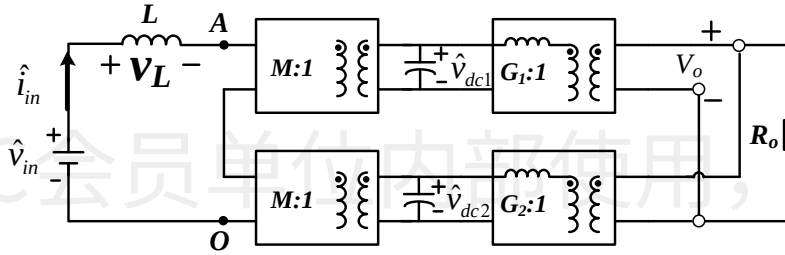


图 4-11 ISOP 低频段共同占空比控制简化小信号模型

根据前文对系统小信号的分析可知，在远低于系统带宽的低频段，前后级都采用共同占空比控制的小信号简化模型如图 4-11 所示。前级电路简化模型与之前没有区别，后级电路根据简化模型得到的低频阻抗如式(4-12)所示。该式表明相比于独立控制，后级采用共同占空比控制后，等效低频阻抗变为正值。

$$\begin{cases} R_1 = G_1(G_1 + G_2)R_o \\ R_2 = G_2(G_1 + G_2)R_o \end{cases} \quad (4-12)$$

由此可得系统的特征方程为：

$$S = C_1 C_2 R_1 R_2 L s^3 + (C_1 R_1 L + C_2 R_2 L) s^2 + (C_1 R_1 R_2 M^2 + C_2 R_1 R_2 M^2 + L) s + (R_1 + R_2) M^2 = 0 \quad (4-13)$$

利用经典控制理论可知，该特征方程的根都为负，系统所有极点都在左半平面，所以在低频段，系统稳定。

4.2.2 ISOS 未加均压环的稳定性分析

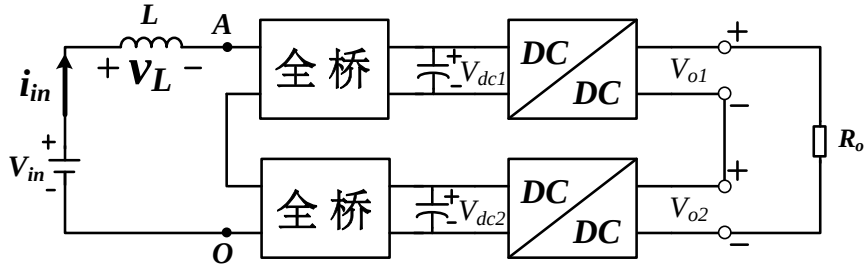


图 4-12 ISOS 两模块两级系统结构

a) 后级采用独立控制

ISOS 的系统结构如图 4-12 所示，为了简化分析，前级同样采用两个单元的 CHB 结构，后级则根据实际应用选择隔离型的 DC/DC 即可。前级不加入均压环时，控制策略与前文 ISOP 完全一致。后级则从电流闭环转为输出电压闭环，同样也可以分为每个模块输出电压单独闭环的独立控制与闭环总电压的共同占空比控制。

对于每个模块输出电压单独闭环的独立控制，后级输入端口小信号呈现负电阻特性。由于前级没有变化，所以分析与 ISOP 的情况完全一致，系统存在右半平面极点，不稳定。

b) 后级采用共同占空比控制

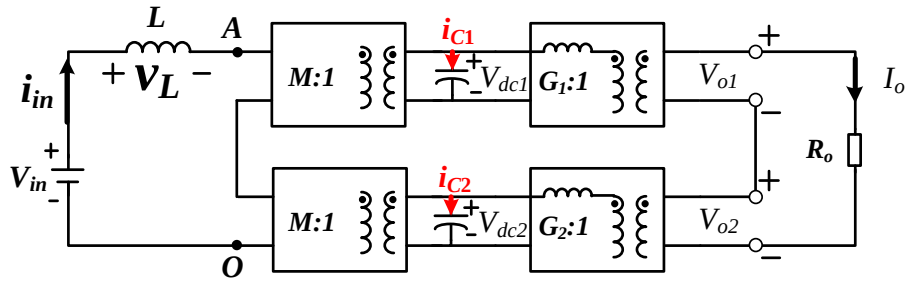


图 4-13 ISOS 共同占空比控制简化框图

对于前后都采用共同占空比控制的情况而言，简化框图如图 4-13 所示。后级 DC/DC 由于变压器变比等参数的不同，就会导致增益不同，分别用 G_1 与 G_2 进行表示。前级为了简便分析，看作相同。在稳态条件下，电容的充电电流为零。不妨假设初始条件为输出电容充电电流为零。由于输出为串联结构，两个模块的输出电流完全一致。则可以推导出母线两个电容的充电电流如式(4-14)所示。

$$\begin{cases} i_{C1} = MI_{in} - \frac{I_o}{G_1} \\ i_{C2} = MI_{in} - \frac{I_o}{G_2} \end{cases} \quad (4-14)$$

由于电路增益不一致,两个母线电容的充电电流不可能满足同时为零的稳态条件。后级增益大的模块母线电压将会升高,反之后级增益小的模块,母线电压会逐渐下降。

根据以上分析可知，在不加入均压环的前提下：对于 ISOP 系统，在后级也采用共同占空比控制的条件下，系统是稳定的，若后级采用独立控制则不稳定；对于 ISOS 系统，后级采用独立控制或者共同占空比控制，系统都是不稳定的。

4.2.3 加入均压环的控制方法

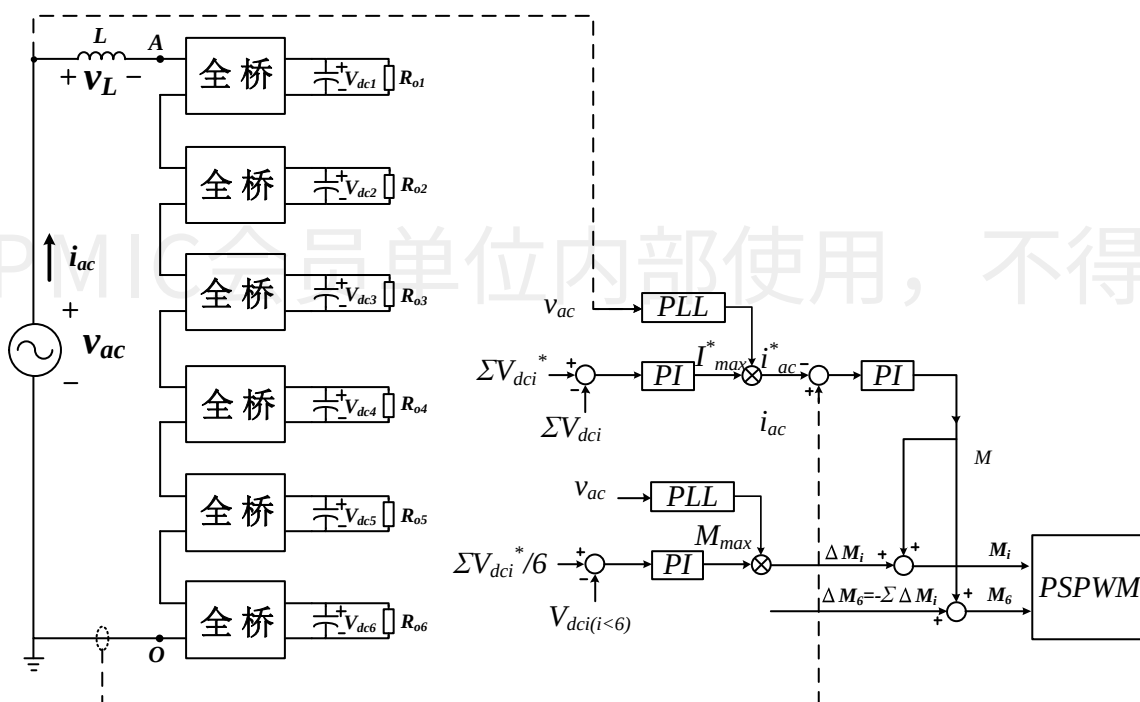


图 4-14 6 个单元 CHB 加入均压环后的控制框图

对于 CHB 而言, 每个单元的输入功率都可以由式(4-15)给出

$$P_{oj} = M_j V_{dcj} I_{in} \quad (4-15)$$

因此减小任意单元调制波的幅值即可减小此单元输入功率,进而减小该单元直流电压。对于 6 个单元 CHB 而言,加入均压环后的控制框图由图 4-14 给出^[48,49,50,51]。在稳态条件下,总电压保持不变,则输入与输出之间满足如式(4-16)所示的关系式。

$$\begin{cases} V_{in} = \sum M_j V_{dcj} \\ M_j = M + \Delta M_j \end{cases} \quad (4-16)$$

为了保证总输出电压恒定，则需要满足如式(4-17)所示关系式。

$$\sum \Delta M_j = 0 \quad (4-17)$$

因此系统只需要 5 个均压环，最后一个单元的调制波改变量由式(4-17)确定。另外，对于直流输入的情况，只需要将锁相环部分去掉即可。

4.3 仿真验证

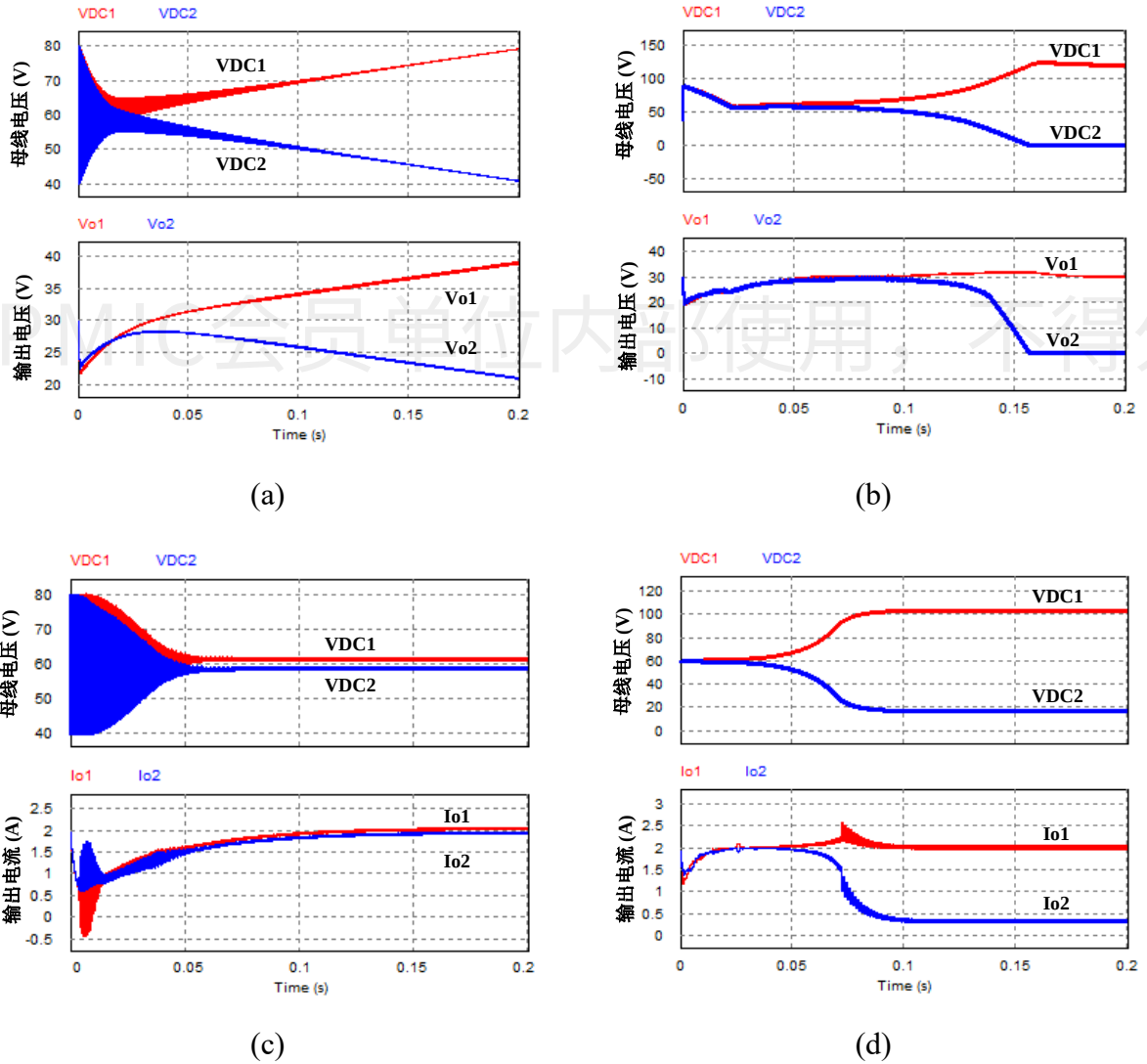


图 4-15 未加均压环仿真结果 (a) ISOS 后级采用共同占空比 (b) ISOS 后级采用独立闭环 (c) ISOP 后级采用共同占空比 (d) ISOP 后级采用独立闭环

未加入均压环时的仿真结果如图 4-15 所示。对于独立闭环的情况，直流母线电压均出现了发散的情况。对于共同占空比的情况，ISOS 系统发散，不稳定。而 ISOP 系统稳定，输出电流的均流程度与母线电压的均压程度取决于变压器的变比。定义变比为变压器原边电压与副边电压之比，仿真中第一路变比为 1:1，第二路为 1:1.05。ISOS 系统中增益低的一路，母线电压上升，另一路电压下降，符合理论分析。

对于两级的 ISOP 与 ISOS 系统，只有 ISOP 在前后两级都采用共同占空比控制时，系统才稳定，与上文理论分析一致。

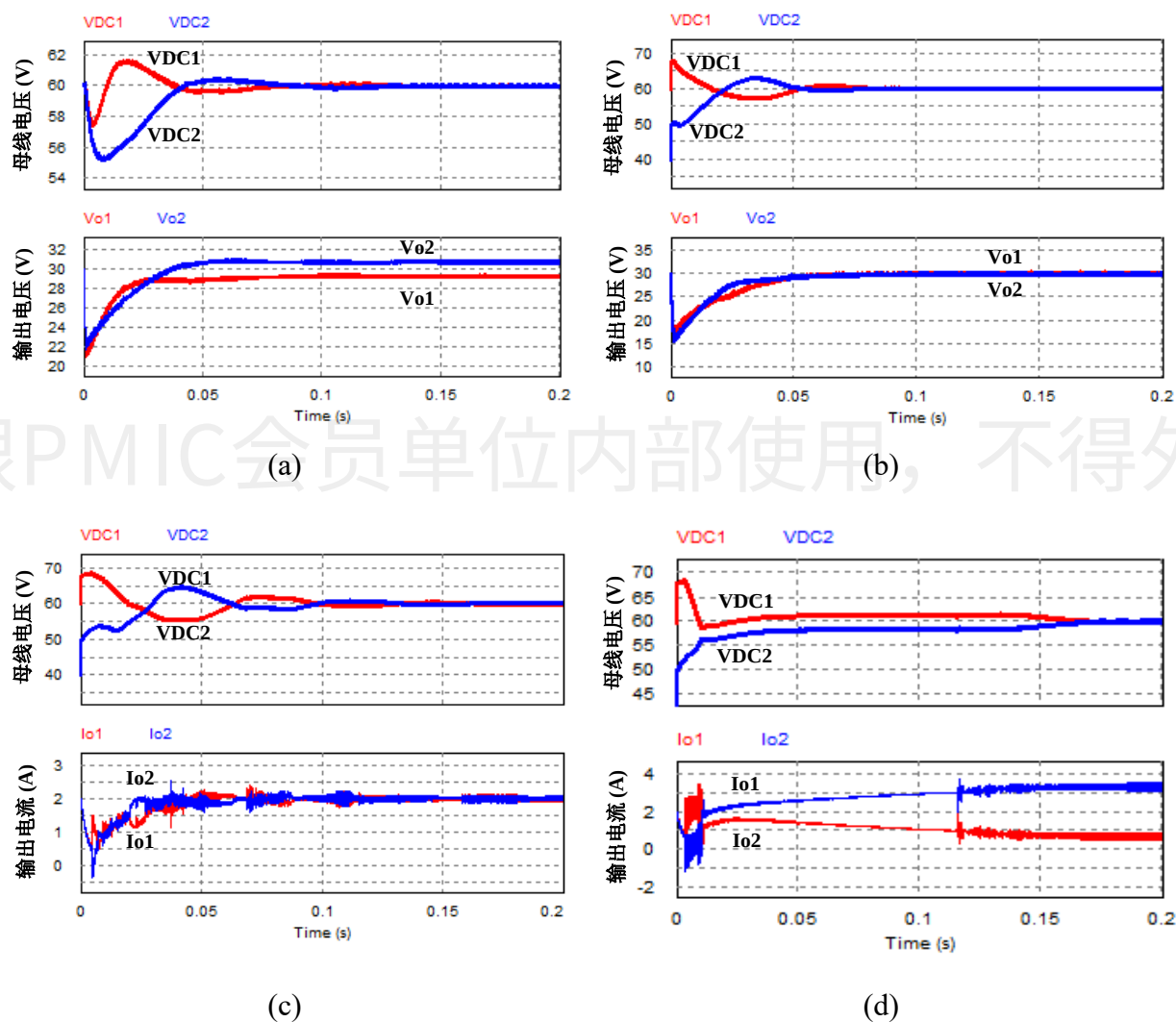


图 4-16 加入均压环后仿真结果 (a) ISOS 后级采用共同占空比 (b) ISOS 后级采用独立闭环 (c) ISOP 后级采用独立闭环 (d) ISOP 后级采用共同占空比

加入均压环后，仿真结果如图 4-16 所示。其中第一路变比为 1:1，第二路为 1:1.05。

此图表明对于 ISOS 系统，前级加入均压环后，后级采用共同占空比控制时，输出电压均压程度没有采用独立控制时高。此外，对于 ISOP 系统，前级加入均压环时，若后级采用共同占空比控制，输出电流则无法保证较高的均流程度。此现象与输入并联输出并联(IPOP)的输出电流情况类似，在此不再赘述。

根据仿真结果以及理论分析，两级架构能稳定的控制方式如下：

1) 对于 ISOP 系统：

- a. 前后级都采用共同占空比控制，母线电压的均压程度以及输出电流的均流程度取决于变压器变比等电路参数。
- b. 前级加入均压环，后级独立控制。母线电压的均压程度及输出电流的均流程度均取决于控制。

2) 对于 ISOS 系统：

- a. 前级必须加入均压环，后级共同占空比或者独立控制皆可。后级共同占空比控制时，母线电压及输出电压的均压程度取决于变压器变比等电路参数，而后级独立控制时，母线电压及输出电压的均压程度则取决于控制。

4.4 本章小结

本章给出了 CHB 各个直流输出接阻性负载的单级结构的控制方案，并且推导了两级结构中前级使用此控制方案，后级分别采用独立控制与共同占空比控制时的稳定性。对于不稳定的情况，本章介绍了加入均压环的控制方法，并且通过仿真，验证了各个情况的稳定性。最后总结出能够稳定的控制方法如下：对于 ISOP 系统，若前级不加均压环，则后级只能采用共同占空比控制；若前级加入均压环，则后级只能采用独立控制。对于 ISOS 系统，前级必须加入均压环，后级则可以在独立控制与共同占空比控制二者中任选。

5 总结与展望

针对车载领域高功率密度高效率的应用需求,本文选择了在功率密度与效率方面都具备较大优势的多电平 PFC 作为研究对象。

本文提出了基于 CHB 多电平拓扑结构的氮化镓器件统一最小损耗模型,揭示了器件特征参数对多电平拓扑中总损耗的影响规律。所提模型避免了将不同耐压的器件参数反复代入,并比较计算结果的繁琐过程,可以直接得出将电平数作为自变量的最佳效率。

在统一最小模型的基础上,本文针对高效高密度的应用需求,提出了一种基于 CHB 拓扑的创新优化设计方法,简化了电平数、开关频率以及电感量的优化设计过程。用于验证的实验样机达到了 99% 以上的效率与超过 1000 W/in^3 的功率密度。

本文改进了直流母线电解电容的优化选择方法,揭示了能量密度与电流耐量对电容体积的影响规律,指出了 CHB 拓扑在高温应用场合所具有的技术优势。

车载、通讯电源等场合常用的方案由前级 PFC 与后级 DC/DC 两级构成。针对两级的应用情况,本文从数学角度分析了 ISOP 与 ISOS 两种连接方式下,常用控制的稳定性。

对不稳定的工况,本文给出了均压环的实现方法并仿真验证。

本课题仍然存在一些问题值得进一步研究。第一、多电平器件多热源分散,如何量化多电平对散热器体积的减小作用值得研究。第二、目前多电平采用的是 CCM 硬开关的工作方式,如何采用软开关等技术进一步提高效率,值得探索。第三、本方案没有采用冗余的设计,在实际应用中,如何量化可靠性,需要进一步探索。第四、此方案 EMI 方面本文未进行分析,需要进一步研究。

参考文献

- [1] 刘卓然. 国内外电动汽车发展现状与趋势[J]. 电力建设, 2015 (7): 25-32.
- [2] 文凯. 借鉴国际经验发展我国新能源汽车产业研究[D]. 大连: 东北财经大学, 2010.
- [3] IEA, global-ev-outlook-2018 [J/OL]. <https://webstore.iea.org/global-ev-outlook-2018>.
- [4] M. Yilmaz and P. T. Krein. Review of Battery Charger Topologies, Charging Power Levels, and Infrastructure for Plug-In Electric and Hybrid Vehicles [J]. IEEE Transactions on Power Electronics, 2013, 28(5): 2151-2169.
- [5] Lingxiao Xue. GaN-Based High-Efficiency, High-Density, High-Frequency Battery Charger for Plug-in Hybrid Electric Vehicle[D]. Blacksburg, Virginia, 2015.
- [6] Z. Liu, B. Li, F. C. Lee and Q. Li. High-Efficiency High-Density Critical Mode Rectifier/Inverter for WBG-Device-Based On-Board Charger [J]. IEEE Transactions on Industrial Electronics, 2017, 64(11): 9114-9123.
- [7] B. Whitaker et al. A High-Density, High-Efficiency, Isolated On-Board Vehicle Battery Charger Utilizing Silicon Carbide Power Devices [J]. IEEE Transactions on Power Electronics, 2014, 29(5): 2606-2617.
- [8] B. Li, F. C. Lee, Q. Li and Z. Liu. Bi-directional on-board charger architecture and control for achieving ultra-high efficiency with wide battery voltage range[C]//2017 IEEE Applied Power Electronics Conference and Exposition (APEC). IEEE, 2017: 3688-3694.
- [9] ARPA-E, On-board Bi-directional Electric Vehicle Charging [EB/OL]. <https://arpa-e.energy.gov/?q=slick-sheet-project/board-bi-directional-electric-vehicle-charging>
- [10] Salmon J C. Circuit topologies for PWM boost rectifiers operated from 1-phase and 3-phase AC supplies and using either single or split DC rail voltage outputs[C]// 1995 Applied Power Electronics Conference and Exposition (APEC). IEEE, 1995:473-479.
- [11] Tollik D, Pietkiewicz A. Comparative analysis of 1-phase active power factor correction topologies[C]// 1992 Telecommunications Energy Conference. IEEE, 1992:517-523.
- [12] De Souza A F, Barbi I. High power factor rectifier with reduced conduction and commutation losses[C]// 1999 Telecommunication Energy Conference. IEEE, 1999:158-162.
- [13] Salmon J C. Circuit topologies for PWM boost rectifiers operated from 1-phase and 3-phase AC supplies and using either single or split DC rail voltage outputs[C]// 1995 Applied Power Electronics Conference and Exposition. IEEE, 1995:473-479.
- [14] K. Raggl, T. Nussbaumer, G. Doerig, J. Biela and J. W. Kolar. Comprehensive Design and Optimization of a High-Power-Density Single-Phase Boost PFC [J]. IEEE Transactions on Industrial Electronics, 2009, 56(7): 2574-2587.
- [15] J. Biela, D. Hassler, J. Miniböck and J. W. Kolar. Optimal design of a 5kW/dm³ / 98.3% efficient TCM resonant transition single-phase PFC rectifier[C]//The 2010 International Power Electronics Conference - ECCE ASIA -. IEEE, 2010: 1709-1716.
- [16] Z. Liu, X. Huang, M. Mu, Y. Yang, F. C. Lee and Q. Li. Design and evaluation of GaN-based dual-phase interleaved MHz critical mode PFC converter[C]//2014 IEEE Energy Conversion Congress and Exposition (ECCE). IEEE, 2014:611-616.
- [17] F. C. Lee, Q. Li, Z. Liu, Y. Yang, C. Fei and M. Mu. Application of GaN devices for 1 kW server power supply with integrated magnetics [J]. CPSS Transactions on Power Electronics and Applications, 2016, 1(1): 3-12.
- [18] Q. Huang and A. Q. Huang. Review of GaN totem-pole bridgeless PFC [J]. CPSS Transactions on Power Electronics and Applications, 2017, 2(3): 187-196.
- [19] D. Bortis, D. Neumayr and J. W. Kolar. η -Pareto optimization and comparative evaluation of inverter concepts considered for the GOOGLE Little Box Challenge[C]//2016 IEEE 17th

- Workshop on Control and Modeling for Power Electronics (COMPEL). IEEE, 2016: 1-5.
- [20] P. Qashqai, A. Sheikholeslami, H. Vahedi and K. Al-Haddad. A Review on Multilevel Converter Topologies for Electric Transportation Applications[C]//2015 IEEE Vehicle Power and Propulsion Conference (VPPC). IEEE, 2015: 1-6.
- [21] J. E. Huber and J. W. Kolar. Optimum Number of Cascaded Cells for High-Power Medium-Voltage AC-DC Converters [J]. IEEE Journal of Emerging and Selected Topics in Power Electronics, 2017, 5(1): 213-232.
- [22] Y. Lei et al. A 2-kW Single-Phase Seven-Level Flying Capacitor Multilevel Inverter With an Active Energy Buffer [J]. IEEE Transactions on Power Electronics, 2017, 32(11): 8570-8581.
- [23] D. Chou, K. Fernandez and R. C. N. Pilawa-Podgurski. An Interleaved 6-Level GaN Bidirectional Converter for Level II Electric Vehicle Charging[C]//2019 IEEE Applied Power Electronics Conference and Exposition (APEC). IEEE, 2019: 594-600.
- [24] W. G. Hurley and W. H. Wölfle. Transformers and inductors for power electronics: theory, design and applications [M]. John Wiley & Sons, 2013.
- [25] Z. Liu, F. C. Lee, Q. Li and Y. Yang. Design of GaN-Based MHz Totem-Pole PFC Rectifier [J]. IEEE Journal of Emerging and Selected Topics in Power Electronics, 2016, 4(3): 799-807.
- [26] GaN Systems. High Efficiency CCM Bridgeless Totem Pole PFC Design using GaN E-HEMT [EB/OL]. <https://gansystems.com/gan-transistors/GS66516T/#ref>
- [27] S. Qin, Y. Lei, Z. Ye, D. Chou and R. C. N. Pilawa-Podgurski. A High-Power-Density Power Factor Correction Front End Based on Seven-Level Flying Capacitor Multilevel Converter [J]. IEEE Journal of Emerging and Selected Topics in Power Electronics, 2019, 7(3): 1883-1898.
- [28] A. Dekka, B. Wu, R. L. Fuentes, M. Perez and N. R. Zargari. Evolution of Topologies, Modeling, Control Schemes, and Applications of Modular Multilevel Converters [J]. IEEE Journal of Emerging and Selected Topics in Power Electronics, 2017, 5(4): 1631-1656.
- [29] T. Foulkes, T. Modeer and R. C. N. Pilawa-Podgurski. Developing a standardized method for measuring and quantifying dynamic on-state resistance via a survey of low voltage GaN HEMTs[C]// 2018 IEEE Applied Power Electronics Conference and Exposition (APEC). IEEE, 2018: 2717-2724.
- [30] 曹建安, 裴云庆, 王兆安. Boost PFC 电路中开关器件的损耗分析与计算[J]. 电工电能新技术, 2002(01): 41-44.
- [31] K. Wang, M. Tian, H. Li, F. Zhang, X. Yang and L. Wang. An improved switching loss model for a 650V enhancement-mode GaN transistor[C]// 2016 IEEE 2nd Annual Southern Power Electronics Conference (SPEC). IEEE, 2016: 1-6.
- [32] Baliga B J. Power semiconductor device figure of merit for high-frequency applications[J]. IEEE Electron Device Letters, 1989, 10(10): 455-457.
- [33] D. Reusch. Improving System Performance with eGaN® FETs in DC-DC Applications [C]//2013 International Symposium on Microelectronics. IMAPS, 2013: 764-769.
- [34] D. Reusch, J. Strydom and A. Lidow. A new family of GaN transistors for highly efficient high frequency DC-DC converters [C]// 2015 IEEE Applied Power Electronics Conference and Exposition (APEC). IEEE, 2015: 1979-1985.
- [35] Kim I J, Matsumoto S, Sakai T, et al. New power device figure of merit for high-frequency applications [C]// International Symposium on Power Semiconductor Devices and ICS. IEEE, 1995: 309-314.
- [36] X. Wu and H. Shi, "High Efficiency High Density 1 MHz 380–12 V DCX With Low FoM Devices [J]. IEEE Transactions on Industrial Electronics, 2020, 67(2): 1648-1656.
- [37] EPC appnote AN002. Fundamentals of Gallium Nitride Power Transistors [EB/OL]. <http://www.epc-co.com>
- [38] EPC appnote AN022. Generation 5 eGaN® Technology A Quantum Leap into a New

Universe of Performance [EB/OL]. <http://www.epc-co.com>

[39] Baliga B J. Fundamentals of power semiconductor devices[M]. Springer Science & Business Media, 2010.

[40] Alam, Khurshid Mohammadd. Gate capacitances of high electron mobility transistors[C]//International Conference on Electrical & Computer Engineering, IEEE, 2002: 128-131.

[41] J. W. Kolar. Design of a Highly Efficient (97.7%) and Very Compact (2.2 kW/dm³) Isolated AC–DC Telecom Power Supply Module Based on the Multicell ISOP Converter Approach [J]. IEEE Transactions on Power Electronics, 2017, 32(10): 7750-7769.

[42] Y. Lei, W. Liu and R. C. N. Pilawa-Podgurski. An Analytical Method to Evaluate and Design Hybrid Switched-Capacitor and Multilevel Converters [J]. IEEE Transactions on Power Electronics, 2018, 33(3): 2227-2240.

[43] P. T. Krein, R. S. Balog and M. Mirjafari. Minimum Energy and Capacitance Requirements for Single-Phase Inverters and Rectifiers Using a Ripple Port [J]. IEEE Transactions on Power Electronics, 2012, 27(11): 4690-4698.

[44] R. Wang et al. A High Power Density Single-Phase PWM Rectifier With Active Ripple Energy Storage [J]. IEEE Transactions on Power Electronics, 2011, 26(5): 1430-1443, May 2011.

[45] M. Ciobotaru, R. Teodorescu, and F. Blaabjerg. A New Single-Phase PLL Structure Based on Second Order Generalized Integrator[C]//2006 37th IEEE Power Electronics Specialists Conference. IEEE, 2006:1–6.

[46] T. Fang, X. Ruan and C. K. Tse. Control Strategy to Achieve Input and Output Voltage Sharing for Input-Series–Output-Series-Connected Inverter Systems [J]. IEEE Transactions on Power Electronics, 2010, 25(6):1585-1596.

[47] R. Giri, V. Choudhary, R. Ayyanar and N. Mohan. Common-duty-ratio control of input-series connected modular DC-DC converters with active input voltage and load-current sharing [J]. IEEE Transactions on Industry Applications, 2006, 42(4):1101-1111.

[48] T. Zhao, G. Wang, S. Bhattacharya and A. Q. Huang. Voltage and Power Balance Control for a Cascaded H-Bridge Converter-Based Solid-State Transformer [J]. IEEE Transactions on Power Electronics, 2013, 28(4): 1523-1532.

[49] A. Dell'Aquila, M. Liserre, V. G. Monopoli and P. Rotondo. Overview of PI-Based Solutions for the Control of DC Buses of a Single-Phase H-Bridge Multilevel Active Rectifier [J]. IEEE Transactions on Industry Applications, 2008, 44(3):857-866.

[50] E. Villanueva, P. Correa, J. Rodriguez and M. Pacas. Control of a Single-Phase Cascaded H-Bridge Multilevel Inverter for Grid-Connected Photovoltaic Systems [J]. IEEE Transactions on Industrial Electronics, 2009, 56(11): 4399-4406.

[51] D. Sha, G. Xu and Y. Xu. Utility Direct Interfaced Charger/Discharger Employing Unified Voltage Balance Control for Cascaded H-Bridge Units and Decentralized Control for CF-DAB Modules [J]. IEEE Transactions on Industrial Electronics, 2017, 64(10): 7831-7841.

作者简历及在学期间所取得的科研成果

[1] 第一作者（已录用）

Jiawen Wu, Xinke Wu. FoM Based Optimal Frequency and Voltage Level Design for High efficiency High density Multilevel PFC with GaN Device [C]// 2020 IEEE Applied Power Electronics Conference and Exposition (APEC). IEEE, 2020.

[2] 第一作者

吴嘉文, 齐雨, 吴新科. 航天用高效率半导体激光器驱动电源[J]. 上海航天(中英文), 2020, 37(02): 81-87.

仅限PMIC会员单位内部使用，不得外传