

分类号: TM46

单位代码: 10335

密 级: _____

学 号: 21810186

浙江大学

硕士学位论文



中文论文题目: 用于车载充电机的高效高功率密度

DC/DC 研究

英文论文题目: High Efficiency High Density DC/DC for
On-board Charger

申请人姓名: 范 高

指导教师: 杨 树

合作教师: 吴新科

专业名称: 电气工程

研究方向: 电力电子与电力传动

所在学院: 电气工程学院

论文提交日期 _____

用于车载充电机的高效高功率密度 DC/DC 研究



论文作者签名: _____

指导教师签名: _____

论文评阅人 1: _____ 谢小高

评阅人 2: _____ 董伯藩

评阅人 3: _____ 姚文熙

评阅人 4: _____

评阅人 5: _____

答辩委员会主席: _____ 谢小高

委员 1: _____ 张军明

委员 2: _____ 吴新科

委员 3: _____ 陈 敏

委员 4: _____ 邵 帅

委员 5: _____

答辩日期: _____ 2021 年 6 月

致谢

本文的工作是在吴新科教授的指导下展开的，作者在此想表达对其深深的谢意。吴老师在探索电力电子前沿中的展现出的坚毅和执着令人动容，您的教导让我获益良多。感谢吴老师三年来的培养与付出，祝吴老师身体健康，事业顺利，也祝课题组越来越好。

感谢盛况老师和杨树老师对我的支持与鼓励，同时感谢金森燕老师、顾晓燕老师和王妹芳老师平日里的照顾，感谢 PEDL 实验室的每一位成员，祝实验室今后能持续有所突破。

感谢董伯藩教授平日里的指导和帮助，您深厚的专业积累、严谨负责的态度和对教育事业的奉献让我十分敬佩。祝您身体健康，幸福长寿。

感谢周莉英女士平日里的照顾与关心，您为实验室提供了良好的后勤保障，是您的辛苦付出让我们可以专心科研，没有后顾之忧。同时感谢葛老师在实验测试时给予的耐心指导与帮助。祝二位身体健康，阖家幸福。

感谢刘天骥学长在本文变压器设计中的提供的帮助，以及杨金旭学长和施鸿波师兄在电路调试中的指导。感谢秦伟、董泽政、张思亮、周宗杰、邱凯，韩阅，吴嘉文、虞乃鹏、张博诚、韩绍文、张茂盛、龙虎、徐弘毅、刘银象、叶蔚文、曹蕾、李瑞等师兄师姐对我的帮助与指点，祝师兄师姐们工作顺利，事业有成！

感谢同窗齐雨、陈子健、李少成、李光灿、孙家红、高子健、张建佳、李永凯、李彦君、高枝，杨德秋，杨秋哲。与你们度过的时光快乐而充实，与你们的讨论总是让我收获颇丰，愿各位在未来的道路上乘风破浪，一往无前！

感谢学弟田霖、李力超、Faheem、赵韞玉、赵问鼎、陈征、黄天林、杜佳坤、马京京、徐宇豪、黄新隆、吕润泽，刘亚楠的协助与支持，祝学弟们学业顺利，文章多多！

感谢室友黄昭，李熹宁，谢正宵，是你们让我能在疲惫的一天后卸下压力，与你们聊天总是让我感到舒心放松。非常开心能与这么优秀的你们成为室友，祝你们前程似锦，祝我们友谊长存。

感谢在浙里遇见的每一位朋友，这段时光和与你们的友情我都倍感珍惜。

感谢我的父母，含辛茹苦将我养育成人，祝父母身体健康，事事顺心。

感谢国家。

范高

2021 年 6 月于求是园

仅限PMIC会员单位内部使用，不得外传

基金资助

本论文研究工作受国家自然科学基金（51877191）和浙江省杰出青年基金（LR18070001）资助。

This work was supported by National Natural Science Foundation of China under Grant (51877191) and Zhejiang Natural Science Outstanding Young Scholar Foundation (LR18070001).

仅限PMIC会员单位内部使用，不得外传

摘要

近年来,人们对电动汽车快速充电的需求日益增长,然而受制于车内有限的空间和散热能力,这导致市场对车载充电机效率和功率密度要求也随之越来越高。车载充电机一般采用两级架构,前级 PFC,后级 DC/DC,其中 DC/DC 往往需具备隔离功能。同时,由于输出负载为电池,故而要求 DC/DC 有较宽的输出调压范围。然而,现有的隔离型 DC/DC 方案往往难以兼顾宽输出调压范围时的效率和功率密度,无法满足市场对车载充电机越来越高的效率和功率密度需求。为了得到高效高功率密度的宽输出调压范围隔离型 DC/DC,本文展开了以下研究:

首先,通过调研车载充电机中隔离型 DC/DC 的研究现状,分析对比了现有的宽调压范围隔离型 DC/DC 的优缺点。其中,准两级架构具有部分能量调整、控制简单、高频 DCX 定频工作且可实现全负载范围内的软开关的特点,有较好的效率和功率密度优化潜力,故本文选择了准两级架构作为研究对象。

针对准两级架构中的 DCX 部分,本文建立了三端口 DCX 的原副边开关管导通损耗的数学模型。模型指出,三端口 DCX 原副边开关管导通损耗的最小值与原副边开关管所用的器件的 NFoM 值成正比。考虑到将低压器件串联后得到的等效高压器件的 NFoM 与单个低压器件的 NFoM 相同,本文设计了一种基于低压元胞电路的 DCX。借助元胞电路中低压器件 NFoM 值小的特性,所设计的 DCX 相较传统使用高压器件的 DCX 可以大幅降低器件导通损耗。通过将多个低压元胞电路在直流侧串联,该 DCX 得以承担高输入输出电压;同时,通过将每个元胞电路的交流侧绕组耦合在同一个变压器上,电路之间可由磁耦合均压,实现电路的可靠工作。

其次,本文根据电路的输入输出电压规格设计了 DCX 变压器的匝比,并建立了 DCX 平面变压器的体积和损耗的优化数学模型。在损耗模型的基础上,结合平面变压器的制作工艺限制和对变压器的最低效率要求,本文对变压器设计中的尺寸参数的取值范围进行了限制。在被限制的取值范围内,基于平面变压器的体积模型,本文选择了使得变压器体积最小的尺寸参数配置,较好地平衡了变压器的损耗与尺寸。

对于准两级架构中的调压部分,本文提出使用多电平级联 BUCK 电路。级联 BUCK 的多个母线由前级 DCX 实现自然均压。通过多电平工作,级联 BUCK

相较传统两电平电路可以大幅降低 BUCK 电感的伏秒，从而减小电感的体积，提高电路的功率密度。

最后，基于本文提出的 RDCX 拓扑和平面变压器设计方法搭建了一台实验样机，通过实验验证了拓扑的工作原理和高效、高功率密度特性。

关键词： 车载充电机，兆赫兹，部分能量调整，可调直流变压器，多电平

仅限PMIC会员单位内部使用，不得外传

Abstract

In recent years, the demand for fast charging of electric vehicles (EV) has been increasing. However, due to the limited space and heat dissipation capacity in the car, this has led to higher and higher requirements for the efficiency and power density of on-board chargers in the market. In-vehicle chargers generally adopt a two-stage architecture, in which the DC/DC of the second stage often needs to be isolated; at the same time, since the output is a battery load, the DC/DC stage is required to have a wide output voltage regulation range. However, the existing isolated DC/DC solutions are often difficult to balance the efficiency and power density of the circuit in a wide output voltage regulation range scenario. In order to obtain high efficiency, high power density isolated DC/DC with wide output voltage regulation range, the following researches are carried out in this thesis:

First of all, by investigating the state-of-art of isolated DC/DC in EVs, pros and cons of the existing isolated DC/DC with a wide range of voltage regulation are analyzed. Considering that the quasi-two-stage architecture has the characteristics of partial power processing, simple control and fixed switching frequency DCX with soft switching capability within the full load range, it has good potential for efficiency and power density optimization. So the quasi-two-stage architecture is selected as the research object of this thesis.

As for the DCX part of the quasi-two-stage architecture, a mathematical model of the conduction loss of the primary and secondary side switches of a three-port DCX is established, and a low-voltage cell circuit based DCX is designed based on the model, which can achieve lower device loss with the help of the low-NFoM characteristics of low-voltage devices. By connecting multiple low-voltage cell circuits in series on the DC side, the DCX is able to hold high input and output voltage; at the same time, by coupling the AC side windings of each cell circuit to the same transformer, the bus voltage of different cell circuits can be naturally balanced through magnetic coupling, which allows the DCX to work reliably.

Secondly, the turns ratio for the DCX transformer is designed according to the

input and output voltage specifications of the circuit, and the mathematical models for volume and loss of the DCX planar transformer are established. On the basis of the loss model, combined with the manufacturing limits and the minimum efficiency requirement of the transformer, the range of the size parameters in the transformer design is limited. Based on the volume model of the planar transformer, the size parameter configuration that minimizes the volume of the transformer is chosen within the range, which well balances the loss and size of the transformer.

For the voltage regulation part of the quasi-two-stage architecture, the cascaded BUCK is proposed, whose multiple bus bar voltage of the cascaded BUCK can be naturally balanced by the DCX. Through multi-level operation, the cascaded BUCK can greatly reduce the volt-second of the BUCK inductor compared with the traditional two-level circuit, thereby reducing the volume of the inductor and increasing the power density of the circuit.

Finally, based on the RDCX topology and planar transformer design method proposed in this thesis, an experimental prototype was built, and the working principle, high efficiency and high power density characteristics of the topology were verified through experiments.

Key words: OBC, MHz, Partial Power Regulation, Regulated DC Transformer (RDCX), Multilevel.

插图清单

图 1.1	2010~2020 全球电动汽车市场销量统计 ^[1]	1
图 1.2	现有电动汽车的车载电能系统	2
图 1.3	车载充电机的技术发展趋势 ^[10-23]	2
图 1.4	OBC 的两级架构	3
图 1.5	双有源桥电路	3
图 1.6	LLC 谐振电路	4
图 1.7	两级架构	4
图 1.8	PP DCX+ACF 部分能量调整电路 ^[46]	5
图 1.9	准两级架构	6
图 2.1	本文采用的 RDCX 结构	8
图 2.2	三端口 DCX 关键波形	9
图 2.3	三端口 DCX 模态等效电路图	9
图 2.4	单级能量流动比 K 随 N_{SM}/N_P 的变化	12
图 2.5	V_C 随 V_o 的变化	13
图 2.6	器件 NFoM 与耐压的关系 (Infineon)	19
图 2.7	低压器件串联承担高电压应力	20
图 2.8	1MHz 原副边器件总导通损耗最小值和绕组电流标幺值随 t_d 的变化	22
图 2.9	1MHz 下死区时间 t_d 的设计范围	22
图 2.10	DCX 低压元胞电路	23
图 2.11	基于低压元胞电路的 DCX 电路	24
图 2.12	级联型 BUCK 电路	25
图 2.13	两桥臂级联 BUCK	26
图 2.14	两桥臂级联 BUCK 的电路关键波形	26
图 2.15	$0 < D < 0.5$ 时, 两桥臂级联 BUCK 的工作模式	28
图 2.16	$0.5 \leq D < 1$ 时, 两电平 BUCK 的工作波形	29
图 3.1	不同磁芯结构的磁通分布和 I 片高度	31
图 3.2	平面变压器结构	32
图 3.3	几种磁材料在 1MHz 下的磁损密度随 ΔB 的变化曲线 ^[64-68]	33
图 3.4	EI 结构平面变压器尺寸定义	33
图 3.5	材料 51W 的磁损密度随磁通密度的变化曲线 ^[64]	34
图 3.6	磁芯体积计算	34
图 3.7	变压器单匝绕组电压波形	35
图 3.8	PCB 绕组直流电阻计算	36
图 3.9	平面变压器绕组排布结构和 MMF	37
图 3.10	EI Core 平面变压器体积参数	38
图 3.11	变压器磁芯 I 片的厚度和最高器件高度的关系	39
图 3.12	贴近平面变压器摆放器件	39
图 3.13	平面变压器的参数优选	41
图 4.1	样机照片	43
图 4.2	RDCX 充电工作时的控制框图	44
图 4.3	充电工作时 DCX 原理图和波形图	45

图 4.4 充电工作时级联 BUCK 的关键波形	45
图 4.5 级联 BUCK 原理图	46
图 4.6 充电工作时，输入电压跳变时的输出电流仿真动态图	46
图 4.7 RDCX 放电工作控制框图	47
图 4.8 放电工作时 DCX 原理图和波形图	48
图 4.9 调压部分级联 BOOST 的关键波形	48
图 4.10 级联 BOOST 原理图	49
图 4.11 放电工作时，负载跳变时的输出压仿真动态图	49
图 4.12 元胞电路均压均流测试	50
图 4.13 电路的充电曲线	51
图 4.14 在图 4.13 的条件下测试的电路效率曲线.....	51
图 4.15 输出电压 360V 时满载情况下的电路损耗分析.....	52

仅限PMIC会员单位内部使用，不得外传

附表清单

表 4.1 RDCX 样机器件参数	43
-------------------------	----

仅限PMIC会员单位内部使用，不得外传

目次

致谢.....	I
基金资助.....	III
摘要.....	IV
Abstract.....	VI
插图清单.....	VIII
附表清单.....	X
目次.....	XI
1 绪论	1
1.1 论文研究背景.....	1
1.2 用于 OBC 的宽调压范围隔离型 DC/DC 电路研究现状	3
1.2.1 DAB	3
1.2.2 谐振型电路.....	4
1.2.3 两级架构.....	4
1.2.4 准两级架构.....	4
1.3 本文主要研究内容.....	6
2 基于低压元胞电路的宽输出范围 RDCX 设计	8
2.1 电路规格与 RDCX 匝比设计	8
2.1.1 RDCX 的工作原理	8
2.1.2 DCX 的匝比设计	11
2.2 基于低压元胞电路的 DCX 设计	14
2.2.1 原副边开关管总导通损耗模型.....	14
2.2.2 DCX 电路的器件优选与死区时间设计	17
2.3 基于低压元胞电路的 RDCX 拓扑	22
2.3.1 基于低压元胞电路的 DCX 拓扑	22
2.3.2 调压部分电路拓扑的选择.....	25
2.3.3 Cascade-BUCK 的工作原理.....	25
2.4 本章小结.....	30
3 DCX 平面变压器设计.....	31

3.1 变压器结构选择.....	31
3.2 变压器参数设计.....	32
3.2.1 磁芯材料的选取.....	32
3.2.2 平面变压器损耗模型.....	33
3.2.3 平面变压器体积模型.....	38
3.2.4 平面变压器参数设计.....	38
3.3 本章小结.....	42
4 实验验证.....	43
4.1 充电工作.....	44
4.2 放电工作.....	47
4.3 元胞电路间的电压和电流一致性.....	49
4.4 效率测试与损耗分析.....	51
4.5 本章小结.....	52
5 总结与展望.....	53
5.1 全文工作总结.....	53
5.2 研究工作展望.....	53
参考文献.....	55
攻读硕士学位期间取得的研究成果.....	60

1 绪论

1.1 论文研究背景

因节能，低碳，低空气和噪声污染等特性，电动汽车正逐渐成为人们出行的一个重要选项，相关产业近年来蓬勃发展。国际能源署（International Energy Agency, IEA）在其报告《2021 年全球电动汽车展望》中提到，在过去的十年间，全球电动汽车市场销量稳步上升，截至 2020 年，全球电动汽车市场已达到了一千万台，如图 1.1 所示。根据各国的发展政策和市场的扩张趋势，IEA 预计到 2030 年，全球电动汽车总销量将达到近一亿五千万台；若进一步考虑到 2021 年以来各大原始设备制造商（Original equipment manufacturers, OEMs）新提出的发展计划，到 2030 年，全球电动汽车销量将有望达到两亿台^[1]。在国家战略层面上，2020 年出台的《新能源汽车产业发展规划（2021—2035 年）》中指出，“发展新能源汽车是我国从汽车大国迈向汽车强国的必由之路，是应对气候变化、推动绿色发展的战略举措”，发展新能源汽车能“推动汽车从单纯交通工具向移动智能终端、储能单元和数字空间转变，带动能源、交通、信息通信基础设施改造升级，促进能源消费结构优化、交通体系和城市运行智能化水平提升，对建设清洁美丽世界、构建人类命运共同体具有重要意义”^[2]。从电动汽车市场的迅速增长和电动汽车产业对推动人类进步的历史意义可见，电动汽车产业已经迎来快速发展期，其发展前景非常巨大。

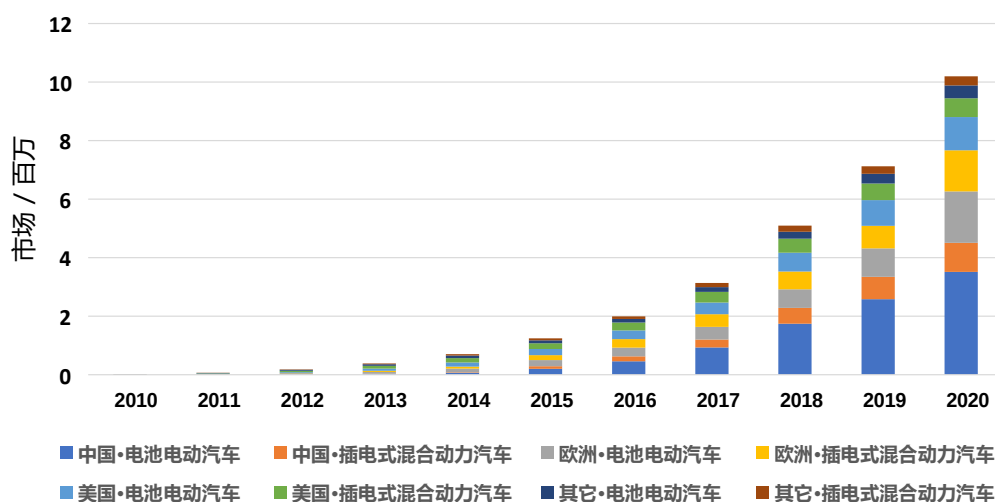


图 1.1 2010~2020 全球电动汽车市场销量统计^[1]

车载充电机（On-Board Charger, OBC）是电动汽车的重要组成部分之一，其负责将市电的交流电转换为直流电为电动汽车的动力电池充电，如图 1.2 所示 [3-10]。近年来，随着消费者对电动汽车里程数需求的增加，电动汽车电池容量不断提高。此时为了避免充电时间过长，就要求车载充电机有更高的充电功率。但电动汽车本身的空间和散热能力有限，故而市场开始对车载充电机的功率密度和效率提出了更高的要求。

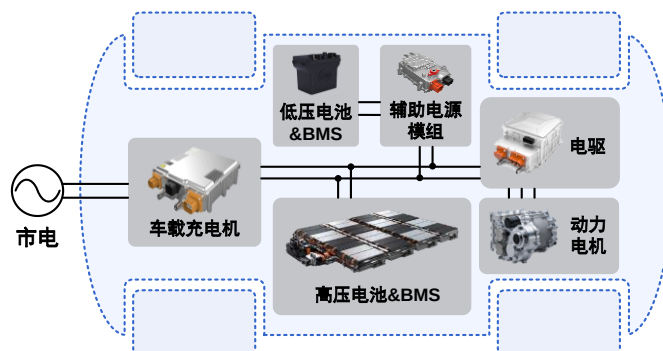


图 1.2 现有电动汽车的车载电能系统

图 1.3 展示了目前工业界和学术界研制的车载充电机的效率和功率密度分布图 [10-23]。可见传统基于 Si 基器件的 OBC 产品的效率大多低于 95%，功率密度约为 20~30W/in³；而随着宽禁带器件的应用，车载充电机的效率和功率密度不断提高，Hella 和 GaNSystem 公司研制的基于 GaN 器件的 OBC 效率已经超过了 97%，功率密度可达 65W/in³，是传统产品的一倍以上。美国能源高级研究计划署 (Advanced Research Projects Agency for Energy, ARPA-E) 的车载充电机项目提出，在 2022 年，车载充电机的功率密度应达到近 200W/in³，同时保证较高的效率 [23]。可见紧凑、高效已经成为了车载充电机的发展趋势。

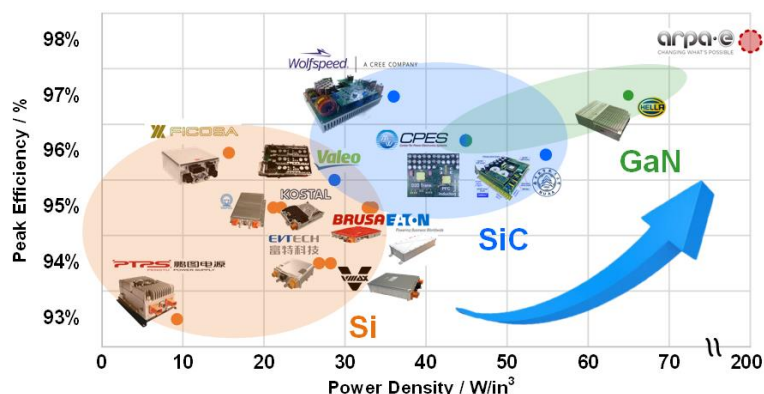


图 1.3 车载充电机的技术发展趋势 [10-23]

车载充电机一般采用两级架构，如图 1.4 所示，前级 AC/DC 负责功率因数校正，后级 DC/DC 实现隔离和调压功能。由于 DC/DC 所接负载为电池，故需要其有较宽的调压范围。下一节将对宽调压范围的隔离型 DC/DC 电路进行调研。

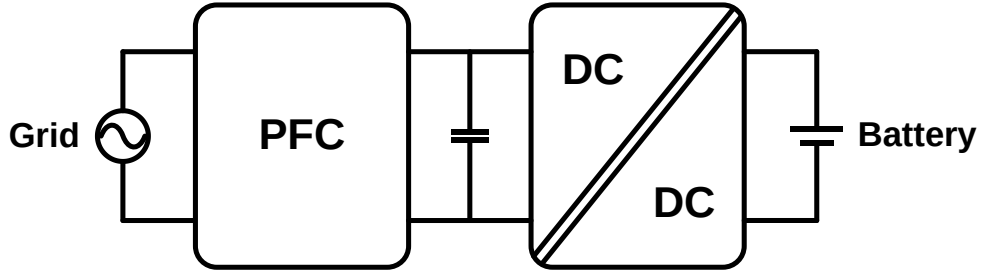


图 1.4 OBC 的两级架构

1.2 用于 OBC 的宽调压范围隔离型 DC/DC 电路研究现状

1.2.1 DAB

双有源桥（Dual Active Bridge, DAB）由于其拓扑简单，通过原副边移相就可以控制能量的流动方向和大小，且能实现零电压开通等特点而成为 OBC 中 DC/DC 的选择之一，如图 1.5 所示。然而，其因移相带来电压和电流相位差，增加了电路中流动的无功功率，电路环流损耗增加；在仅有原副边桥臂移相的单移相控制（Single-phase-shift, SPS）下软开关实现范围小，且开关管关断时刻在峰值电流点，关断损耗较大。为了解决上述问题，可以在 SPS 的基础上控制原边或副边全桥电路中的两个桥臂间的移相角，进一步地还可以控制桥臂的占空比，甚至同时对原副边采取上述控制，通过多重控制优化电路工作。但是多重控制的控制量过于繁多，控制难度增大。^[24-26]

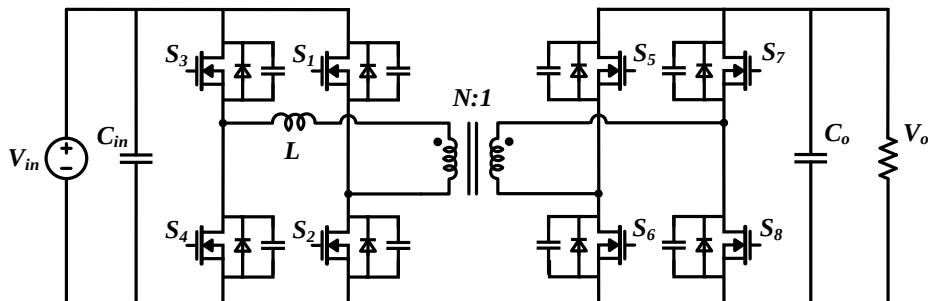


图 1.5 双有源桥电路

1.2.2 谐振型电路

另一种方案是以 LLC 为代表的谐振型隔离变换器,如图 1.6 所示,其可以在较宽的负载范围内实现原边开关管的零电压开通和副边同步整流管的零电流关断,具有良好的软开关特性。然而,谐振变换器一般是通过改变开关频率调整电压的,在进行宽范围调压时,该种类变换器的频率变化范围较宽,而变换器的变压器一般仅针对谐振频率设计,故而在远离设计点的时候变换器的效率较低。[27-29]

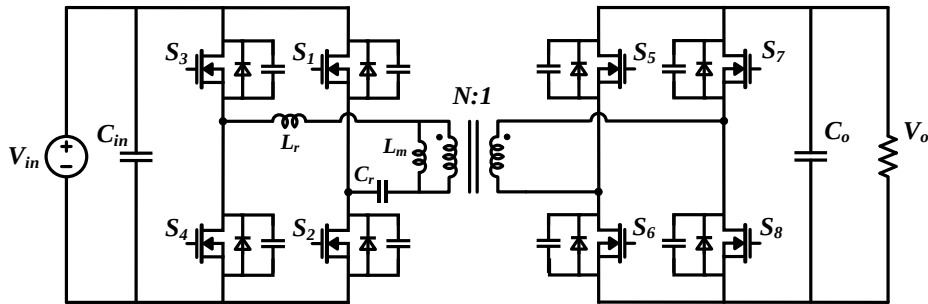
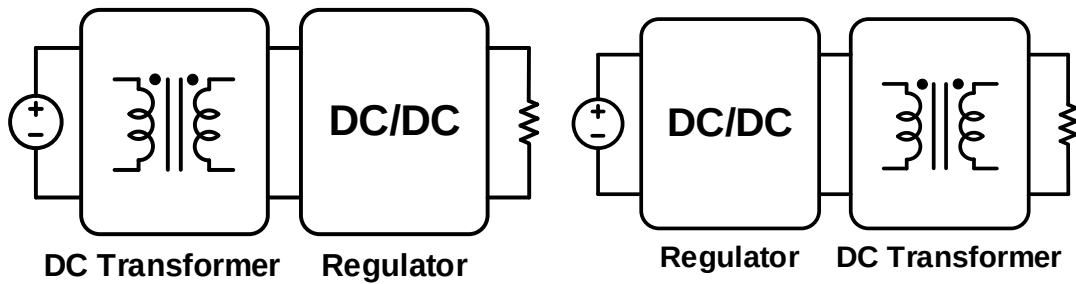


图 1.6 LLC 谐振电路

1.2.3 两级架构

除单级方案外,还可以通过将图 1.4 中的 DC/DC 进一步分为两级电路,两级电路分别实现电压调整和电气隔离功能,如图 1.7 所示。在图 1.7 的架构中,每一级电路都可以实现较好的优化,且易于实施。然而,此时电路的两级都流过全部的输出功率,这导致整机的效率较低。[30-38]



(a) 前级隔离, 后级调压

(b) 前级调压, 后级隔离

图 1.7 两级架构

1.2.4 准两级架构

为了解决两级架构效率较低的问题,文献[39-45]提出了准两级架构。在准两级

架构中, 仅有部分功率流过调压电路, 故相较两级架构, 该方案有望得到更高的效率。如图 1.8 所示, 为由推挽型直流变压器(Push-Pull DC Transformer, PP DCX)结合有源钳位反激变换器(Active Clamp Flyback, ACF)的部分能量调整方案^[46]。其中 PP DCX 工作在固定工作频率和占空比下, 其输入电压和输出电压的比值固定, 输出电压不可调, 表现出直流变压器(DC Transformer, DCX)的特性; 而 ACF 的输入端与 PP DCX 的输入端并联, 从电源 V_{in} 取电; 输出端与 PP DCX 的输出端串联, 此时整机的输出电压 V_o 为 PP DCX 的输出电压 V_{o1} 和 ACF 的输出电压 V_{o2} 之和, 故通过调整 ACF 的输出电压即可完成对输出电压的调节。由于该类电路通过将 DCX 和调压电路(Regulator)组合实现调压功能, 故又将该种类型的拓扑称为 RDCX (Regulated DCX)。

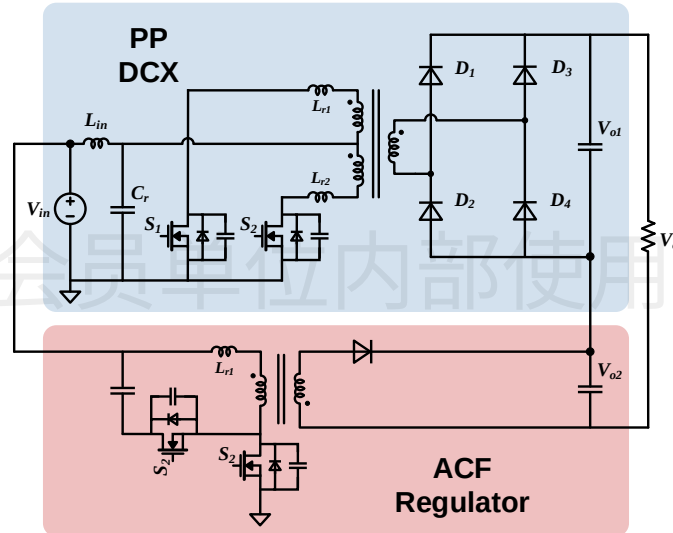


图 1.8 PP DCX+ACF 部分能量调整电路^[46]

根据调压电源网络和 DCX 电路的端口串并联关系, 可将输出侧调压的 RDCX 电路大致分为三种类型, 如图 1.9 所示。其中图 1.9(a)为调压电路与 DCX 在输入直流侧并联, 输出直流侧串联的结构^[44,46-49], 图 1.8 即为该结构的一种具体拓扑。在图 1.9(a)的结构中, 调压电路一般要求使用完整的隔离型调压拓扑, 这将导致拓扑使用的器件较多, 电路成本较高; 图 1.9(b)为调压电路与 DCX 在直流侧并联, 交流侧串联的结构, 该结构相较图 1.9(a)的结构复用了调压电路和 DCX 的整流器, 系统更加简单^[50,51]; 图 1.9(c)、(d)为调压电路与 DCX 在交流侧并联, 直流侧串联的结构^[39,41,52,53]。其中, 图 1.9(d)中调压电路通过

与 DCX 复用磁芯, 相较 (c) 的结构可以减少一个变压器, 有助于提高电路的功率密度。然而, 在车载充电机应用中, 由于输出电压的范围较宽, 调压部分若采用现有方案中的两电平 PWM 电路, 由于电感的伏秒较大, 调压电路需要使用较大的滤波电感, 这使得电路的功率密度依然较低。

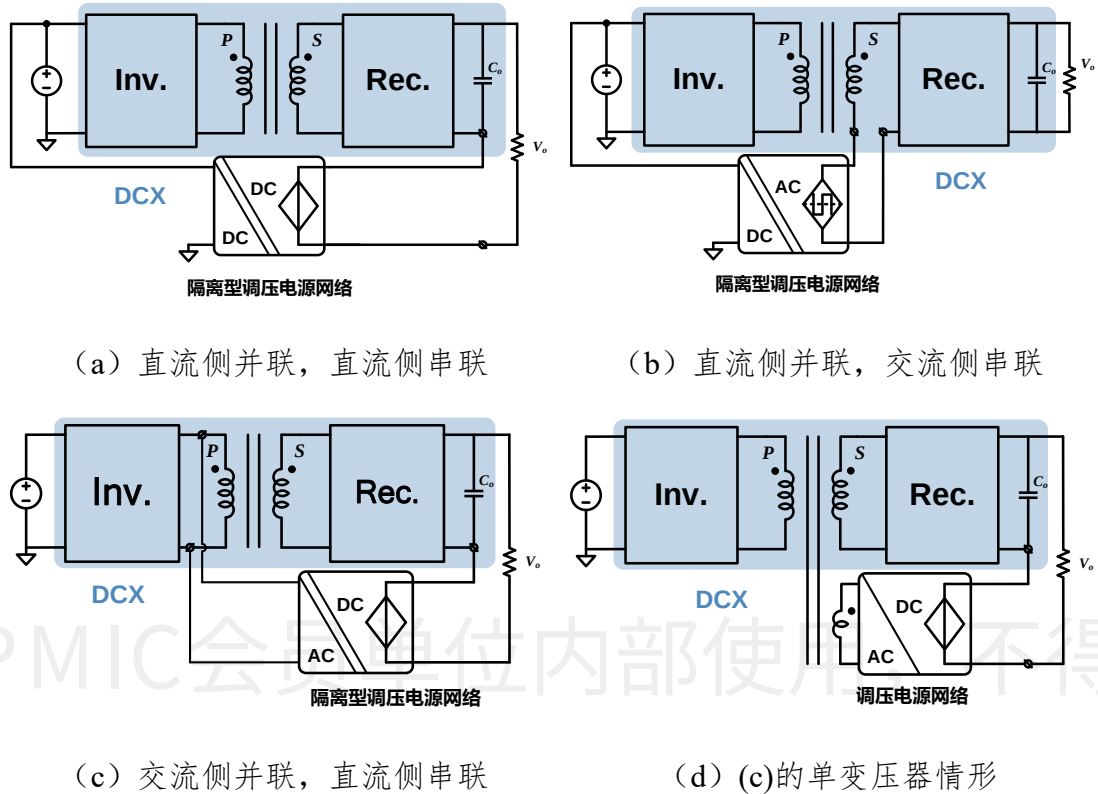


图 1.9 准两级架构

1.3 本文主要研究内容

为了提高 RDCX 在高压宽范围输出时的效率和功率密度, 本文建立了 RDCX 中 DCX 的器件和变压器损耗模型, 以及变压器的体积模型, 对电路中的损耗来源和变压器体积进行了分析, 从而对现有拓扑架构和变压器尺寸设计进行优化。本文的主要内容如下:

第一章介绍了车载充电机的发展趋势, 并指出了其对高效率、高功率密度的发展需求。通过调研车载充电机中隔离型 DC/DC 的研究现状, 分析对比了现有的宽调压范围隔离型 DC/DC 的优缺点, 确定了论文主要内容。

第二章通过分析 RDCX 的工作原理, 建立了 RDCX 中三端口 DCX 的原副

边器件的导通损耗模型,并基于模型设计了一种基于低压元胞电路的 DCX 电路,该电路借助低压器件低 NFoM 的特性,可以实现较低的器件损耗;同时,针对宽输出调压范围的应用场景,本章为调压部分设计了级联 BUCK 电路,并分析了该电路的工作原理。该电路具有能实现多电平工作的特点,有助于减小调压电路的磁元件体积。

第三章建立了变压器的损耗模型和体积模型,并结合实际情况和变换器效率要求对变压器尺寸参数的取值范围进行了限制,简化了平面变压器的设计流程,并基于该流程为第二章设计的 DCX 设计了平面变压器。

第四章基于本文第二章和第三章中的 RDCX 电路和变压器设计方法搭建了一台实验样机,并对样机功能和效率进行了测试,实验结果验证了理论分析和设计方法的合理性。

第五章总结了本文的工作,并结合其中的不足之处对课题未来的研究方向进行了展望。

仅限PMIC会员单位内部使用，不得外传

2 基于低压元胞电路的宽输出范围 RDCX 设计

2.1 电路规格与 RDCX 匝比设计

2.1.1 RDCX 的工作原理

在第一章 1.2.4 节提到的几种 RDCX 架构中，交流侧并联/直流侧串联的架构可采用单个变压器实现，能一定程度上减小磁元件的体积，更易于实现较高的功率密度。图 2.1 中给出了本文采用的交流侧并联，直流侧串联的 RDCX 拓扑架构^[39,54]。其中 DCX 部分为三端口结构，原边采用半桥逆变，主要副边和辅助副边采用倍压整流； L_{kp} 、 L_{ksm} 、 L_{ksa} 分别为三端口变压器原边 P 、不接调压电路的主要副边 S_M 和接调压电路的辅助副边 S_A 的漏感， L_m 为变压器励磁电感。该 DCX 工作时关键波形如图 2.2 所示。

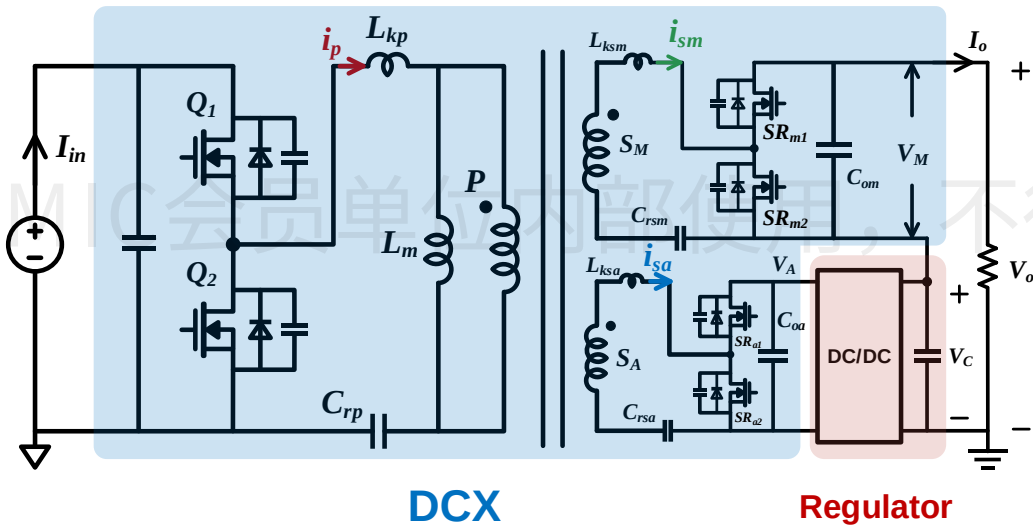


图 2.1 本文采用的 RDCX 结构

结合图 2.2，现将图 2.1 中三端口 DCX 的模式分析如下，分析过程中做如下假设：

- 1) 变换器处于稳态；
- 2) DCX 输出电容 C_{om} 与 C_{oa} 足够大，输出电压 V_M 和 V_A 可以近似为电压源；
- 3) DCX 变压器三个端口的谐振参数满足 $L_{kp} \cdot C_{rp} = L_{ksm} \cdot C_{rsm} = L_{ksa} \cdot C_{rsa}$ 的关系；
- 4) 图 2.1 电路中，电感、电容、变压器和开关管等元器件均为理想的。

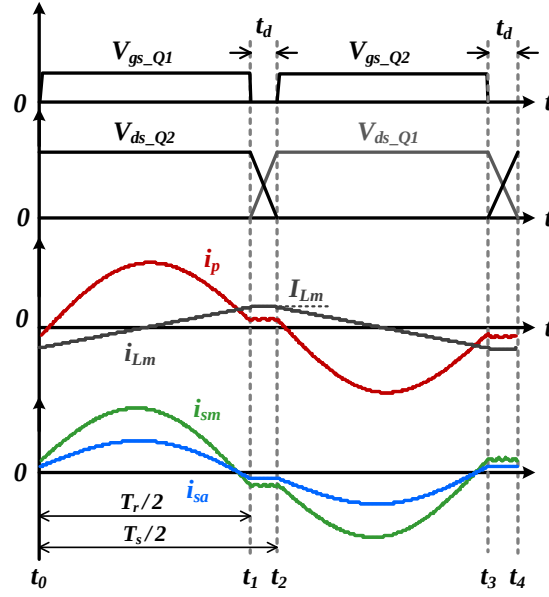


图 2.2 三端口 DCX 关键波形

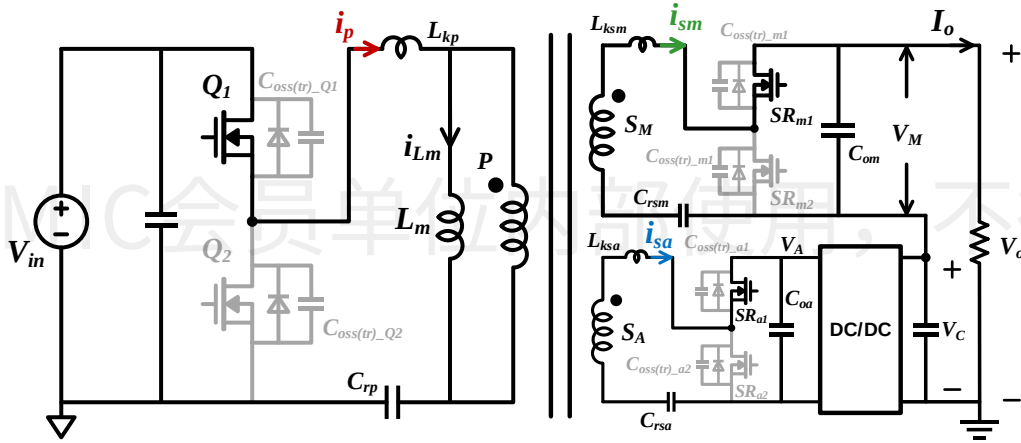
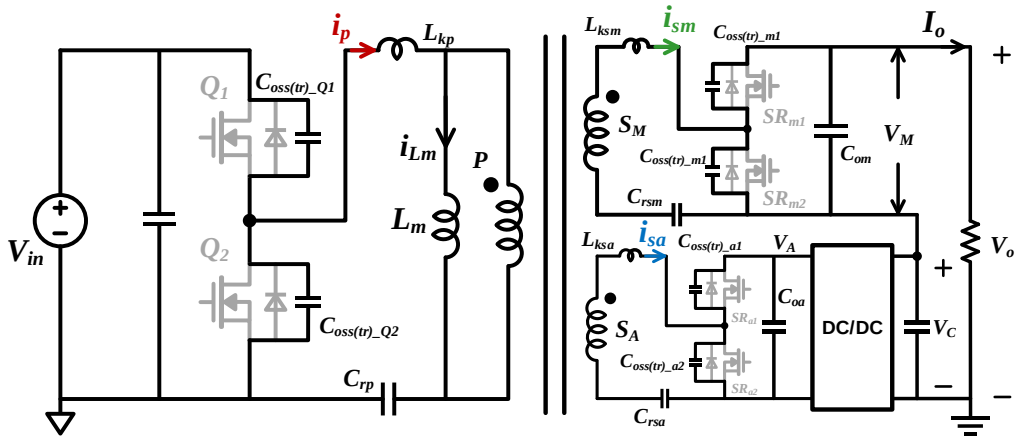
(a) 模式 1 ($t_0 - t_1$)(b) 模式 2 ($t_1 - t_2$)

图 2.3 三端口 DCX 模式等效电路图

模式 1 ($t_0 - t_1$) : t_0 时刻, 原边桥臂上管 Q_1 与副边同步整流管 SR_{m1} 、 SR_{a1} 开

通，等效电路图如图 2.3 (a) 所示。此时变压器漏感 L_{kp} 、 L_{ksm} 、 L_{ksa} 与各端口谐振电容 C_{rp} 、 C_{rsm} 、 C_{rsa} 开始谐振，谐振腔电流开始以正弦形式变化，电流大小由各端口流过的功率决定；输入电压经过 L_{kp} 和 C_{rp} 施加在变压器励磁电感 L_m 上，由于 C_{rp} 与 L_{kp} 谐振，故而两者上的交流压降之和可以忽略， L_m 上施加的电压近似为 $V_{in}/2$ ，励磁电流 i_{Lm} 开始线性上升，直至半个谐振周期 $T_r/2$ 之后的 t_2 时刻， Q_1 的驱动信号 V_{gs_Q1} 变为低电平，模态 1 结束，进入模态 2；

模态 2 (t_1-t_2): t_1 时刻，原边开关管 Q_1 、 Q_2 关断，副边整流管 SR_{m1} 、 SR_{m2} 、 SR_{a1} 和 SR_{a2} 关断，等效电路如图 2.3 (b) 所示，此时变压器原边不向副边传递能量。在该模态内，励磁电流 i_{Lm} 对原副边 MOS 管的结电容 $C_{oss(tr)_Q1}$ 、 $C_{oss(tr)_Q2}$ 、 $C_{oss(tr)_m1}$ 、 $C_{oss(tr)_m2}$ 、 $C_{oss(tr)_a1}$ 和 $C_{oss(tr)_a2}$ 进行充放电。由于一般有 L_m 远大于变压器漏感，因此 L_m 与结电容的谐振周期远大于该模态时间即死区时间 t_d ，故而励磁电流 i_{Lm} 在该模态内可视为不变，为 I_{Lm} 。将励磁电流 i_{Lm} 等效为一个恒流源，则原副边桥臂上下管的结电容的电压线性变化。直至 t_2 时刻，桥臂上管 Q_1 的漏源电压 V_{ds_Q1} 下降到 0，副边同步整流管 SR_{m1} 和 SR_{a1} 导通，原边桥臂下管 Q_1 的驱动信号 V_{gs_Q1} 到来，此模态结束，进入下一个模态。

图 2.2 中，时区 (t_2-t_3) 和 (t_3-t_4) 分别为模态 1 和模态 2 在负半周期的互补工作状态，其分析过程类似，在此不再赘述。

由图 2.1，可得 RDCX 各端口的电压关系：

$$V_o = V_M + V_C \quad (2.1)$$

$$V_C = V_A \cdot G_{DC/DC} \quad (2.2)$$

$$\frac{V_M}{V_{in}} = \frac{N_{SM}}{N_P} \quad (2.3)$$

$$\frac{V_A}{V_{in}} = \frac{N_{SA}}{N_P} \quad (2.4)$$

其中 $G_{DC/DC}$ 为图 2.1 中调压电路 DC/DC 的增益， N_P 表示原边绕组的匝数， N_{SM} 表示主要副边的绕组匝数， N_{SA} 表示辅助副边的绕组匝数。

由式(2.1)~式(2.4)可得图 2.1 中 RDCX 电路的增益：

$$G_{RDCX} = \frac{N_{SM}}{N_P} + \frac{N_{SA}}{N_P} \cdot G_{DC/DC} \quad (2.5)$$

由式(2.5)可见，在确定变压器的原副边匝比 N_{SM}/N_P 、 N_{SA}/N_P 后，通过调整调压 DC/DC 的增益即可实现 RDCX 的调压功能。

2.1.2 DCX 的匝比设计

基于图 2.1 的 RDCX 电路，我们可以根据应用要求的电路规格设计其中 DCX 的变压器匝比。在 OBC 中的两级架构中，隔离型 DC/DC 的前级是市电输入的 PFC，母线电压一般为 400V 左右，并带有一定的工频纹波，故本文取输入电压为 388~412V 进行设计；对于输出电压，由于隔离型 DC/DC 输出接电池负载，要求输出电压可根据电池的 SOC (State of Charge, 电荷储存情况) 能在 250V 左右到 450V 左右调整，故本文取输出电压范围为 250~450V 为例进行设计。综上，本文设计的 RDCX 的输入输出电压规格为：

$$\begin{cases} 388V \leq V_{in} \leq 412V \\ 250V \leq V_o \leq 450V \end{cases} \quad (2.6)$$

在 RDCX 架构中，为了提高效率，应该让尽可能多的能量仅流过一级。定义单级能量流动比：

$$K = \frac{P_M}{P_o} = \frac{V_M \cdot I_o}{V_o \cdot I_o} = \frac{N_{SM}}{N_P} \cdot \frac{V_{in}}{V_o} \quad (2.7)$$

其中， P_M 表示图 2.1 中主要副边 S_M 的输出功率， P_o 表示 RDCX 的总输出功率，从而 K 表示 RDCX 中流过单级的功率在总输出功率的占比。可见其是主要副边和原边绕组匝比 N_{SM}/N_P 和输入电压和输出电压比值 V_{in}/V_o 的乘积。由上文的 RDCX 输入输出电压规格可得 V_{in}/V_o 的取值范围为：

$$\frac{250}{412} \leq \frac{V_{in}}{V_o} \leq \frac{450}{388} \quad (2.8)$$

考虑到在图 2.1 中，有：

$$V_C \geq 0 \quad (2.9)$$

结合式(2.1)、式(2.6)和式(2.9)有：

$$V_M \leq 250V \quad (2.10)$$

由式(2.10)、式(2.6)可得：

$$\frac{N_{SM}}{N_P} = \frac{V_M}{V_{in}} \leq \frac{250}{412} \approx 0.6 \quad (2.11)$$

考虑到 N_{SM} 和 N_P 的物理意义，其取值应大于 0。综上可得 N_{SM}/N_P 的取值范围为：

$$0 \leq \frac{N_{SM}}{N_P} \leq 0.6 \quad (2.12)$$

由式(2.7)可得在不同 V_{in}/V_o 下单级能量流动比 K 随 N_{SM}/N_P 的变化如图 2.4 所示：

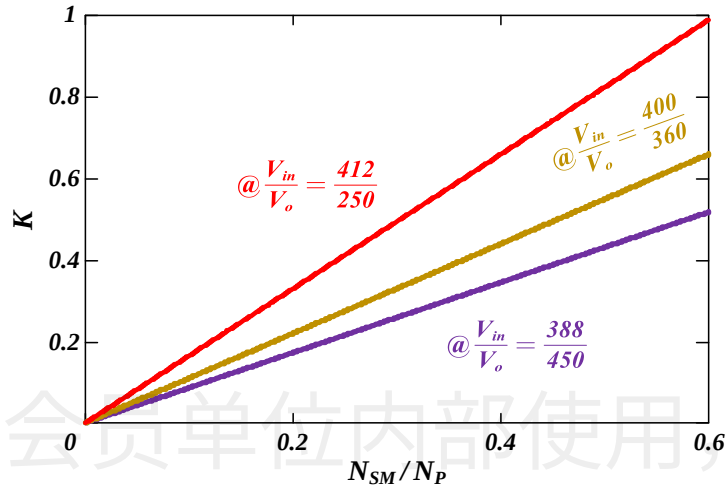


图 2.4 单级能量流动比 K 随 N_{SM}/N_P 的变化

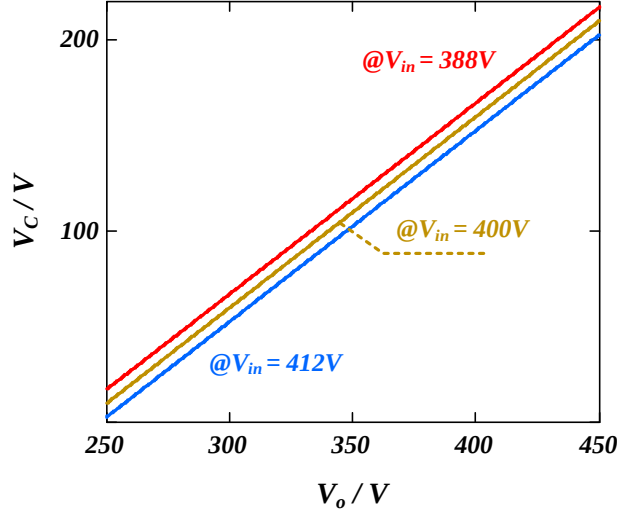
可见在任一 V_{in}/V_o 下，均有 K 的取值随着 N_{SM}/N_P 的增大而增大值应越大。 K 的取值越大，表示在一定输出功率下流过单级的能量越多，流过两级的能量越少，故 N_{SM}/N_P 在这里取式(2.12)所确定的最大值，即：

$$\frac{N_{SM}}{N_P} = 0.6 \quad (2.13)$$

由式(2.2)和式(2.4)可知，辅助副边和原边绕组的匝比 N_{SA}/N_P 与 V_C 、 V_{in} 的范围和图 2.1 中调压 DC/DC 的电路结构有关。由式(2.1)、式(2.3)和式(2.13)可得：

$$V_C = V_o - 0.6 \cdot V_{in} \quad (2.14)$$

由式(2.6)和式(2.14)可得在不同 V_{in} 下 V_C 随 V_o 的变化曲线如图 2.5 所示。由图可知 V_C 最低电压为 2.8V，接近于 0，故而图 2.1 中的调压 DC/DC 宜采用降压型电路。出于简单考虑，本文选择 BUCK 作为图 2.1 中调压 DC/DC。

图 2.5 V_C 随 V_o 的变化

当图 2.1 中调压 DC/DC 为 BUCK 时，有：

$$V_A(V_{in}) \geq \max[V_C(V_{in})] = 450 - 0.6 \cdot V_{in} \quad (2.15)$$

其中， $V_A(V_{in})$ 表示在输入电压为 V_{in} 时 V_A 的值； $\max[V_C(V_{in})]$ 表示在输入电压为 V_{in} 时， V_C 随输出电压 V_o 变化的最大值，由图 2.5 可知该值在 V_o 为 450V 时取得。将式(2.15)带入式(2.4)可得：

$$\frac{N_{SA}}{N_P} \geq \frac{450 - 0.6 \cdot V_{in}}{V_{in}} \quad (2.16)$$

结合式(2.6)，可得：

$$\frac{N_{SA}}{N_P} \geq \frac{217.2}{388} \approx 0.6 \quad (2.17)$$

又因为对于 BUCK 而言，在电路的输出电压和电流规格一定时，输入电压越低，电路的效率越高，故 N_{SA}/N_P 应取其取值范围内最小值，即：

$$\frac{N_{SA}}{N_P} = 0.6 \quad (2.18)$$

综合式(2.13)、式(2.18)可得所选电路规格下的 RDCX 电路中 DCX 变压器原副边绕组匝比为：

$$N_P : N_{SM} : N_{SA} = 5 : 3 : 3 \quad (2.19)$$

2.2 基于低压元胞电路的 DCX 设计

2.2.1 原副边开关管总导通损耗模型

由 2.1.1 节的模态分析可知, 由于图 2.1 中的 DCX 的原边开关管和副边同步整流管均能实现零电压开通和小电流关断, 故其器件损耗主要集中在导通损耗上。文献^[55]分析了高输入电压低输出电压应用场景下的 DCX 原边开关管的导通损耗情况, 并结合损耗模型进行了器件的优选和死区时间的设计。然而, 文献^[55]中并没有分析副边的导通损耗。在高压输出时, 副边器件的选择也变多了, 且此时副边同步整流管的结电容对励磁电流的影响不可忽略。故有必要对此时原副边总体的导通损耗进行建模, 并结合损耗模型进行器件的优选和电路参数的设计。

为了简化分析, 假设图 2.2 中 (t_0-t_l) 时区内以 t_0 为 0 时刻的原边绕组电流 i_p 波形的数学表达式为^[29]:

$$i_p = I_p \sin\left(\frac{2\pi}{T_r} \cdot t\right) + \left(\frac{4 \cdot I_{Lm_P}}{T_r} \cdot t - I_{Lm_P}\right) \quad (2.20)$$

其中, T_r 为 L_{kp} 和 C_{rp} 的谐振周期, I_{Lm_P} 为在死区时间内为原边开关管输出电容充放电的电流大小, 即:

$$I_{Lm_P} = \frac{2C_{oss(tr)_P} \cdot V_{in}}{t_d} \quad (2.21)$$

其中 $C_{oss(tr)_P}$ 为图 2.3 (b) 中原边开关管 Q_1 和 Q_2 的等效输出电容 $C_{oss(tr)_Q1}$ 和 $C_{oss(tr)_Q2}$ 的大小^[55]。

同理, 可假设图 2.2 中 (t_0-t_l) 时区内主要副边绕组电流 i_{sm} 波形的数学表达式为:

$$i_{sm} = I_{SM} \sin\left(\frac{2\pi}{T_r} \cdot t\right) - \left(\frac{4 \cdot I_{Lm_SM}}{T_r} \cdot t - I_{Lm_SM}\right) \quad (2.22)$$

辅助副边绕组电流 i_{sa} 波形的数学表达式为:

$$i_{sa} = I_{SA} \cdot \sin\left(\frac{2\pi}{T_r} \cdot t\right) - \left(\frac{4 \cdot I_{Lm_SA}}{T_r} \cdot t - I_{Lm_SA}\right) \quad (2.23)$$

其中, I_{Lm_SM} 和 I_{Lm_SA} 分别为在死区时间内为主要副边和辅助副边整流桥臂同步整流管输出电容充放电的电流大小, 即:

$$I_{Lm_SM} = \frac{2C_{oss(tr)_SM} \cdot V_M}{t_d} \quad (2.24)$$

$$I_{Lm_SA} = \frac{2C_{oss(tr)_SA} \cdot V_A}{t_d} \quad (2.25)$$

其中 $C_{oss(tr)_SM}$ 为图 2.3 (b) 中副边同步整流管 SR_{m1} 和 SR_{m2} 的等效输出电容 $C_{oss(tr)_m1}$ 和 $C_{oss(tr)_m2}$ 的容值； $C_{oss(tr)_SA}$ 则为 SR_{a1} 和 SR_{a2} 的等效输出电容 $C_{oss(tr)_a1}$ 和 $C_{oss(tr)_a2}$ 的容值。

对图 2.3 (b) 应用 KCL, 有:

$$i_P - i_{SM} \cdot \frac{N_P}{N_{SM}} - i_{SA} \cdot \frac{N_P}{N_{SA}} = i_{Lm} \quad (2.26)$$

其中 i_{Lm} 为励磁电感电流, 由 2.1.1 节的模态分析可得在图 2.2 中 (t_0-t_1) 区内以 t_0 为 0 时刻的励磁电感电流波形的数学表达式为:

$$i_{Lm} = \frac{4 \cdot I_{Lm}}{T_r} \cdot t - I_{Lm} \quad (2.27)$$

综合式(2.20)~式(2.27)可得图 2.1 中原边开关管的导通损耗为:

$$\begin{aligned} P_{Con_P} &= \frac{\int_{t_0}^{t_0+T_r/2} (i_P)^2 \cdot dt}{T_S/2} \cdot R_{dson_P} \\ &= \left(\frac{I_P^2}{2} + \frac{I_{Lm_P}^2}{3} \right) \cdot \frac{T_r \cdot R_{dson_P}}{T_S} \end{aligned} \quad (2.28)$$

其中 T_S 表示开关周期, R_{dson_P} 表示原边开关管 Q_1 和 Q_2 的导通电阻。

同理可得图 2.1 中主要副边及辅助副边同步整流管的导通损耗为:

$$P_{Con_SM} = \left(\frac{I_{SM}^2}{2} + \frac{I_{Lm_SM}^2}{3} \right) \cdot \frac{T_r \cdot R_{dson_SM}}{T_S} \quad (2.29)$$

$$P_{Con_SA} = \left(\frac{I_{SA}^2}{2} + \frac{I_{Lm_SA}^2}{3} \right) \cdot \frac{T_r \cdot R_{dson_SA}}{T_S} \quad (2.30)$$

其中 R_{dson_SM} 表示主要副边同步整流管 SR_{m1} 和 SR_{m2} 的导通电阻； R_{dson_SA} 表示辅助副边同步整流管 SR_{a1} 和 SR_{a2} 的导通电阻。

若忽略变换器损耗, 则根据变压器输出功率和绕组电流及端电压的关系, 可得图 2.1 中主要副边 S_M 的输出功率 P_M 和辅助副边 S_A 的输出功率 P_A 满足:

$$\int_{t_0}^{t_0+T_r/2} \frac{V_M}{2} \cdot i_{sm} \cdot dt \approx P_M \cdot \frac{T_s}{2} \quad (2.31)$$

$$\int_{t_0}^{t_0+T_r/2} \frac{V_A}{2} \cdot i_{sa} \cdot dt \approx P_A \cdot \frac{T_s}{2} \quad (2.32)$$

联合式(2.22)和式(2.31)可得：

$$I_{SM} = \frac{P_M}{V_M} \cdot \frac{\pi \cdot T_s}{T_r} \quad (2.33)$$

联合式(2.23)和式(2.32)可得：

$$I_{SA} = \frac{P_A}{V_A} \cdot \frac{\pi \cdot T_s}{T_r} \quad (2.34)$$

联合式(2.20)~(2.23)、式(2.26)、式(2.33)~(2.34)可得：

$$I_P = \left(\frac{P_M}{V_M} \cdot \frac{N_{SM}}{N_P} + \frac{P_A}{V_A} \cdot \frac{N_{SA}}{N_P} \right) \cdot \frac{\pi \cdot T_s}{T_r} \quad (2.35)$$

又因为对于图 2.1 中的三端口 DCX 有：

$$\begin{cases} V_M = V_{in} \cdot \frac{N_{SM}}{N_P} \\ V_A = V_{in} \cdot \frac{N_{SA}}{N_P} \\ P_o = P_M + P_A \end{cases} \quad (2.36)$$

故式(2.35)可以简化为：

$$I_P = \frac{P_o}{V_{in}} \cdot \frac{\pi \cdot T_s}{T_r} \quad (2.37)$$

由式(2.24)、式(2.29)、式(2.33)可得图 2.1 中 DCX 的主要副边同步整流管的导通损耗为：

$$P_{Con_SM} = \left(\frac{P_M^2 \cdot \pi^2 \cdot T_s}{2V_M^2 \cdot T_r} + \frac{4T_r \cdot V_M^2 \cdot C_{oss(tr)_SM}^2}{3T_s \cdot t_d^2} \right) \cdot R_{dson_SM} \quad (2.38)$$

同理，由式(2.25)、式(2.30)、式(2.34)可得图 2.1 中 DCX 的辅助副边同步整流管的导通损耗为：

$$P_{Con_SA} = \left(\frac{P_A^2 \cdot \pi^2 \cdot T_s}{2V_A^2 \cdot T_r} + \frac{4T_r \cdot V_A^2 \cdot C_{oss(tr)_SA}^2}{3T_s \cdot t_d^2} \right) \cdot R_{dson_SA} \quad (2.39)$$

由式(2.21)、式(2.28)、式(2.37)可得图 2.1 中 DCX 的原边开关管的导通损耗为：

$$P_{Con_P} = \left(\frac{P_o^2 \cdot \pi^2 \cdot T_s}{2V_{in}^2 \cdot T_r} + \frac{4T_r \cdot V_{in}^2 \cdot C_{oss(tr)_P}}{3T_s \cdot t_d^2} \right) \cdot R_{dson_P} \quad (2.40)$$

2.2.2 DCX 电路的器件优选与死区时间设计

观察式(2.38)~(2.40)可以发现，除去 P_M 、 P_A 、 P_o 、 V_M 、 V_A 、 V_{in} 等由电路应用规格决定的参数，器件的导通损耗主要与 DCX 开关频率 T_s 、死区时间 t_d 以及器件的导通电阻 R_{dson} 、等效输出电容 $C_{oss(tr)}$ 有关。本节将结合上节得到的原副边器件导通损耗模型和电路规格对这些参数进行优选和设计。

为了提高变换器的功率密度，我们需要使用较高的开关频率以减小变换器中无源元件的体积。为了简化设计，对于 DCX 部分，本文选取 1MHz 作为开关频率。

在针对应用选择器件时，首先需要根据电路的规格和拓扑结构确定各器件的电压应力，再在器件电压应力的基础上增加一定裕量来选择合适耐压的器件。而在同一电压等级的同一代器件之间，器件的等效输出电容 $C_{oss(tr)}$ 与导通电阻 R_{dson} 有如下近似关系^[55,56]：

$$C_{oss(tr)} = \frac{NFoM}{R_{dson}} \quad (2.41)$$

其中 NFoM 表征器件性能的一种品质因数 (Figure of Metric)，对于同一生产商使用同一材料在同一代工艺下生产的不同器件，其值近似保持一致。故我们可以借助式(2.41)来简化式(4.38)~(4.40)。将式(2.41)带入，可将式(2.38)改写为：

$$P_{Con_SM} = A_{SM} \cdot R_{dson_SM} + \frac{B_{SM}}{R_{dson_SM}} \quad (2.42)$$

其中， $A_{SM} = \frac{P_M^2 \cdot \pi^2 \cdot T_s}{2V_M^2 \cdot T_r}$ ， $B_{SM} = \frac{4T_r \cdot V_M^2 \cdot NFoM_{SM}^2}{3T_s \cdot t_d^2}$ 。NFoM_{SM} 表示在

图 2.1 电路中主要副边的倍压整流电路中所用同步整流管的 NFoM 值。

观察式(2.42)可以发现 P_{Con_SM} 为与 R_{dson_SM} 有关的对勾函数，在 A_{SM} 和 B_{SM} 不变的情况下，导通损耗将随 R_{dson_SM} 的增加先变大后减小。根据基本不等式可得 P_{Con_SM} 随 R_{dson_SM} 变化可得的最小值 $\min(P_{Con_SM})$ 以及取得该最小值时的导通电

阻值 $R_{dson_SM@min}$:

$$\min(P_{Con_SM}) = 2\pi \cdot \sqrt{\frac{2}{3}} \cdot \frac{P_M \cdot NFoM_{SM}}{t_d} \quad (2.43)$$

$$R_{dson_SM@min} = \sqrt{\frac{2}{3}} \cdot \frac{2 \cdot T_r \cdot V_M^2}{T_s} \cdot \frac{NFoM_{SM}}{P_M \cdot \pi \cdot t_d} \quad (2.44)$$

式(2.44)确定了在给定电路规格, 选定了器件耐压和系列的情况下, 在死区时间 t_d 下能最小化器件导通损耗所应选取的器件的导通电阻值, 由此可以指导针对特定电路规格进行的器件优选。

同理, 由式(2.39)可得辅助副边的同步整流管导通损耗随导通电阻变化取得的最小值 $\min(P_{Con_SA})$ 和取得该最小导通损耗时的器件导通电阻值 $R_{dson_SA@min}$:

$$\min(P_{Con_SA}) = 2\pi \cdot \sqrt{\frac{2}{3}} \cdot \frac{P_A \cdot NFoM_{SA}}{t_d} \quad (2.45)$$

$$R_{dson_SA@min} = \sqrt{\frac{2}{3}} \cdot \frac{2 \cdot T_r \cdot V_A^2}{T_s} \cdot \frac{NFoM_{SA}}{P_A \cdot \pi \cdot t_d} \quad (2.46)$$

其中, $NFoM_{SA}$ 表示在图 2.1 电路中辅助副边的倍压整流电路中所用同步整流管的 NFoM 值。

由式(2.40)可得原边的开关管导通损耗随导通电阻变化取得的最小值 $\min(P_{Con_P})$ 和取得该最小导通损耗时的器件导通电阻值 $R_{dson_P@min}$:

$$\min(P_{Con_P}) = 2\pi \cdot \sqrt{\frac{2}{3}} \cdot \frac{P_o \cdot NFoM_P}{t_d} \quad (2.47)$$

$$R_{dson_P@min} = \sqrt{\frac{2}{3}} \cdot \frac{2 \cdot T_r \cdot V_{in}^2}{T_s} \cdot \frac{NFoM_P}{P_o \cdot \pi \cdot t_d} \quad (2.48)$$

其中, $NFoM_P$ 表示在图 2.1 电路中原边的半桥逆变电路中所用开关管的 NFoM 值。

观察式(2.43)、式(2.45)和式(2.47)可以发现, 在电路规格确定的情况下, 图 2.1 中原副边 MOS 管的导通损耗均与对应器件的 NFoM 值成正比, 故为了提高 DCX 部分的效率, 我们应该选择尽可能低 NFoM 的器件。文献^[55]指出, 低压 Si 器件具有远低于高压 Si 器件的 NFoM 值, 如图 2.6 所示; 此外, 低压 Si 器件通过串联得到的等效高压器件的 NFoM 值与单个低压 Si 器件相同, 如图 2.7 所示, 有:

$$NFoM_{series} = n \cdot R_{dson} \times \frac{C_{oss(tr)}}{n} = R_{dson} \cdot C_{oss(tr)} = NFoM_{single} \quad (2.49)$$

其中 $NFoM_{series}$ 为 n 个低压器件串联后得到的等效高压器件的 NFoM 值, $NFoM_{single}$ 表示单个低压器件的 NFoM 值, n 表示器件的串联数。

由式(2.43)、式(2.45)、式(2.47)、式(2.49)和图 2.6 可知, 通过使用串联的低压器件, 可以相较于高压器件实现更低的导通损耗, 从而提高电路的效率。

由图 2.6 和式(2.49)可知, 在一定的电压应力下, 随着单颗器件耐压的降低, 等效串联高压器件的 NFoM 也随之降低, 但是其所需串联的低压器件数量将增多。当器件耐压 $V_{(BR)DSS}$ 小于 60V 时, 器件的 NFoM 随单颗器件耐压的降低而下降的幅度已不明显, 其对导通损耗的降低已经可以忽略; 然而相较选择 60V 器件, 若选用 30V 器件将会导致所需串联的器件数量成倍增加, 这将增加电路的成本与复杂度, 故最终本文选择耐压为 60V 的器件搭建 DCX 电路, 即:

$$NFoM_P = NFoM_{SM} = NFoM_{SA} = NFoM_{60V_Si(Infineon)} \quad (2.50)$$

其中 $NFoM_{60V_Si(Infineon)}$ 表示英飞凌公司 60V 器件的 NFoM 值。

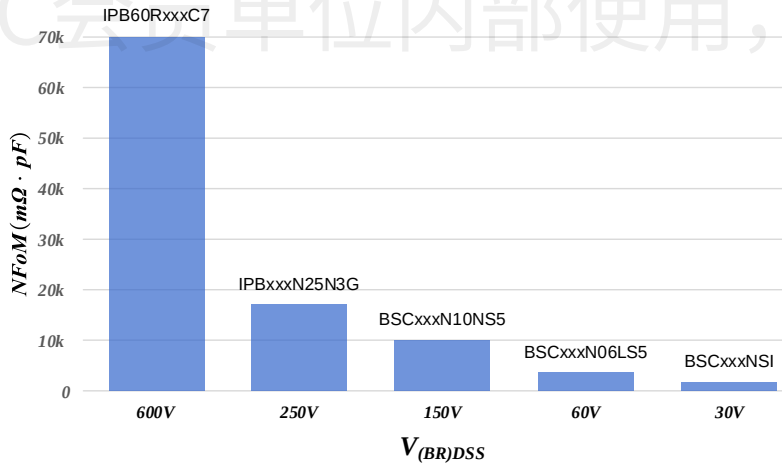


图 2.6 器件 NFoM 与耐压的关系 (Infineon)

由式(2.43)、式(2.45)、式(2.47)和(2.50)可得原副边器件总导通损耗与变换器传递功率的比值 $P^*_{Con_min}(t_d)$ 为:

$$\begin{aligned} P^*_{Con_min}(t_d) &= \frac{\min(P_{Con_P}) + \min(P_{Con_SM}) + \min(P_{Con_SA})}{P_o/\eta} \\ &= 4\pi \cdot \sqrt{\frac{2}{3}} \cdot \eta \cdot \frac{NFoM_{60V_Si(Infineon)}}{t_d} \end{aligned} \quad (2.51)$$

其中， η 为变换器的效率。

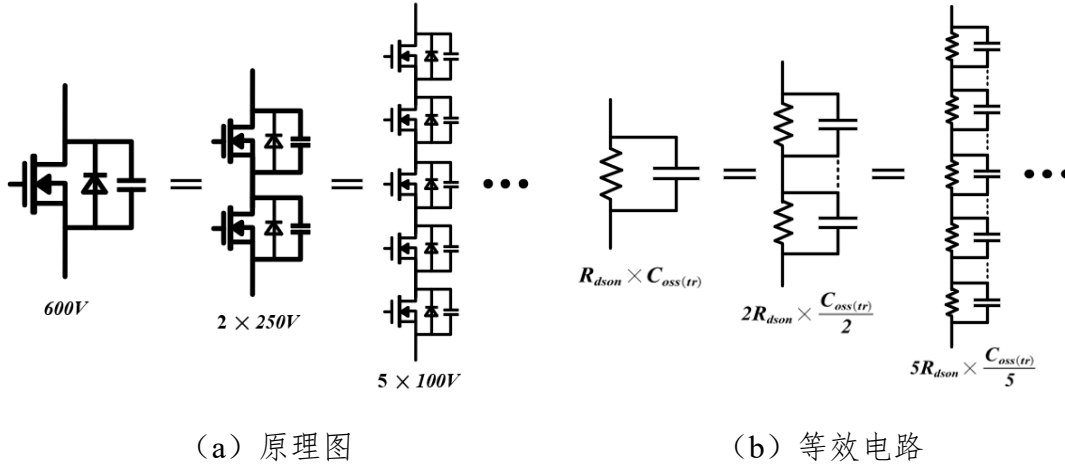


图 2.7 低压器件串联承担高电压应力

在式(2.51)中，除了 NFoM， t_d 也将影响开关管导通损耗的大小， t_d 越大，器件最低导通损耗越小，如就器件导通损耗而言， t_d 应选得越大越好。然而， t_d 还会影响到变压器绕组电流的有效值，进而影响到变压器的铜损，故在这里需要将 t_d 对两者的影响进行综合考虑来进行 t_d 的选择。为了简化分析，在计算绕组电流有效值与死区时间的关系时忽略励磁电流的作用，假设绕组中流过的电流波形为正弦，则可得简化的原边绕组电流的数学表达式为：

$$i_p'(t) = \begin{cases} I_p' \cdot \sin\left(\frac{2\pi}{T_r} \cdot t\right) & 0 \leq t \leq \frac{T_s}{2} \\ 0 & \frac{T_r}{2} < t \leq \frac{T_s}{2} \end{cases} \quad (2.52)$$

由于在不同 t_d 下变压器原边向副边传递的电流应保持一致，故有：

$$\int_0^{T_s/2} \frac{V_{in}}{2} \cdot i_p'(t) \cdot dt \approx P_o \cdot \frac{T_s}{2} \quad (2.53)$$

由式(2.52)和式(2.53)可得：

$$I_p' = \frac{\pi \cdot P_o \cdot T_s}{V_{in} \cdot T_r} \quad (2.54)$$

综合式(2.52)和式(2.54)可得原边绕组电流有效值 $i_{sm_RMS}(t_d)$ 为：

$$i_{p_RMS}(t_d) = \frac{\sqrt{\int_0^{T_s/2} (i_p')^2 \cdot dt}}{T_s/2} = \frac{\pi \cdot P_o}{V_{in}} \sqrt{\frac{1}{T_r}} = \frac{\pi \cdot P_o}{V_{in}} \sqrt{\frac{1}{T_s - 2t_d}} \quad (2.55)$$

同理可得变压器主要副边和辅助副边绕组电流有效值 $i_{sm_RMS}(t_d)$ 和 $i_{sa_RMS}(t_d)$:

$$i_{sm_RMS}(t_d) = \frac{\pi \cdot P_M}{V_M} \sqrt{\frac{I}{T_s - 2t_d}} \quad (2.56)$$

$$i_{sa_RMS}(t_d) = \frac{\pi \cdot P_A}{V_A} \sqrt{\frac{I}{T_s - 2t_d}} \quad (2.57)$$

可见变压器三组绕组中的电流有效值均分别与每个绕组端口传输的功率和电压以及开关频率 T_s 、死区时间 t_d 有关。为了方便比较在相同功率不同 t_d 下的绕组电流有效值，现定义在死区时间为 t_d 时的原边绕组电流有效值 $i_{p_RMS}(t_d)$ 与死区时间为 0 时的电流有效值 $i_{p_RMS}(0)$ 的比值为原边绕组电流有效值的标么值 $i_{p_RMS}^*(t_d)$ ，故可得：

$$i_{p_RMS}^*(t_d) = \sqrt{\frac{T_s}{T_s - 2t_d}} \quad (2.58)$$

同理可得

$$i_{sm_RMS}^*(t_d) = \sqrt{\frac{T_s}{T_s - 2t_d}} \quad (2.59)$$

$$i_{sa_RMS}^*(t_d) = \sqrt{\frac{T_s}{T_s - 2t_d}} \quad (2.60)$$

观察式(2.58)~式(2.60)可知：

$$i_{p_RMS}^*(t_d) = i_{sa_RMS}^*(t_d) = i_{sm_RMS}^*(t_d) \quad (2.61)$$

式(2.61)表明，在开关频率一定的情况下， t_d 的变化对图 2.1 中变压器原边，副边，辅助副边绕组电流有效值的影响程度是相同的。不妨定义绕组电流标么值：

$$i_{w_RMS}^*(t_d) = \sqrt{\frac{T_s}{T_s - 2t_d}} \quad (2.62)$$

则 $i_{w_RMS}^*(t_d)$ 即可表示死区时间对变压器绕组电流有效值的影响。

为了选取合适的死区时间，现将(2.51)和式(2.62)在预期 DCX 效率为 99% 时随 t_d 的变化绘制如图 2.8 所示：

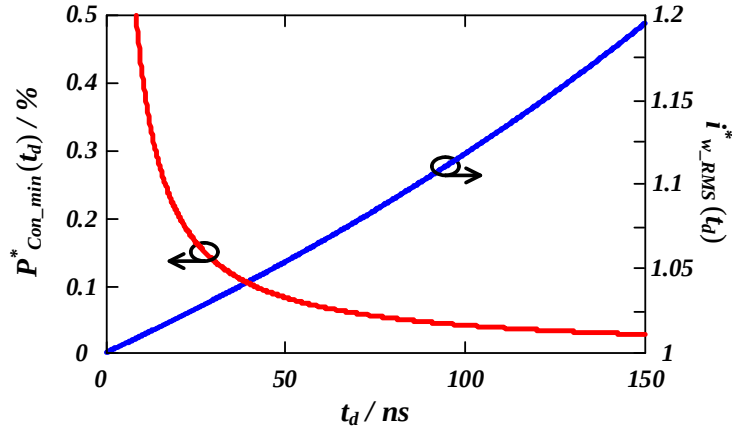


图 2.8 1MHz 原副边器件总导通损耗最小值和绕组电流标么值随 t_d 的变化

可见变压器绕组损耗和器件导通损耗随死区时间 t_d 的变化趋势相反。为了达到 99% 的预期效率，需要对两者进行限制，如器件损耗低于 3%，而绕组电流标么值则低于 1.075。此时可以由图 2.8 得到 t_d 的设计区间为 $15\text{ns} \leq t_d \leq 60\text{ns}$ ，如图 2.9 所示

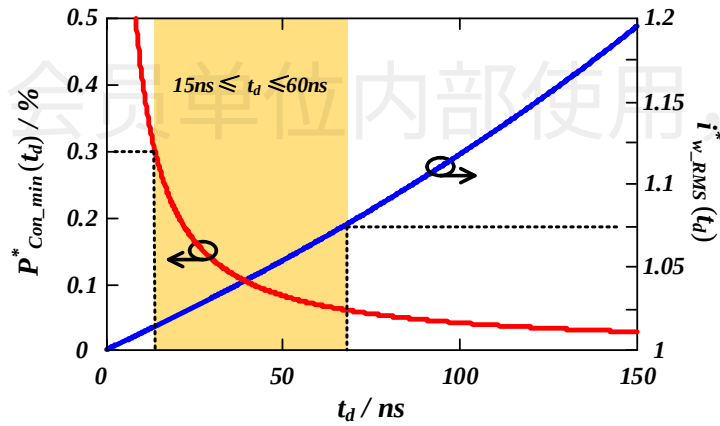


图 2.9 1MHz 下死区时间 t_d 的设计范围

进一步的，由于死区时间与励磁电流大小相关，由式(2.21)、式(2.24)和式(2.25)可知，励磁电流随死区时间的增大而减小，故而在图 2.9 所界定的死区时间选择范围的基础上，为了尽可能减小励磁电流带来的损耗，本文选择 $t_d = 60\text{ns}$ 。

2.3 基于低压元胞电路的 RDCX 拓扑

2.3.1 基于低压元胞电路的 DCX 拓扑

2.2 节通过对原副边 MOS 管的导通损耗分析选择了串联的 60V 器件用作

DCX 电路的开关管和同步整流管。然而若如图 2.7 所示直接将低压器件串联后用作图 2.1 电路中的开关管和同步整流管的话，串联的低压器件之间会因为由于实际参数存在偏差，在开关动作时存在动态均压问题。为了在使用低压器件的同时能实现低压器件之间的稳态和动态均压，本文设计了图 2.10 所示的低压元胞电路，其中每个低压元胞电路中的半桥所采用的器件均为 60V 的 MOSFET。多个低压元胞电路通过在电路的直流侧串联来承担高输入输出电压应力；通过将每个元胞电路的绕组耦合在同一个变压器上，电路之间即可以通过变压器进行均压。

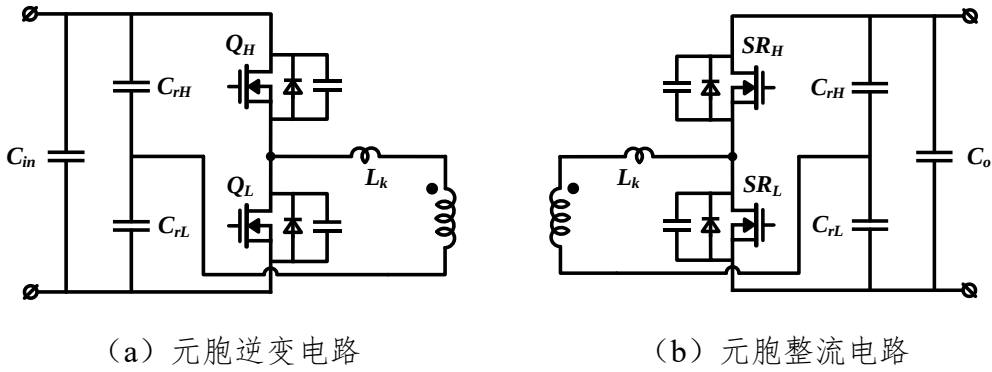


图 2.10 DCX 低压元胞电路

设图 2.1 中的 DCX 原边需要由 N_{cell_p} 图 2.10(a) 所示的元胞逆变电路组成， N_{p_cell} 表示单个元胞逆变电路的绕组匝数，则它们应与 DCX 原边绕组匝数 N_p 有如下关系：

$$N_p = N_{cell_p} \cdot N_{p_cell} \quad (2.63)$$

此外，对于 N_{cell_p} 有：

$$N_{cell_p} \cdot 60V \cdot M \geq \max(V_{in}) = 412V \quad (2.64)$$

其中， $\max(V_{in})$ 表示图 2.1 中 DCX 电路输入电压 V_{in} 的最高值， M 表示器件在电路稳态工作时候承受的最高电压应力与其额定耐压的比值。为保证器件的可靠性，本文取 $M = 0.7$ ，故有：

$$N_{cell_p} \geq 10 \quad (2.65)$$

简便起见，本文取 $N_{cell_p} = 10$ 。

由式(2.19)可得：

$$N_p \setminus 5 = 0 \quad (2.66)$$

结合式(2.63)、式(2.66)和 $N_{cell_p} = 10$ 可得 $N_{p_cell} = 1, 2, 3 \dots$ 。为了简化后期变压器的设计, 本文取 $N_{p_cell} = 1$, 即:

$$\begin{cases} N_{cell_p} = 10 \\ N_{p_cell} = 1 \end{cases} \quad (2.67)$$

由于原副边均使用 60V 器件, 故可令图 2.10 (b) 中的元胞整流电路所含的绕组匝数 N_{s_cell} 与图 2.10 (a) 中的元胞逆变电路绕组匝数 N_{p_cell} 相同, 即:

$$N_{p_cell} = N_{s_cell} = 1 \quad (2.68)$$

结合式(2.63)、式(2.67)、式(2.68)和式(2.19)可得构成图 2.1 中 DCX 的主要副边和辅助副边的所需的元胞整流电路单元数 N_{cell_SM} 和 N_{cell_SA} 分别为:

$$\begin{cases} N_{cell_SM} = 6 \\ N_{cell_SA} = 6 \end{cases} \quad (2.69)$$

综合式(2.67)和式(2.69), 可得由图 2.10 的元胞电路构成的 DCX 电路如图 2.11 所示:

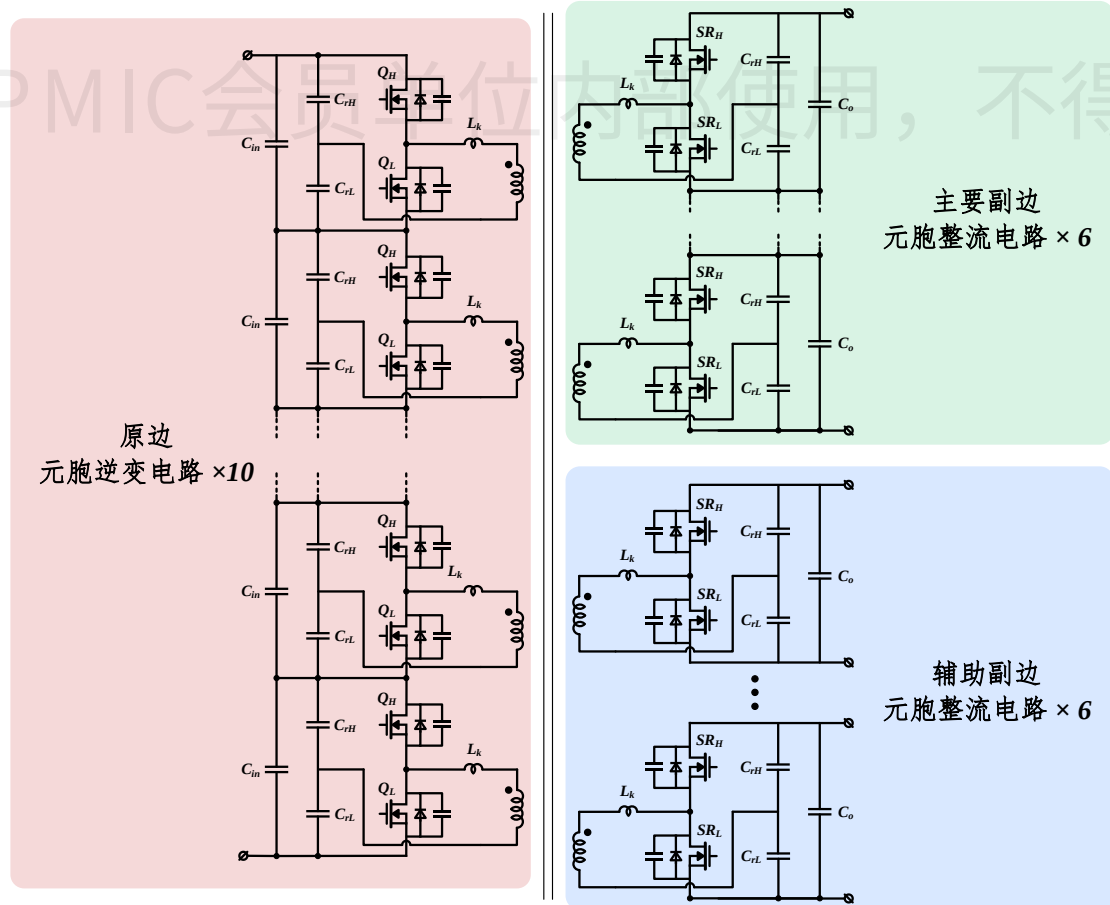


图 2.11 基于低压元胞电路的 DCX 电路

2.3.2 调压部分电路拓扑的选择

为实现输出调压功能，在本文第 2.3.1 节中确定的 DCX 拓扑的基础上，需在其中辅助副边的输出端级联一调压电路，再将调压电路的输出串联至主要副边的输出以承担完整的输出电压，如图 2.1 所示。如果调压电路采用传统的两电平 BUCK 电路，则由于在高压输入和宽输出调压范围时电感的伏秒较大，导致 BUCK 的电感体积较大，这降低了整个电路的功率密度。多电平电路可以通过电平切换减小电感侧的伏秒，同时保持器件的低频开关，从而能实现较高的效率和功率密度^[57]。考虑到图 2.11 中基于低压元胞电路的 DCX 的辅助副边输出可以是相互隔离的，且由于每个辅助副边元胞整流电路对应的绕组均耦合在同一个磁芯上，其母线电压可以实现自然均压，故本文采用了图 2.12 所示的级联 BUCK (Cascade-BUCK) 电路。该级联 BUCK 的斩波电路由 6 个半桥级联而成，与图 2.11 中 DCX 的 6 组辅助副边元胞整流电路一一对应，每一个半桥母线分别并联至图 2.11 中一个辅助副边元胞整流电路的输出上，这样即可自然实现级联 BUCK 不同半桥母线的自然均压，电路仅通过载波移相和共同占空比控制即可实现多电平和调压功能，控制简单。

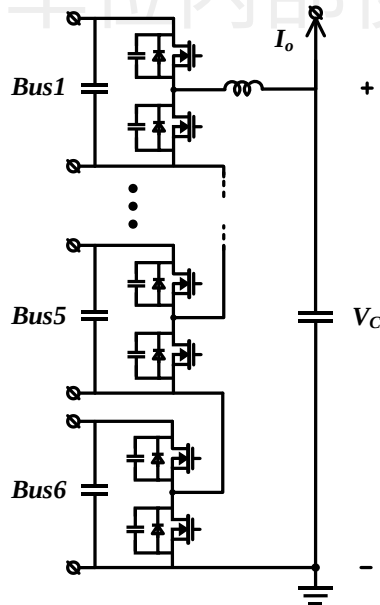


图 2.12 级联型 BUCK 电路

2.3.3 Cascade-BUCK 的工作原理

由于图 2.12 中级联 BUCK 桥臂数量较多，故而拥有较多的工作模态，若一一细述，将使分析过程变得繁复。现以分析 2 桥臂级联型 BUCK 的工作模态为

例，更多桥臂级联的情况可以采用类似的分析方法。如图 2.13 所示为两桥臂级联 BUCK 的电路原理图，其中 V_{A1} 和 V_{A2} 为两个幅值均为 E 的直流电压源，即 $V_{A1} = V_{A2} = E$ 。图 2.14 为当其桥臂占空比 D 在 $D < 0.5$ 和 $D \geq 0.5$ 两种情况下的稳态工作波形图。在模态分析过程中做如下假设：

- 1) 变换器处于稳态；
- 2) 图 2.13 中电路输出电容足够大，输出电压 V_o 可以近似为电压源；
- 3) 图 2.13 电路中，电感、电容、变压器和开关管等元器件均为理想的。

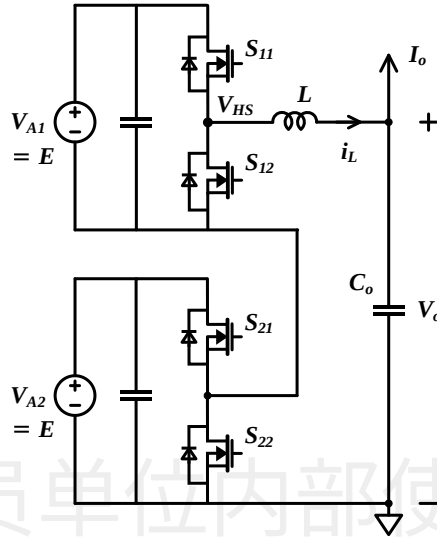


图 2.13 两桥臂级联 BUCK

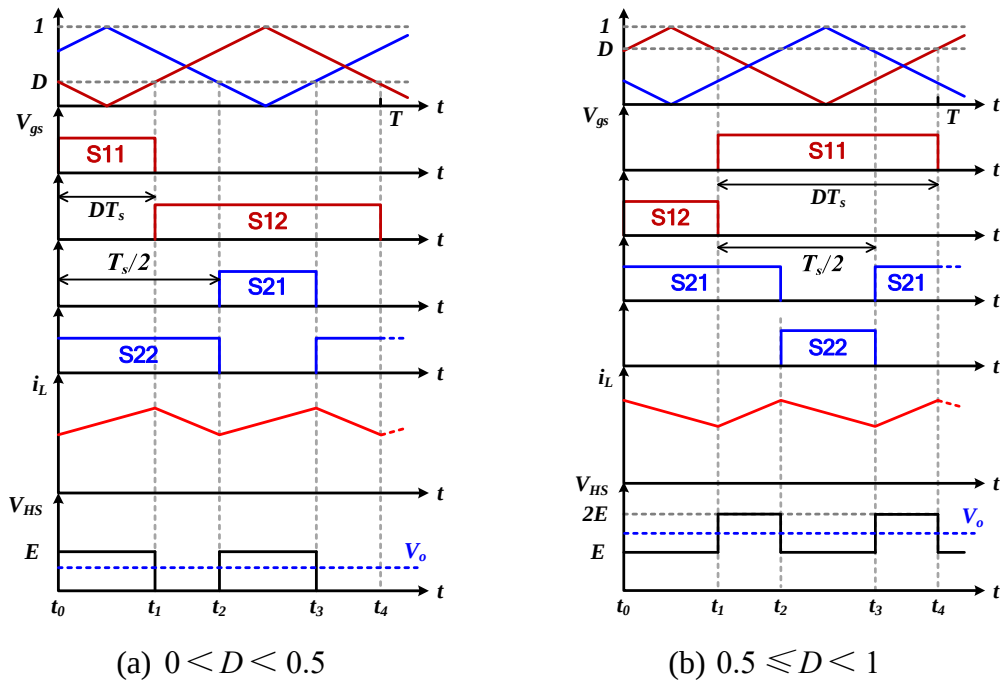


图 2.14 两桥臂级联 BUCK 的电路关键波形

在 $0 < D < 0.5$ 时, 输出电压 V_o 和占空比 D 以及直流电压源 V_{A1} 、 V_{A2} 幅值 E 满足如下关系:

$$0 < V_o = D \cdot 2E < E \quad (2.70)$$

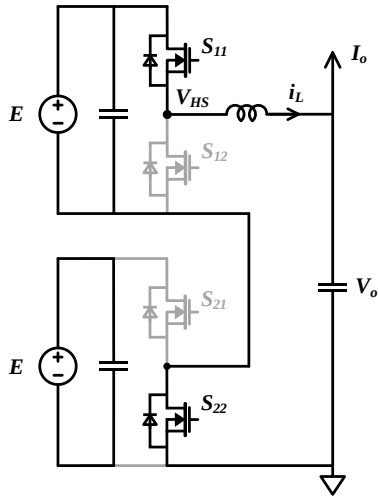
由图 2.14 (a) 可见其在一个开关周期内基本可以分为 4 个模态, 如图 2.15 所示, 现分析如下:

模态 1 ($t_0 - t_1$): 该模态中, 开关管 S_{11} 和 S_{22} 导通, S_{12} 与 S_{21} 关断, 如图 2.15 (a) 所示。此时 BUCK 电感 L 左侧电压 V_{HS} 为 E , 高于电感右侧电压 V_o , 电感电流 i_L 线性增加, 直至 t_1 时刻 S_{11} 驱动电压变为低电平;

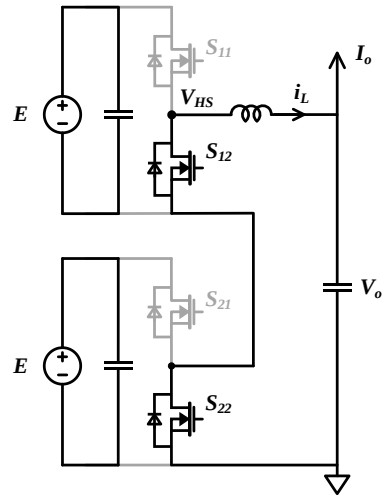
模态 2 ($t_1 - t_2$): 在 t_1 时刻, 上桥臂 S_{11} 关断, S_{12} 开通, 下桥臂 S_{21} 与 S_{22} 分别保持关断状态和开通状态, 如图 2.15 (b) 所示。此时 BUCK 电感 L 左侧电压 V_{HS} 为 0 , 低于电感右侧电压 V_o , 电感电流 i_L 线性下降, 直至 t_2 时刻 S_{22} 驱动电压变为低电平;

模态 3 ($t_2 - t_3$): 在 t_2 时刻, 下桥臂 S_{22} 关断, S_{21} 开通, 上桥臂 S_{11} 与 S_{12} 分别保持关断状态和开通状态, 如图 2.15 (c) 所示。此时 BUCK 电感 L 左侧电压 V_{HS} 为 E , 高于电感右侧电压 V_o , 电感电流 i_L 线性上升, 直至 t_3 时刻 S_{21} 驱动电压变为低电平;

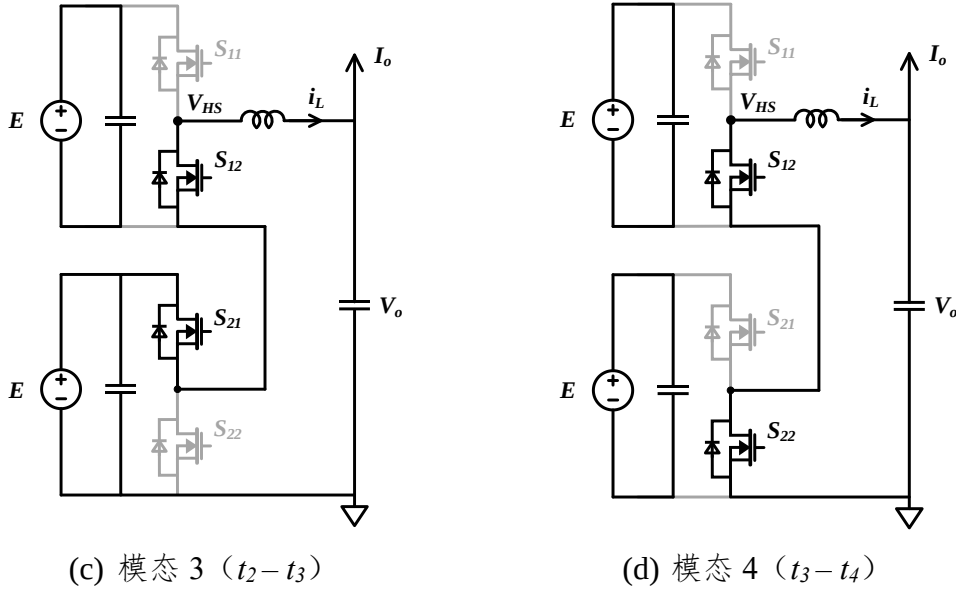
模态 4 ($t_3 - t_4$): 在 t_3 时刻, 下桥臂 S_{21} 关断, S_{22} 开通, 上桥臂 S_{11} 与 S_{12} 分别保持关断状态和开通状态, 如图 2.15 (d) 所示。此时 BUCK 电感 L 左侧电压 V_{HS} 为 0 , 低于电感右侧电压 V_o , 电感电流 i_L 线性下降, 直至 t_4 时刻 S_{12} 驱动电压变为低电平, 进入下一个开关周期。



(a) 模态 1 ($t_0 - t_1$)



(b) 模态 2 ($t_1 - t_2$)

图 2.15 $0 < D < 0.5$ 时，两桥臂级联 BUCK 的工作模式

在 $0.5 \leq D < 1$ 时，输出电压 V_o 和占空比 D 以及直流电压源 V_{A1} 、 V_{A2} 幅值 E 满足如下关系：

$$E \leq V_o = D \cdot 2E < 2E \quad (2.71)$$

由图 2.14 (b) 可见其在一个开关周期内基本可以分为 4 个模态，如图 2.16 所示，现分析如下：

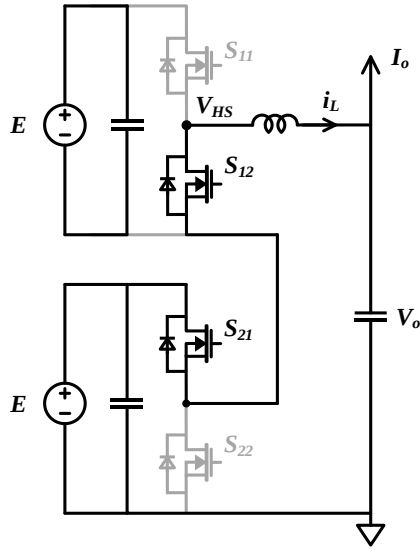
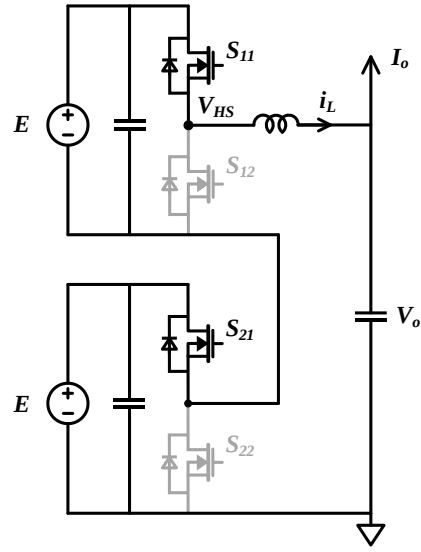
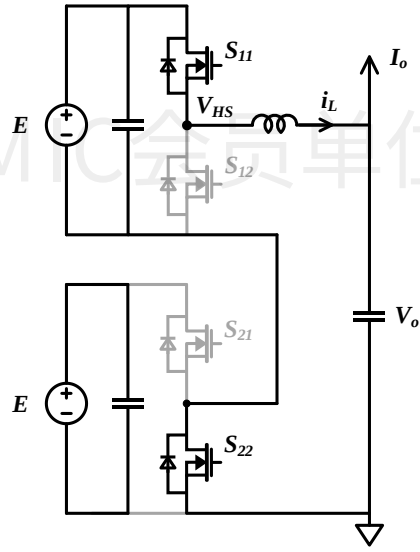
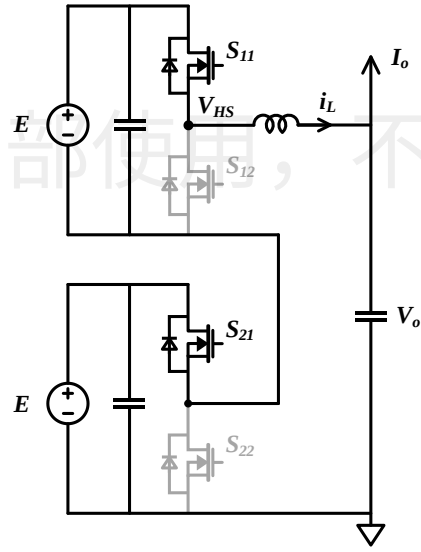
模态 1 ($t_0 - t_1$)：该模态中，开关管 S_{12} 和 S_{21} 导通， S_{11} 与 S_{22} 关断，如图 2.16 (a) 所示。此时 BUCK 电感 L 左侧电压 V_{HS} 为 E ，低于电感右侧电压 V_o ，电感电流 i_L 线性下降，直至 t_1 时刻 S_{12} 驱动电压变为低电平；

模态 2 ($t_1 - t_2$)：在 t_1 时刻，上桥臂 S_{12} 关断， S_{11} 开通，下桥臂 S_{21} 与 S_{22} 分别保持开通状态和关断状态，如图 2.16 (b) 所示。此时 BUCK 电感 L 左侧电压 V_{HS} 为 $2E$ ，高于电感右侧电压 V_o ，电感电流 i_L 线性上升，直至 t_2 时刻 S_{21} 驱动电压变为低电平；

模态 3 ($t_2 - t_3$)：在 t_2 时刻，下桥臂 S_{21} 关断， S_{22} 开通，上桥臂 S_{11} 与 S_{12} 分别保持开通状态和关断状态，如图 2.16 (c) 所示。此时 BUCK 电感 L 左侧电压 V_{HS} 为 E ，低于电感右侧电压 V_o ，电感电流 i_L 线性下降，直至 t_3 时刻 S_{22} 驱动电压变为低电平；

模态 4 ($t_3 - t_4$)：在 t_3 时刻，下桥臂 S_{22} 关断， S_{21} 开通，上桥臂 S_{11} 与 S_{12} 分别保持开通状态和关断状态，如图 2.16 (d) 所示。此时 BUCK 电感 L 左侧电压 V_{HS}

为 $2E$ ，高于电感右侧电压 V_o ，电感电流 i_L 线性上升，直至 t_4 时刻 S_{11} 驱动电压变为低电平，进入下一个开关周期。

(e) 模式 1 (t_0-t_1)(f) 模式 2 (t_1-t_2)(g) 模式 3 (t_2-t_3)(h) 模式 4 (t_3-t_4)图 2.16 $0.5 \leq D < 1$ 时，两电平 BUCK 的工作波形

可见通过载波移相和共同占空比控制，两桥臂级联的 BUCK 将电感侧的等效开关频率相较单个桥臂的开关频率提高了一倍，同时每次开关动作时电感的电压变化也仅为每个桥臂的母线电压 E ，从而电感的伏秒降低为相同开关频率下输入电压为 $2E$ （此时两电平 BUCK 可和两桥臂级联的 BUCK 在相同占空比下得到相同的输出电压）的两电平 BUCK 电路的 $1/4$ 。 N 桥臂级联 BUCK 的工作模式与

两桥臂级联相似，可以使用同样的分析得到通过载波移相和共同占空比控制， N 桥臂级联 BUCK 可以将电感的伏秒降低为相同开关频率下输入电压为 $N \cdot E$ 的两电平 BUCK 电路的 $1/N^2$ ，从而可以降低电路中电感的体积，有助于提高电路的功率密度；此外， N 桥臂级联 BUCK 电路的半桥母线电压仅为具有相同输出电压范围的两电平 BUCK 电路桥臂母线电压的 $1/N$ ，故而每个级联的半桥电路可以使用相较两电平电路更低耐压的器件，借助低压器件较好的 FoM 特性，在同开关频率下可相较两电平 BUCK 电路实现更低的器件损耗，提高电路效率。^[57]

2.4 本章小结

本章首先通过分析 RDCX 电路的工作原理，根据电路的输入输出电压规格设计了 DCX 变压器的匝比。然后通过分析三端口串联谐振型 DCX 的工作模式，建立了三端口 DCX 的原副边 MOS 管的总导通损耗模型。模型显示，每个端口器件的导通损耗随器件 $R_{ds(on)}$ 变化的最小值均与其所用器件的 $NFoM$ 值正相关，这表明可以通过使用低 $NFoM$ 的低压器件来实现较低的器件导通损耗。然而，低压器件直接串联用作高压器件时存在动态均压问题。为此，本文设计了基于低压元胞电路的 DCX 结构，其中低压元胞电路所用的开关管为低压器件。该结构通过将多个元胞电路在直流侧串联来承担高输入输出电压应力，同时让低压元胞电路的绕组耦合在同一个变压器上，从而保证了元胞电路之间的均压。在设计完 DCX 电路后，为了适应宽输出范围的应用场景，本文的 RDCX 调压电路采用了多电平的级联 BUCK 电路，相较传统两电平 BUCK 电路其可以大幅减小电感的伏秒，从而减小电感体积，提高电路的功率密度。

3 DCX 平面变压器设计

在隔离型变换器中，变压器往往是其损耗、体积和重量的主要来源之一。故而在设计隔离型变换器时，有必要针对应用场景和拓扑对变压器的损耗和尺寸进行设计。相较传统线绕式变压器，平面变压器由于其较小的尺寸、较好的散热性能、便于生产自动化、寄生参数易于控制以及易于板上集成等优势，已越来越广泛地应用于高效高密度变换器中^[58,59]。本章将针对第2章中设计的 DCX 电路进行平面变压器的设计。

3.1 变压器结构选择

UI 结构和 EI 结构是两种常用的平面变压器的磁芯结构。其中 UI 结构的磁芯由于在 I 片中流过的磁通与在中柱中流过的相同，往往需要较高的 I 片，使得变压器 I 片高度远高于变换器其他器件高度，空间利用率不高^[60]，如图 3.1(a)所示；而 EI 结构的磁芯则将磁通分配到了两侧的边柱，故其 I 片中的磁通仅为中柱磁通的一半，有助于降低变压器的高度，如图 3.1(b)所示。为了降低 I 片的高度，尽可能提高变换器的空间利用率，本文采用了 EI 结构的磁芯。

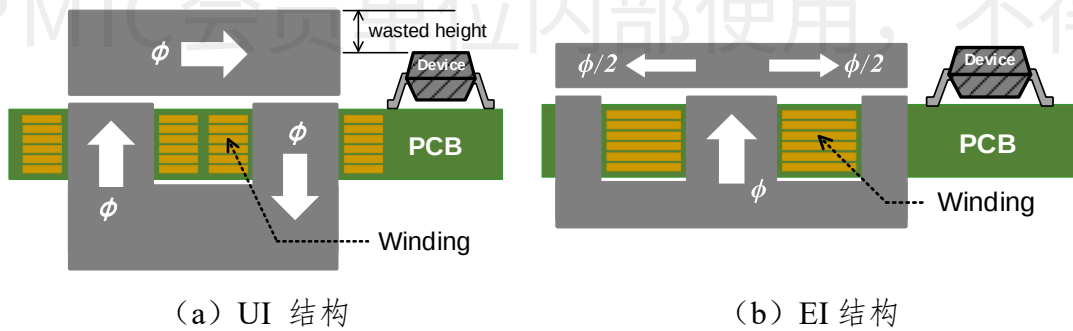


图 3.1 不同磁芯结构的磁通分布和 I 片高度

对于平面变压器的绕组结构而言，一层多匝的绕组布置有助于减小 PCB 的层数，可以一定程度上节约成本。然而，在一层多匝的绕组结构中，在相同绕组宽度下，远离磁芯中柱绕组的电阻较靠近中柱绕组的电阻大，这在一定程度上会增加变压器的铜损；若要保持远离磁芯中柱绕组与较靠近中柱绕组的电阻一致，则远离磁芯中柱的绕组将会相较靠近中柱的绕组更宽，这增加了平面变压器的面积，且会导致包围绕组的磁芯回路变长，增加磁损^[61,62]。考虑到上述一层多匝绕组结构存在的问题，并为了简化设计，本文平面变压器采用一层一匝的绕组结构。

综上，结合本文 2.3.1 节中对变压器绕组匝数的设计，本文采用的变压器结

构如图 3.2 (a) 所示。然而，该结构由于所有原副边绕组全部绕组绕制在同一个磁芯上，将需使用 22 层 PCB，其成本较为高昂。为了节省成本，本文使用了两个磁芯，并将原副边绕组均匀地分配在两磁芯上，磁芯之间通过绕组并联实现均压。该变压器结构使用两个 6 层板叠板即可实现，成本较低。下文将针对图 3.2 (b) 所示的变压器结构进行变压器参数的设计。

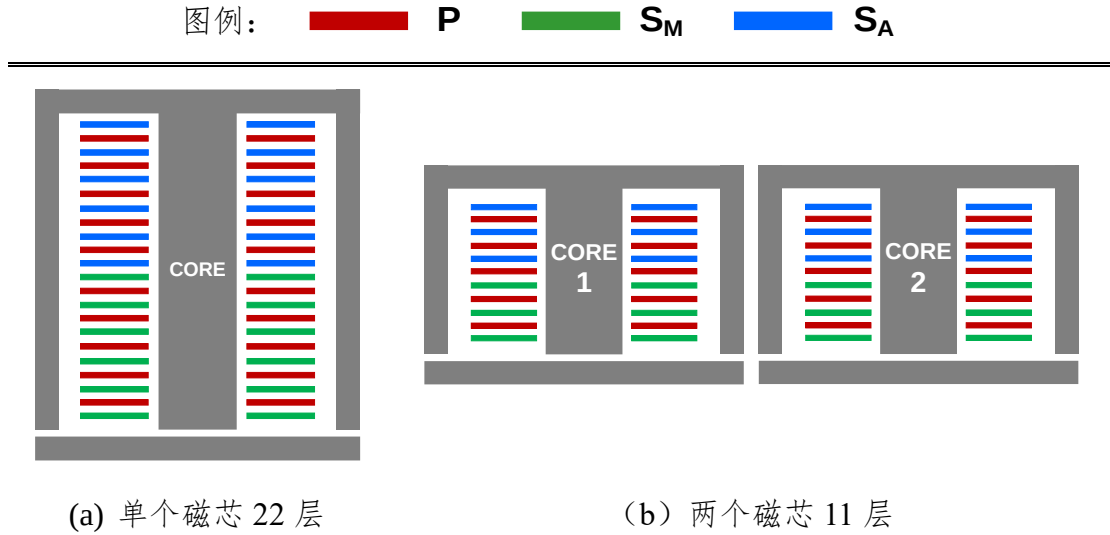


图 3.2 平面变压器结构

3.2 变压器参数设计

3.2.1 磁芯材料的选取

变压器的损耗可以分为磁损和铜损两个部分，其中磁损可由下式计算得到^[63]：

$$P_{Core} = P_v \cdot V_{Core} \quad (3.1)$$

其中 V_{Core} 表示磁芯的体积； P_v 为磁芯的磁损密度，一般与磁材料，磁芯的磁通变化频率和变化量 ΔB 有关，可以由斯坦梅兹公式估算，即：

$$P_v = k \cdot f_s^\alpha \cdot \Delta B^\beta \quad (3.2)$$

其中， ΔB 表示磁芯内变化的磁通密度的峰值， k 、 α 、 β 为与磁芯材料有关的常数。

由式(3.1)可知，选择磁损密度较低的磁芯材料将有助降低磁芯损耗，提高变换器效率。如图 3.3 所示为几种磁材料在 1MHz 下的磁损密度随 ΔB 的变化曲线^[64-68]，可见其中 51W 在较宽的 ΔB 范围内磁损密度均比其他磁材料好，故本文选择 51W 作为磁芯材料。

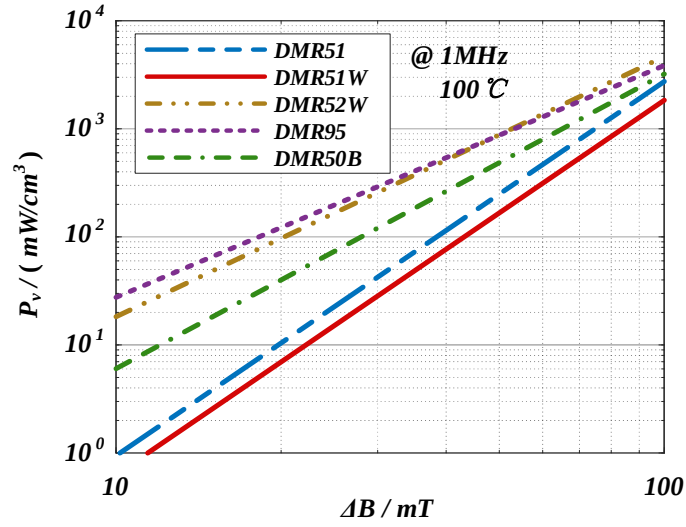


图 3.3 几种磁材料在 1MHz 下的磁损密度随 ΔB 的变化曲线^[64-68]

3.2.2 平面变压器损耗模型

为建立变压器损耗模型,需先定义平面变压器中各结构的尺寸。如图 3.4(a)、(b) 所示,分别为本文所用 EI 结构平面变压器的俯视图和正视图。其中, D 表示 I 片的厚度和 E 形 Core 的边柱宽度, H 表示 E 型 Core 的窗口高度, W 表示绕组的宽度, r 表示 E 形 Core 中柱圆弧边的半径, a 表示 E 形 Core 中柱直边的长度, h 表示铜厚。

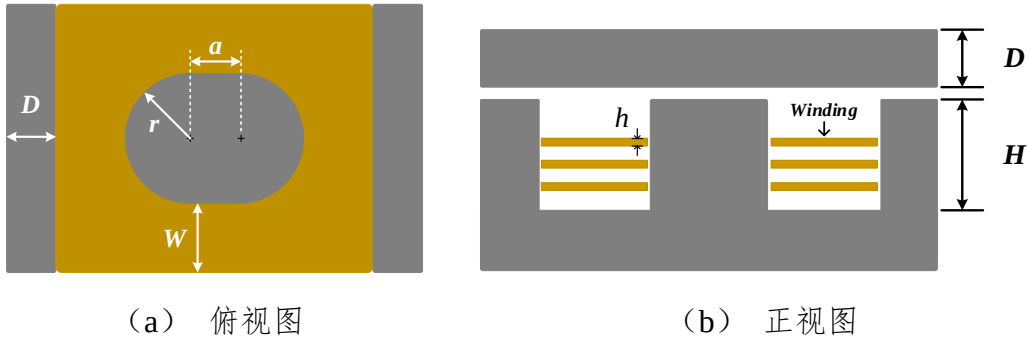


图 3.4 EI 结构平面变压器尺寸定义

对于磁损,如上文 3.2.1 节中所述,由式(3.1)可计算得到。其中磁损密度 P_v 可以由磁芯厂提供的数据手册中的磁损密度曲线用式(3.2)拟合得到。如图 3.5 所示为 51W 的磁损密度在不同磁通变化频率下磁损密度随 ΔB 的变化曲线^[64]。考虑到在图 2.11 中 DCX 变压器的磁通变化的基频和 DCX 的开关频率相同,故在式(3.2)中我们取 f 为 1MHz,则由式(3.2)和图 3.5 可得 51W 在 1MHz 下磁损密度随 ΔB 变化的拟合公式为:

$$P_v(\Delta B) = 0.216 \cdot \Delta B^{3.465} \quad (3.3)$$

其中 P_v 的单位为 W/m^3 , ΔB 的单位为 mT 。

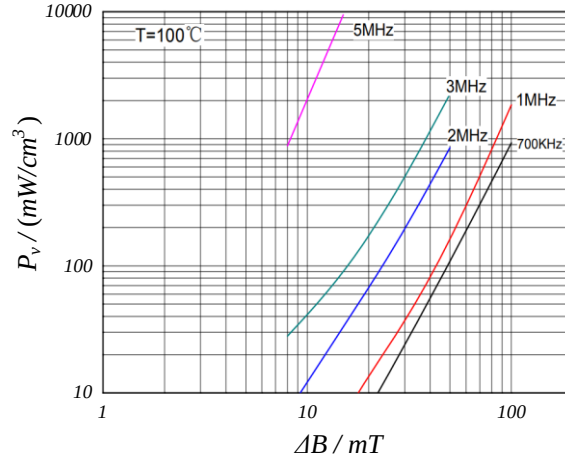
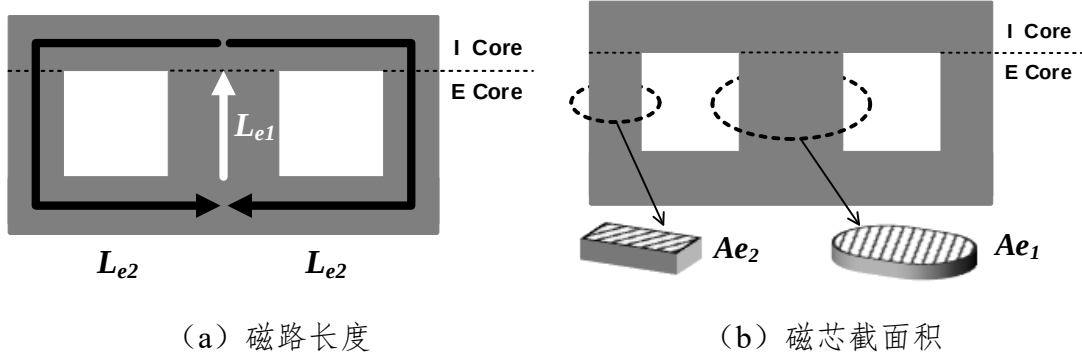


图 3.5 材料 51W 的磁损密度随磁通密度的变化曲线^[64]

式(3.1)中的磁芯体积可以由磁路长度和磁芯截面积的乘积得到, 如图 3.6 所示。由图 3.6 (b) 可知, EI 形磁芯内有两种截面积, 所以计算磁损时需要分段计算, 即:

$$\begin{aligned} P_{core} &= P_{v1} \cdot V_{core1} + P_{v2} \cdot V_{core2} \\ &= P_{v1} \cdot L_{e1} \cdot Ae_1 + P_{v2} \cdot 2 \cdot L_{e2} \cdot Ae_2 \end{aligned} \quad (3.4)$$



(a) 磁路长度

(b) 磁芯截面积

图 3.6 磁芯体积计算

为简化设计, 设计时保持 E 形磁芯的中柱和边柱的磁通密度相同。此时由磁通连续性定理和 EI 磁芯结构的对称性, 可得图 3.6 中的 Ae_1 是 Ae_2 的两倍, 即:

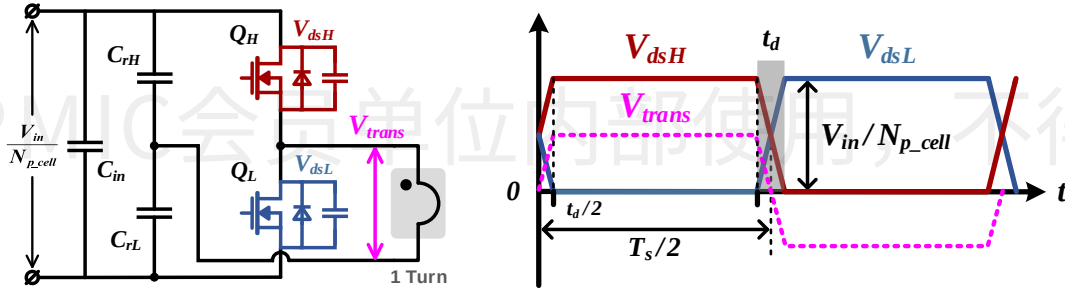
$$Ae_1 = 2 \cdot Ae_2 \quad (3.5)$$

Ae_1 、 Ae_2 、 Le_1 和 Le_2 可用图 3.4 中的变压器尺寸参数表示为:

$$\begin{cases} Ae_1 = \pi \cdot r^2 + a \cdot 2r \\ Ae_2 = D \cdot (a + 2r + 2W) \\ Le_1 = H \\ Le_2 = 2r + 2W + 2D + a + H \end{cases} \quad (3.6)$$

在得到 Ae_1 、 Ae_2 、 Le_1 和 Le_2 的表达式后，计算式(3.4)还需要知道磁芯中的磁通密度峰值 ΔB 。由 2.3 节中我们对 DCX 电路的设计可知，变压器一匝绕组的电压 V_{trans} 的波形如图 3.7 (b) 所示，其在半个开关周期内 ($0 < t < T_s/2$) 的数学表达式为：

$$V_{trans}(t) = \begin{cases} \frac{2V_{in}}{N_{p_cell} \cdot t_d} \cdot t & 0 < t \leq \frac{t_d}{2} \\ \frac{V_{in}}{N_{p_cell}} & \frac{t_d}{2} < t \leq \frac{T_s - t_d}{2} \\ \frac{V_{in}}{N_{p_cell}} - \frac{2V_{in}}{N_{p_cell} \cdot t_d} \cdot \left(t - \frac{T_s - t_d}{2}\right) & \frac{T_s - t_d}{2} < t \leq \frac{T_s}{2} \end{cases} \quad (3.7)$$



(a) 元胞逆变电路

(b) 元胞逆变电路的关键电压波形

图 3.7 变压器单匝绕组电压波形

由法拉第电磁感应定律与式(3.7)可得磁芯中磁通密度的峰值 ΔB 为：

$$\Delta B = \frac{\frac{1}{2} \int_0^{\frac{T_s}{2}} V_{trans} \cdot dt}{Ae_1} = \frac{V_{in}}{8 \cdot N_{p_cell} \cdot Ae_1} \cdot (T_s - t_d) \quad (3.8)$$

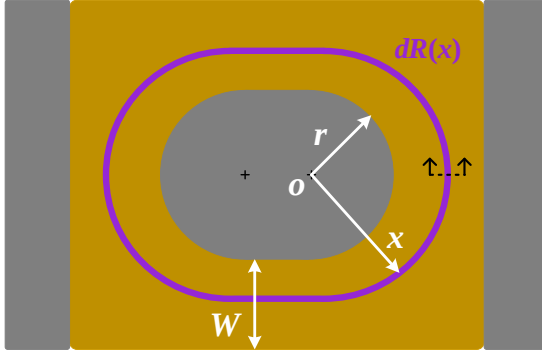
至此，联合式(3.3)、式(3.4)、式(3.5)、式(3.6)和(3.8)即可由平面变压器尺寸得到磁芯的磁损。考虑到式(3.3)是在正弦激励下测试拟合得到的损耗密度函数，在用于图 3.7 (b) 的梯形波激励时，可以在式(3.3)的基础上乘一经验系数来估算梯形波激励下磁材料的损耗密度。

变压器的铜损可由绕组电流有效值和绕组电阻的计算得到。其中，变压器原边、主要副边和辅助副边的绕组电流有效值已分别在式(2.55)、式(2.56)和式(2.57)

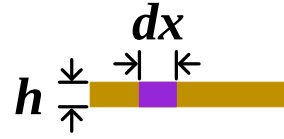
中给出。图 3.4 中一匝 PCB 绕组的直流电阻 R_{dc} 可由下式计算得到：

$$R_{dc} = \frac{I}{\int_r^{r+W} \frac{1}{dR(x)}} \quad (3.9)$$

其中， $dR(x)$ 表示距 E 形 Core 中柱右侧圆弧边圆心 o 点 x 长度远的绕组微元的直流电阻，如图 3.8 (a) 中紫色圆环所示。



(a) 绕组微元的俯视图



(b) 绕组微元的侧视图

图 3.8 PCB 绕组直流电阻计算

由图 3.4 中的变压器尺寸参数和图 3.8 可得一个绕组微元的直流电阻为：

$$dR(x) = \frac{\rho \cdot (2\pi x + 2a)}{h \cdot dx} \quad (3.10)$$

其中， ρ 表示铜的电阻率， dx 表示绕组微元的宽度，如图 3.8 (b) 所示。

结合式(3.9)、式(3.10)可得图 3.4 中一匝 PCB 绕组的直流电阻 R_{dc} 为：

$$R_{dc} = \frac{\rho}{h} \cdot \frac{1}{\ln[2\pi(r+W) + 2a] - \ln(2\pi r + 2a)} \quad (3.11)$$

在高频平面变压器中，由于绕组中流过的电流频率较高，且绕组之间距离较近，故在计算铜损时需要考虑趋肤效应和临近效应带来的交流损耗。考虑绕组厚度方向上的磁场变化导致的趋肤效应和临近效应后，变压器中的某一匝绕组 i 的等效交流电阻 $R_{ac_eddy1,i}$ 可由下式得到^[69-71]：

$$R_{ac_eddy1,i} = \frac{\xi}{2} \cdot \left[\frac{\sinh \xi + \sin \xi}{\cosh \xi - \cos \xi} + (2m - 1)^2 \cdot \frac{\sinh \xi - \sin \xi}{\cosh \xi + \cos \xi} \right] \cdot R_{dc,i} \quad (3.12)$$

其中 $R_{dc,i}$ 表示绕组 i 的直流电阻。 m 和 ξ 的定义如下：

$$m = \frac{F_i(h)}{F_i(h) - F_i(0)} \quad (3.13)$$

$$\zeta = \frac{h}{\sqrt{\frac{2\rho}{\omega \cdot \mu}}} \quad (3.14)$$

式(3.13)中, $F_i(0)$ 和 $F_i(h)$ 表示绕组 i 的上下边界的磁动势 (Magnetomotive Force, MMF); 式(3.14)中, h 为绕组铜厚, ρ 表示绕组的电阻率, ω 表示绕组电流的角频率, μ 表示绕组的磁导率。

观察式(3.12), 可见绕组的交流系数大致可分为两部分: 第一部分为 $\frac{\xi}{2} \cdot \frac{\sinh \xi + \sin \xi}{\cosh \xi - \cos \xi}$, 体现了高频电流流过导体时的趋肤效应; 第二部分为 $\frac{\xi}{2} \cdot (2m-1)^2 \cdot \frac{\sinh \xi - \sin \xi}{\cosh \xi + \cos \xi}$, 体现了 PCB 变压器中不同层绕组之间的临近效应。由式(3.12)和式(3.13)可知, 绕组位置的 MMF 越大, 绕组上产生的交流损耗越大。鉴于此, 本文采用了图 3.9 中所示的变压器绕组结构。在该结构中, 原副边绕组充分交错, 故绕组上的 MMF 较低, 这将有助于减少变压器的交流损耗, 提高变换器的效率。为简化分析, 在计算绕组上的 MMF 时假设图 3.9 中主要副边和辅助副边中流过的电流大小相同。

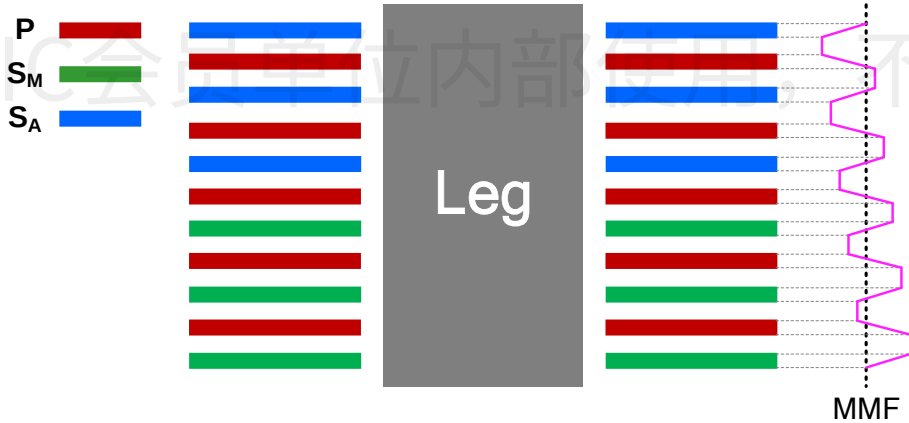


图 3.9 平面变压器绕组排布结构和 MMF

在式(3.12)中, 仅考虑了绕组厚度方向上磁场变化影响下的 PCB 绕组的交流损耗, 而实际上在 PCB 绕组水平方向上也存在磁场变化^[72]; 此外, 除因趋肤效应和临近效应导致的交流损耗外, 变换器工作发热导致的材料温升和变压器气隙附近的漏磁等因素也会影响到变压器的铜损^[73,74]。考虑到式(3.12)与上述实际情况存在的偏差, 在式(3.12)的基础上, 还需要再乘以一经验系数 k' 来得到绕组 i 等效交流电阻的估计值 $R_{ac,i}$, 即:

$$R_{ac,i} = k' \cdot R_{ac_eddy1,i} \quad (3.15)$$

综合式(2.55)~(2.57)、式(2.67)、式(2.69)和式(3.11)~式(3.15)以及图 3.9 中变压器结构的 MMF 分布即可得到变压器的铜损。

3.2.3 平面变压器体积模型

由图 3.4 中定义的变压器尺寸参数可得忽略气隙高度时图 3.2 (b) 中一个平面变压器的体积为：

$$\begin{aligned} V_T &= S_T \cdot H_T \\ &= W_T \cdot L_T \cdot H_T \\ &= (2r + 2W) \cdot (2D + 2W + 2r + a) \cdot (2D + H) \end{aligned} \quad (3.16)$$

其中 S_T 表示平面变压器的表面积， H_T 表示变压器的总高度， L_T 表示变压器的长度， W_T 表示变压器的宽度，如图 3.10 所示。

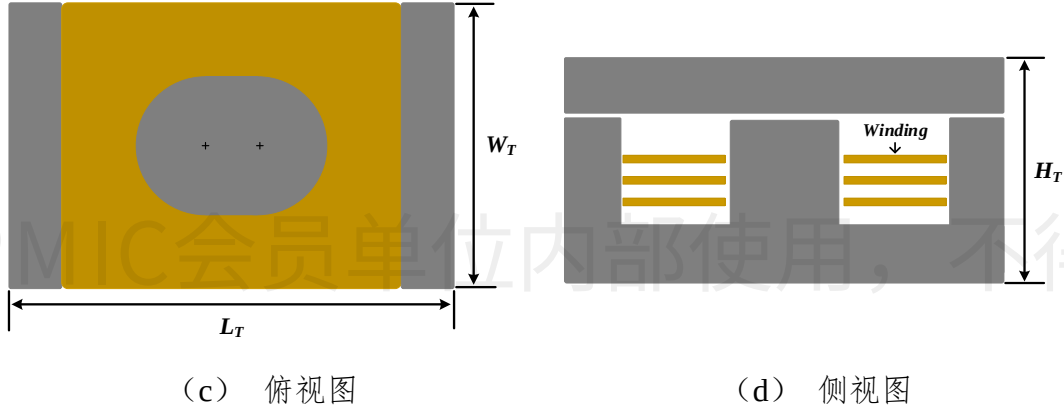


图 3.10 EI Core 平面变压器体积参数

H_T 、 L_T 、 W_T 和 S_T 与图 3.4 中定义的变压器尺寸参数的关系为：

$$\begin{cases} H_T = 2D + H \\ L_T = 2D + 2W + 2r + a \\ W_T = 2r + 2W \\ S_T = (2r + 2W) \cdot (2D + 2W + 2r + a) \end{cases} \quad (3.17)$$

3.2.4 平面变压器参数设计

在进行变压器参数设计前我们还需要根据实际情况限定变压器各参数的取值范围。为了提高变压器的窗口利用率，减小变压器磁损，E 形 Core 的窗口高度 H 不宜过高，然而如图 3.11 所示，其最小高度受到 PCB 高度 h_{PCB} 的限制，有 $H \geq h_{PCB}$ 。在本文的设计中，PCB 铜厚 h 为 3oz， $h_{PCB} = 3.6\text{mm}$ ；然而，若 H 取得

过小，则会因为气隙过于接近 PCB 绕组产生较大的 Fringing Loss^[73,74]；除此之外，在 PCB 和磁芯实际制作时尺寸也与设计稿存在一定的偏差。综合上述考虑，在本文中， H 相较 h_{PCB} 留了 0.7mm 的裕量，即：

$$H = h_{PCB} + 0.7mm = 4.3mm \quad (3.18)$$

除此之外，为了尽可能地提高变压器的空间利用率，变压器 I 片的上表面不宜高于实际使用的最高器件，如图 3.11 所示。本文在设计时的最高器件高度为 2.4mm，故变压器 I 片的厚度 D 定为 1.7mm，即：

$$D = h_{d_{max}} + h_{PCB} - H = 1.7mm \quad (3.19)$$

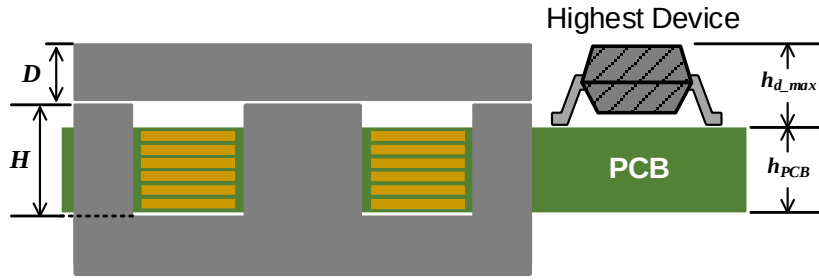


图 3.11 变压器磁芯 I 片的厚度和最高器件高度的关系

在变压器长度方面，考虑到在设计平面变压器时，往往需要将器件尽可能贴近磁芯放置，以减小绕组的回路长度，从而降低绕组损耗^[75]，如图 3.12 所示。考虑上述器件布局原则，结合图 2.11 中的 DCX 拓扑可知，图 3.2 (b) 中的每个磁芯长边的开口位置需要布置最多 6 颗同步整流管。假设原副边 MOS 管使用英飞凌公司 TSDSON-8 封装的器件^[76]，并考虑布局时候的绝缘要求，则可得图 3.2 (b) 中单个 EI Core 的侧边长 L_T 应满足：

$$L_T = (2D + 2W + 2r + a) \geq 27mm \quad (3.20)$$

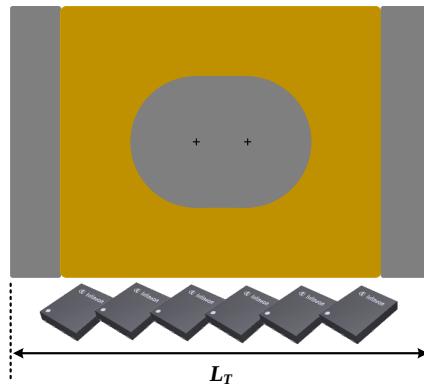


图 3.12 贴近平面变压器摆放器件

考虑到变压器尺寸参数的物理意义，图 3.4 中的所有尺寸参数都应大于等于零，故有：

$$\begin{cases} W \geq 0 \\ r \geq 0 \\ a \geq 0 \end{cases} \quad (3.21)$$

其中，由式(3.5)、式(3.6)和式(3.21)可得 a 与 W 和 r 满足关系：

$$0 \leq a = \frac{4D(r+W) - \pi r^2}{2r} \quad (3.22)$$

综合式(3.18)~式(3.22)可得变压器各尺寸参数的取值范围：

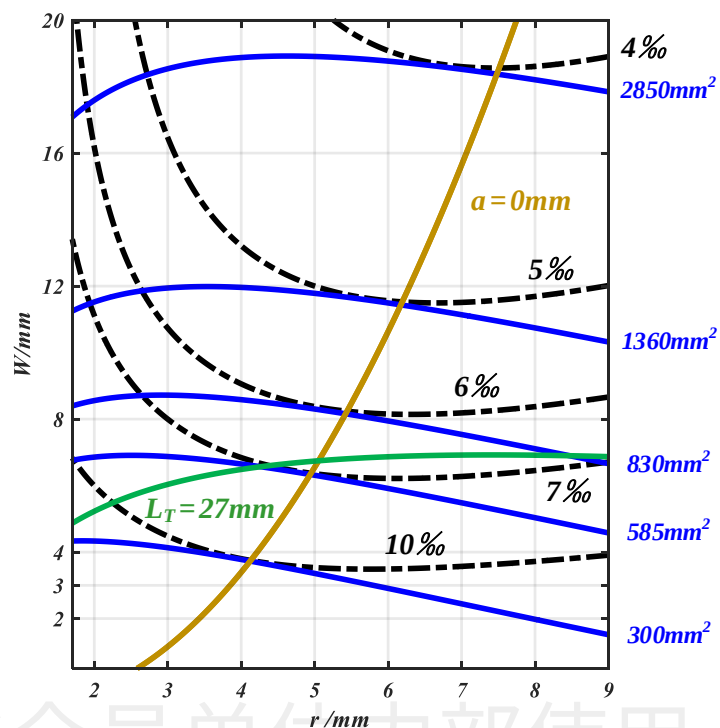
$$\begin{cases} W \geq 0 \\ r \geq 0 \\ \frac{4D(r+W) - \pi r^2}{2r} \geq 0 \\ \left(2D + 2W + 2r + \frac{4D(r+W) - \pi r^2}{2r} \right) \geq 27mm \\ H = 4.3mm \\ D = 1.7mm \end{cases} \quad (3.23)$$

由式(3.23)可知，经过上述基于实际情况对变压器尺寸的限定，变压器所需设计的尺寸参数仅剩绕组宽度 W 和 E 形 Core 中柱圆弧边的半径 r ；此外由于式(3.23)已经确定了变压器的窗口高度 H 和 I 片高度 D ，故而由式(3.16)可知此时变压器面积 S_T 即可表示变压器的大小。为了综合考虑变压器的损耗和面积，在图 3.13 (a) 中绘出了以 r 为横坐标， W 为纵坐标的变压器等损耗曲线（蓝色实线）和在电路输出电压 450V，输出功率 2300W 时的变压器等损耗曲线（黑色虚线）^[77]。在此基础上，可以添加由式(3.20)和式(3.22)所确定的参数边界。在图 3.13(a) 中，绿色曲线为式(3.20)确定的边界，黄色曲线为式(3.22)确定的边界。若考虑到希望 DCX 的效率达到 99%，则变压器的损耗不宜高于 7‰，即：

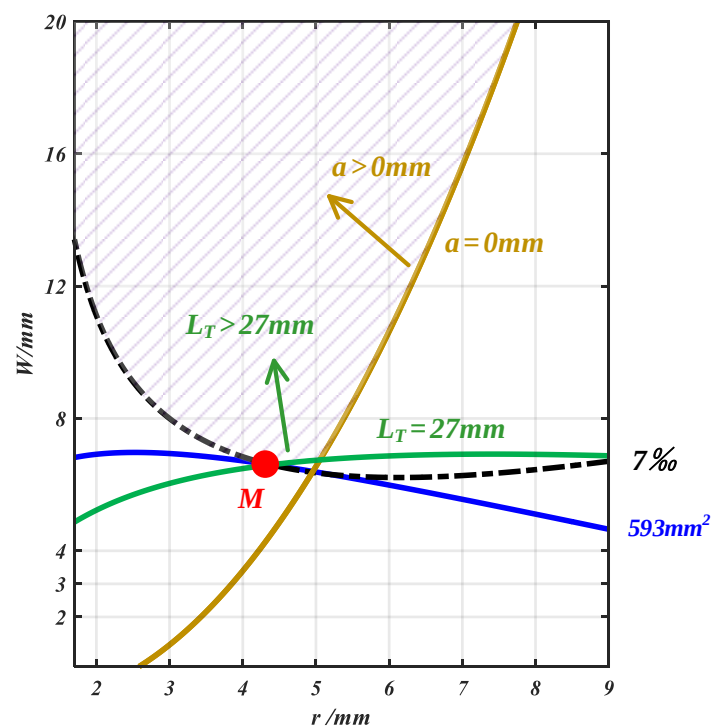
$$\frac{P_T(r, W)}{P_o \cdot \eta} \leq 7‰ \quad (3.24)$$

则在可得满足式(3.20)、式(3.22)和式(3.24)的 r 和 W 的取值范围如图 3.13(b) 中紫色阴影区域所示。在该取值范围内，希望变压器所占的面积越小越好。为取得在该取值范围下的最小变压器面积设计点，应取与该区域存在交点的等面积曲

线中面积最小的曲线，即图 3.13 (b) 中等 593mm^2 面积曲线与紫色阴影区域的唯一交点，即图 3.13 中 M 点的横纵坐标为所需设计变压器的参数： $r = 4.2\text{mm}$ ， $W = 6.7\text{mm}$ 。



(a) 等损耗曲线与等面积曲线



(b) 参数取值范围及优选

图 3.13 平面变压器的参数优选

3.3 本章小结

本章基于平面变压器的尺寸参数建立了平面变压器的损耗和体积优选模型，并结合实际情况和变换器效率要求对变压器设计中的尺寸参数的取值范围进行了限制，减少了变压器的设计参数的数量，简化后的模型仅需优化 PCB 绕组宽度 W 和变压器 E 形 Core 中柱圆弧边的半径 r ，从而简化了平面变压器的设计流程。基于上述模型，本章在 7% 损耗限制的条件下为第 2 章中设计的 RDCX 电路设计了平面变压器。

仅限PMIC会员单位内部使用，不得外传

4 实验验证

根据第2章和第3章中的设计方法,本文搭建了一台输入电压范围 388~412V, 输出电压范围 250~450V, 输出最大功率 P_{o_max} 为 2.3kW, DCX 开关频率 1MHz 的基于串联低压元胞电路的 RDCX 样机。其正视图、侧视图及样机尺寸如图 4.1 所示, 样机的功率密度达 $1.1kW/in^3$ 。样机关键元器件参数如表 4.1 所示。

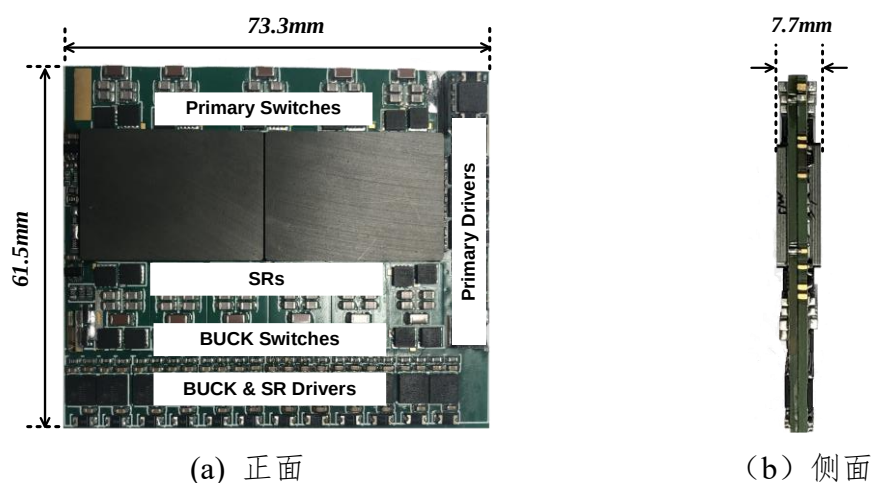


图 4.1 样机照片

表 4.1 RDCX 样机器件参数

参 数	数 值
P_{o_max}	2300W
V_{in}	388~412V
V_o	250~450V
L_m	1.6uH
L_r	3nH
$C_{rH} \& C_{rL}$	4.9uF
DCX f_s	1MHz
BUCK f_s	120kHz
BUCK L	XGL5020-332 × 2
磁芯材料	DMR51W
变压器匝比 $P : S_M : S_A$	10:6:6
DCX MOS & BUCK MOS	BSZ037N06LS5
DCX Inv. Cell 输入电容	3.3uF/100V
DCX Rec. Cell 输出电容	3.3uF/100V
BUCK 输出电容	2.2uF/630V

4.1 充电工作

样机在正向工作时的控制框图如图 4.2 所示。对于 DCX，由 DSP 直接给固定频率和占空比的驱动信号给原副边 MOS 管的隔离驱动，DCX 开环工作；对于级联 BUCK，先采样输出电压 V_o ，然后将 V_o 信号送 DSP 计算得到该输出电压下的电流参考值 I_{ref} ，将之与采样的输出电流 I_o 作差得到输出电流的误差信号；接着将误差信号经过 PI 计算得到级联 BUCK 的占空比信号，再将之通过载波移相和共同占空比控制（Phase Shift PWM, PSPWM）得到级联 BUCK 所需的多路驱动信号；最后将驱动信号送至级联 BUCK 的隔离型驱动以控制级联 BUCK 的开关动作，完成闭环。

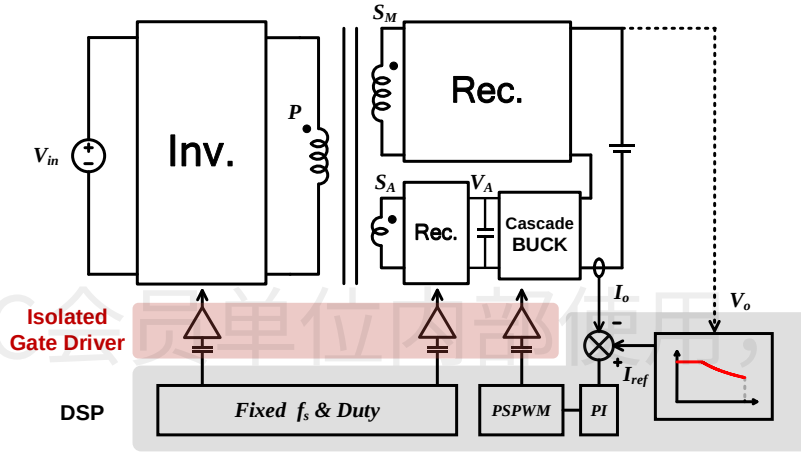
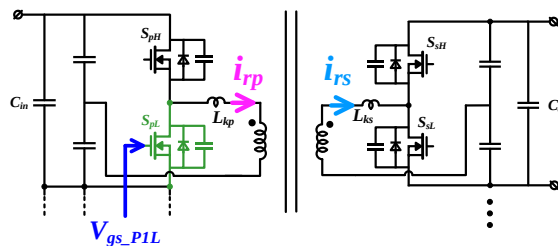
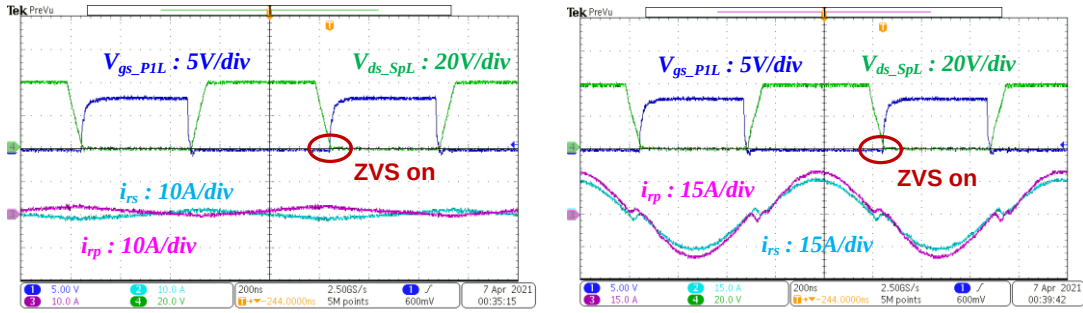


图 4.2 RDCX 充电工作时的控制框图

如图 4.3 所示为样机充电工作时在不同负载下 DCX 电路的关键波形。其中，（a）为 DCX 电路原理简图，（b）和（c）分别为在空载和满载工况下的电路波形。由图 4.3（b）和（c）可见，在空载和满载工况下原边下管驱动信号 V_{gsPIL} 均在其 V_{ds} 电压 V_{dsPL} 下降到 0 后才上升至驱动电平，可见在电路充电工作时 DCX 在全负载范围内实现了良好的 ZVS；此外，在图 4.3（c）中，原边绕组电流 i_{rp} 在原边上管开通下管关断时为正值，说明此时 DCX 正向工作。



(a) DCX 原理图

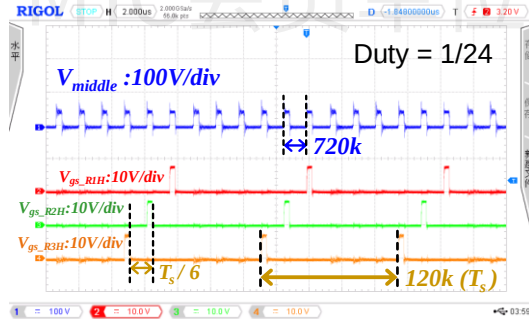


(b) @ 空载

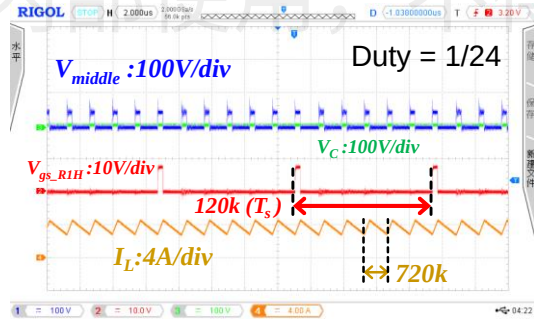
(c) @ 满载

图 4.3 充电工作时 DCX 原理图和波形图

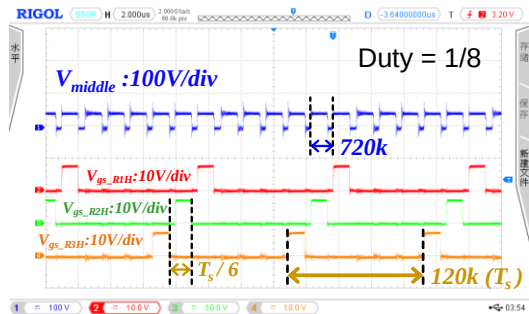
如图 4.4 所示, 为电路充电工作时, 负载 4A 的情况下 RDCX 中的调压电路级联 BUCK 在占空比为 1/24 和 1/8 时的关键波形, 图 4.5 为其所对应的原理图。图 4.4 中, V_{gs_R1H} 、 V_{gs_R2H} 、 V_{gs_R3H} 分别为级联 BUCK 上三个桥臂的三个上管的驱动波形, 可见其开关频率为 120kHz。基于载波移相的调制策略, 他们之间依次相差六分之一周期。 V_{middle} 为级联 BUCK 滤波电感斩波侧电压的波形, I_L 为电感电流波形, 两者频率为 720kHz, 表明电路成功实现了电感等效开关频率的倍频效果。



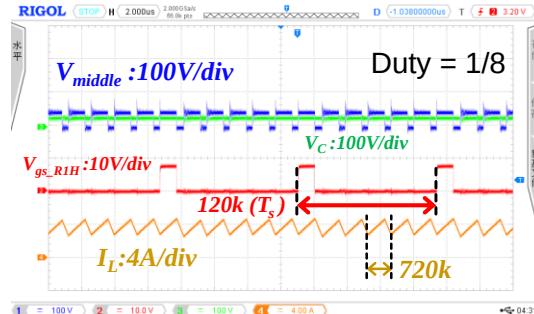
(a) 驱动波形@Duty = 1/24



(b) 电感电流波形@Duty = 1/24



(c) 驱动波形@Duty = 1/8



(d) 电感电流波形@Duty = 1/8

图 4.4 充电工作时级联 BUCK 的关键波形

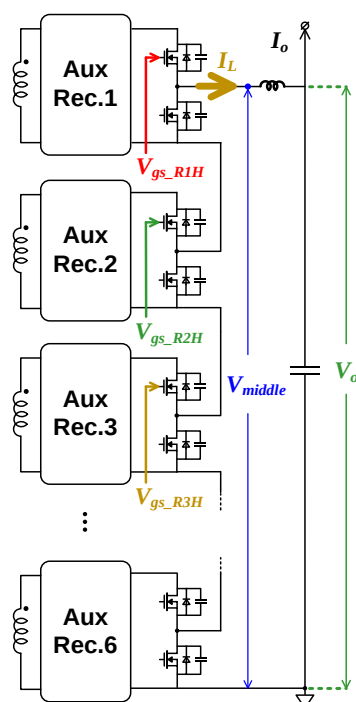


图 4.5 级联 BUCK 原理图

如图 4.6 所示,为电路充电工作时,输入电压跳变时的输出电流仿真动态图。

可见在闭环工作下,当输入电压从 400V 跳变到 412V,再从 412V 跳变回 400V 的过程中,输出电流可以基本保持稳定,电路闭环工作正常。

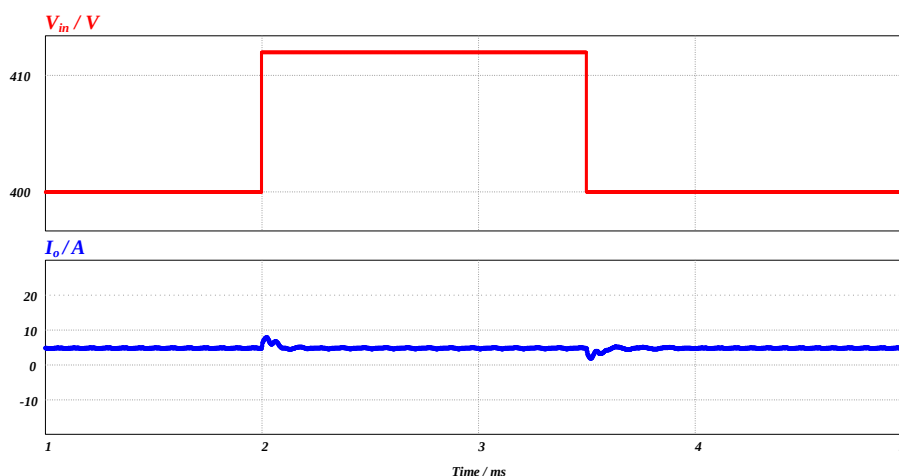


图 4.6 充电工作时,输入电压跳变时的输出电流仿真动态图

4.2 放电工作

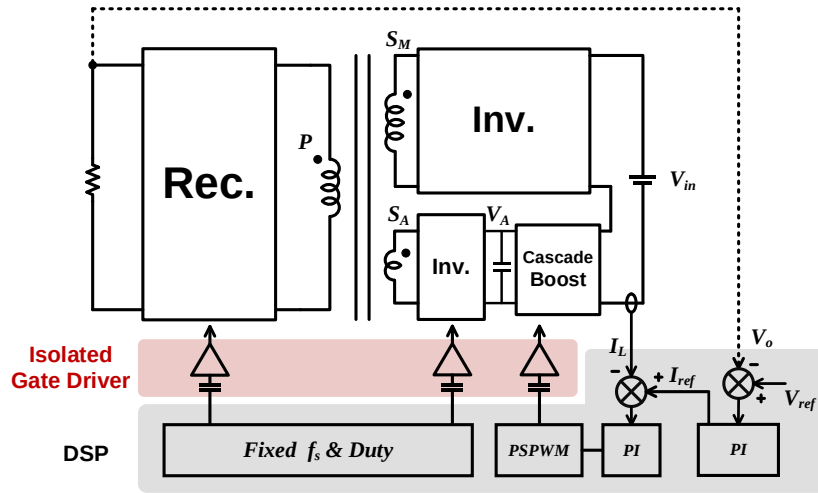
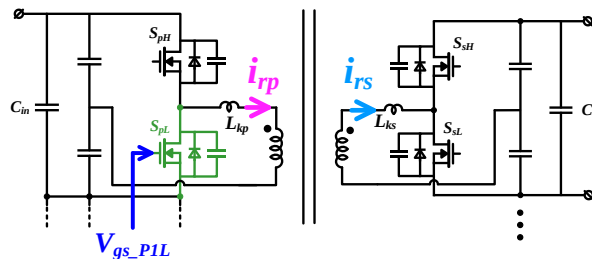


图 4.7 RDCX 放电工作控制框图

当电路放电工作时，电路的控制框图如图 4.7 所示，DCX 的控制方法与电路充电工作时相同；而此时由于电路反向工作，调压电路表现为一级联 BOOST 电路。在闭环工作时，先采样输出电压 V_o ，将 V_o 送 DSP 与参考值 V_{ref} 作差得到误差信号；然后将误差信号经过 PI 计算得到电流参考信号 I_{ref} ，接着将 I_{ref} 和电流采样信号 I_L 经过比较计算得到占空比信号，再将之通过载波移相和共同占空比控制得到级联 BOOST 所需的多路驱动信号；最后将驱动信号送至级联 BOOST 的隔离型驱动以控制级联 BOOST 的开关动作，完成闭环。

如图 4.8 所示为样机放电工作时在不同负载下 DCX 电路的关键波形。其中，(a) 为 DCX 电路原理简图，(b) 和 (c) 分别为在空载和满载工况下的电路波形。由图 4.8 (b) 和 (c) 可见，在空载和满载工况下原边下管驱动信号 V_{gsPIL} 均在其 V_{ds} 电压 V_{dsPL} 下降到 0 后才上升至驱动电平，可见在电路放电工作时 DCX 在全负载范围内实现了良好的 ZVS；此外，在图 4.8 (c) 中，原边绕组电流 i_{rp} 在原边上管开通下管关断时为负值，说明此时 DCX 反向工作。



(a) DCX 原理图

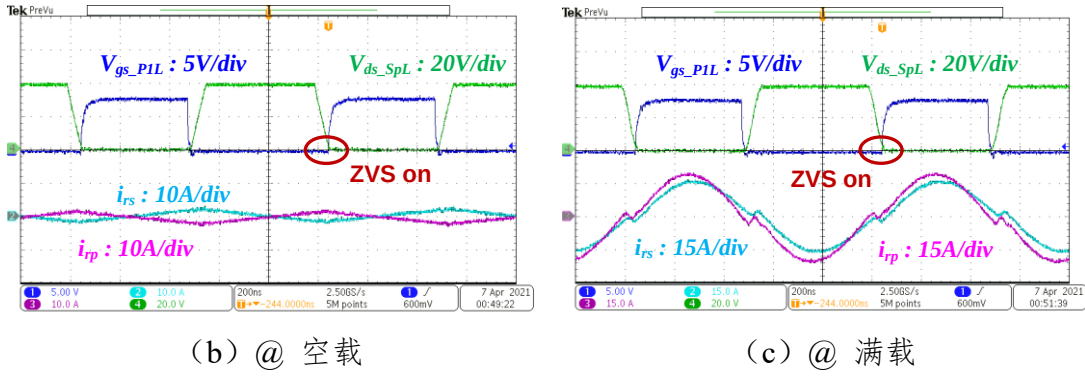


图 4.8 放电工作时 DCX 原理图和波形图

如图 4.9 所示, 为电路放电工作时, 输入电流 4A 的情况下 RDCX 中的调压电路级联 BOOST 在占空比为 3/8 和 5/8 时的关键波形, 图 4.10 为其所对应的原理图。图 4.9 中, V_{gs_R1L} 、 V_{gs_R2L} 、 V_{gs_R3L} 分别为级联 BOOST 上三个桥臂的三个下管的驱动波形, 可见其开关频率为 120kHz。基于载波移相的调制策略, 他们之间依次相差六分之一周期。 V_{middle} 为级联 BOOST 滤波电感斩波侧电压的波形, I_L 为电感电流波形, 两者频率为 720kHz, 表明电路成功实现了电感等效开关频率的倍频效果。

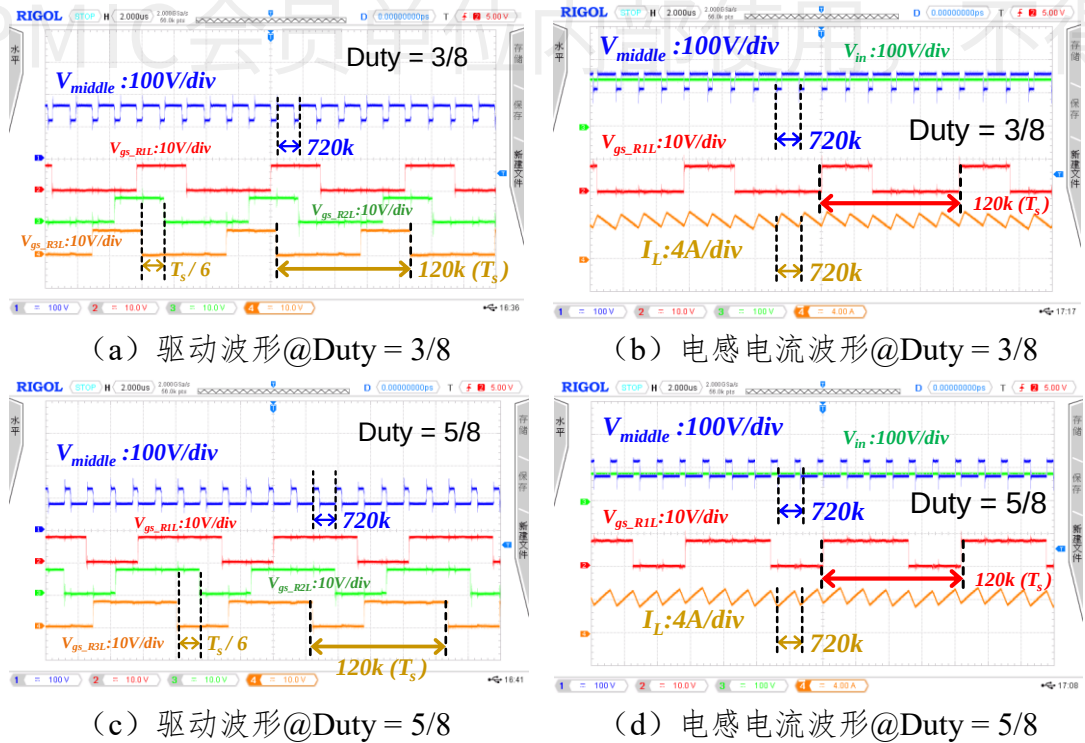


图 4.9 调压部分级联 BOOST 的关键波形

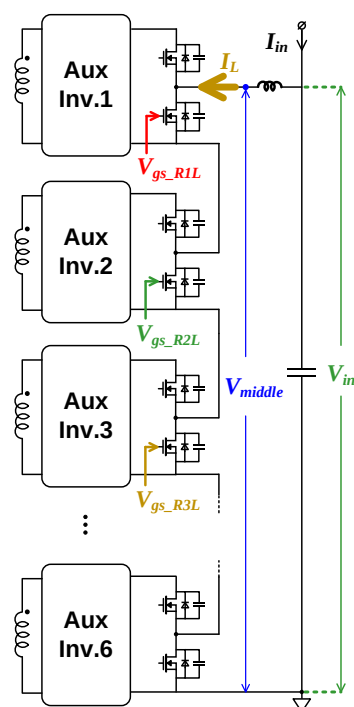
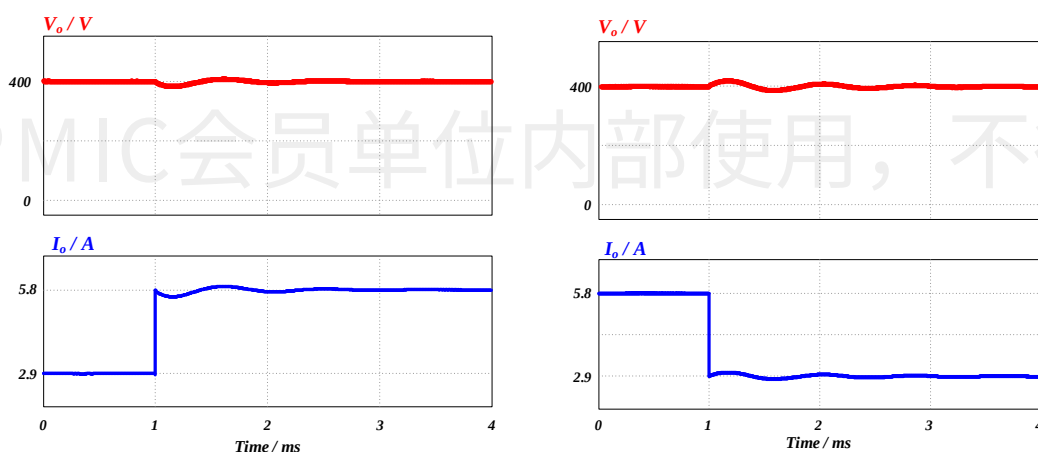


图 4.10 级联 BOOST 原理图



(a) 50%—100% 负载跳变

(b) 100%—50% 负载跳变

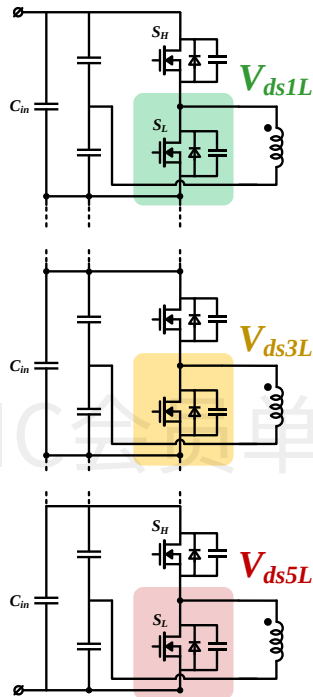
图 4.11 放电工作时，负载跳变时的输出电压仿真动态图

如图 4.11 所示，为电路放电工作时，负载跳变时的输出电压仿真动态图。可见在闭环工作下，当负载从半载 2.9A 跳变到满载 5.8A，以及从 5.8A 跳变回 2.9A 的过程中，输出电压可以基本保持稳定，电路闭环工作正常。

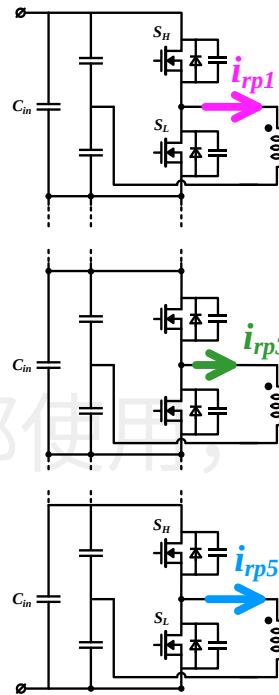
4.3 元胞电路间的电压和电流一致性

在本文第 2.3 中设计的基于低压元胞电路的 DCX 中，由于所有元胞电路的绕组耦合在同一个变压器上，故其能保证元胞之间的均压；而又因为原副边的元

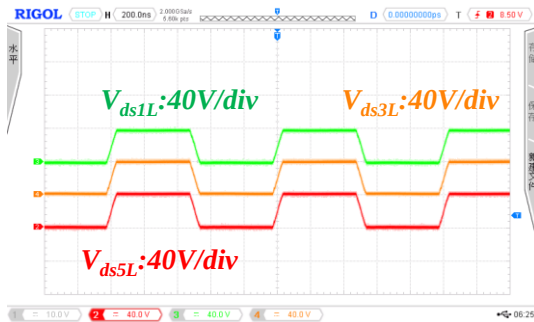
胞电路之间均在直流侧串联，故其直流侧电流能自然保持一致，接着通过对谐振参数匹配即能实现不同元胞电路之间谐振电流的自然均流。如图 4.12 给出了验证电路均压和均流能力的波形。图 4.12(a)所示为所测试的电压节点，其中 V_{ds1L} 、 V_{ds3L} 和 V_{ds5L} 分别三个元胞逆变电路的下管 V_{ds} 波形，测试结果如图 4.12 (c) 所示，可见三者能保持较好的一致性，不同元胞电路之间实现较为良好的均压；如图 4.12 (b) 所示为所测试的电流节点，其中 i_{rp1} 、 i_{rp3} 和 i_{rp5} 分别三个元胞逆变电路的谐振电流波形，测试结果如图 4.12 (d) 所示，三者能保持较好的一致性，这说明不同元胞电路之间实现较为良好的电流一致性。



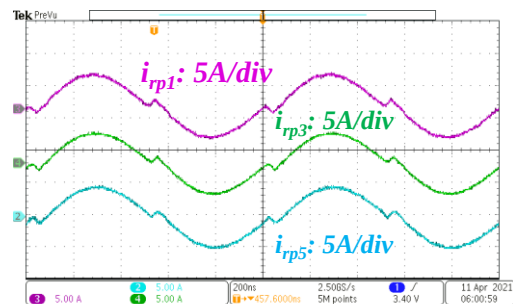
(a) 测试电压节点



(b) 测试电流节点



(c) 电路均压测试波形



(d) 电路均流测试波形

图 4.12 元胞电路均压均流测试

4.4 效率测试与损耗分析

如图 4.13 所示, 为样机的闭环充电曲线。根据充电曲线, 当负载电压为 250V~270V 之间时, 电路保持恒流充电, 充电电流 8.52A; 在负载电压为 270~450V 之间时电路保持恒功率工作, 充电功率保持在 2.3kW。

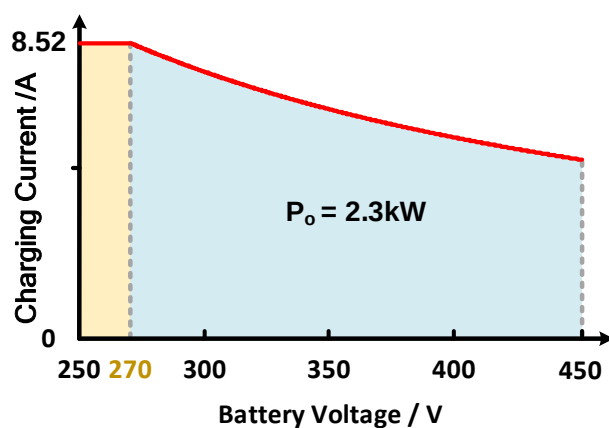


图 4.13 电路的充电曲线

图 4.14 为电路在图 4.13 的充电曲线控制下测得的效率曲线, 可见其峰值效率可达 98.2%。此外, 在图 4.14 中, 电路效率随着输出电压的提高而提高, 这是由于电路在按照图 4.13 的充电曲线工作时, 输出电压越高, 输出电流越小, 在相同的功率下整机的副边器件和绕组的导通损耗越小; 而由于输出功率一定和输入电压一定, 故而原边器件和绕组的导通损耗以及变压器磁损等保持不变。综上, 在按图 4.13 的充电曲线工作时, 电路输出电压越高, DCX 效率越高; 与此同时, 输出电压越高, 级联 BUCK 的占空比也越大, 因而其效率也越高, 故电路效率呈图 4.14 所示的趋势。

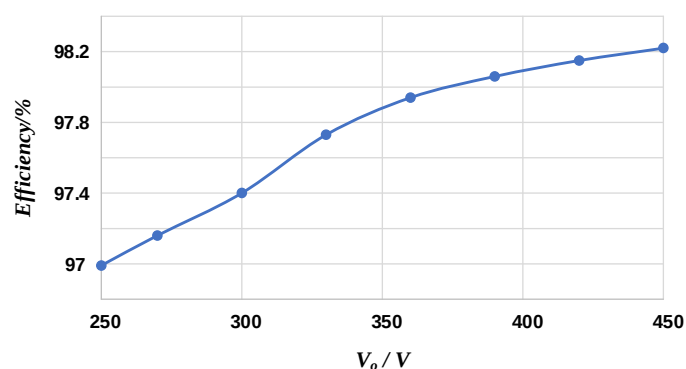


图 4.14 在图 4.13 的条件下测试的电路效率曲线

图 4.15 为电路在输出电压在 360V 工况下满载时的损耗分析。可见由于调压电路采用了使用低压器件的级联 BUCK，其所占的损耗比重较小，仅 0.35%。

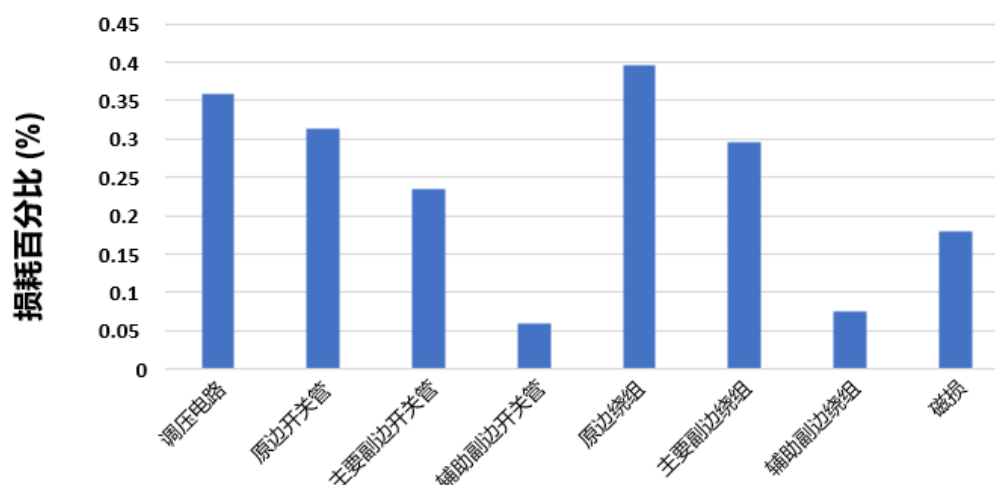


图 4.15 输出电压 360V 时满载情况下的电路损耗分析

4.5 本章小结

本章结合第 2 章和第 3 章的电路和变压器设计方法，搭建了一台输入电压范围 388~412V，输出电压范围 250~450V 的 RDCX 样机，并对样机进行了充电工作、放电工作以及元胞电路之间的电压和电流一致性测试，验证了电路的正常工作能力。此后，对电路的效率进行了测试，测试结果显示，样机在依照所设计的充电曲线工作的情况下峰值效率可达 98.2%，实现了预期的高效高功率密度变换。

5 总结与展望

5.1 全文工作总结

本文针对车载充电机中隔离型 DC/DC 的高效高功率密度设计进行了探究，主要研究工作可以概括为以下几点：

- 1) 本文首先对现有的隔离型双向 DC/DC 电路进行了调研，对比分析了 DAB，谐振型电路，两级架构和准两级架构电路的优缺点，在此基础上选择了准两级架构电路作为本文的研究对象；
- 2) 对于准两级架构中的 DCX 部分，研究了电路的器件损耗，建立了器件导通损耗的数学模型，并基于模型设计了一种基于低压元胞电路的 DCX 电路，该电路借助低压器件低 NFoM 的特性，可以实现较低的器件损耗。针对所设计的 DCX 电路，综合考虑器件导通损耗和绕组损耗对电路死区时间进行了优选；
- 3) 对于准两级架构中的调压部分，本文提出使用级联 BUCK，级联 BUCK 的多个母线由前级 DCX 实现自然均压。这样通过级联 BUCK 的多电平工作原理，可以相较传统两电平电路大幅降低调压部分电感的伏秒，从而减小电路中电感的体积，提高电路的功率密度；
- 4) 针对本文提出的 DCX 电路设计了平面变压器。建立了平面变压器的体积模型和损耗模型，并结合实际情况和变换器损耗要求对变压器设计中的尺寸参数的取值范围进行了限制，减少了变压器的设计参数的数量，简化了设计流程；
- 5) 根据本文提出的基于低压元胞电路的 RDCX 拓扑和平面变压器设计方法搭建了一台实验样机，通过实验验证了拓扑的工作原理和高效、高功率密度特性。

5.2 研究工作展望

对于提出的基于低压元胞电路的宽调压范围 RDCX 电路，本文已经完成了一部分研究工作，实验样机也有较好的表现，然而电路设计的过程中依然存在较大的优化空间和一些等待探究的问题：

1、采用低压器件串联代替高压器件虽然可以大幅降低电路的导通损耗，但是电路的驱动损耗将大幅提高，故有必要采取措施降低电路的驱动损耗，后续工

作可以对该方面进行研究；

2、出于简单考虑，在级联 BUCK 的控制上，本文采用的是最简单的载波移相配合共同占空比控制的方法，是否有更好的控制方法可以提高电路的性能依然有待研究；

3、由效率测试结果可知，在按照充电曲线工作时，电路的峰值效率出现在输出电压为 450V 时，然而在 OBC 中一般对电路要求在 350V 左右的电压时候有最高效率，故而有必要针对这一需求对电路进行进一步地优化；

4、电路采用了许多低压元胞电路，相较传统 DCX 电路在结构上有较大的变化，如果要将该电路应用在对动态特性要求较高的场景，则需要对电路进行小信号建模；

5、出于成本考虑，本文采用了两个磁芯的变压器结构，并没有从效率和功率密度的角度去对变压器磁芯个数进行选择，后续工作可以对该方面进行探究。

仅限PMIC会员单位内部使用，不得外传

参考文献

- [1] Global EV Outlook 2021[EB/OL].<https://iea.blob.core.windows.net/assets/ed5f4484-f556-4110-8c5c-4ede8bcba637/GlobalEVOutlook2021.pdf>.
- [2] 新能源汽车产业发展规划（2021—2035 年）[EB/OL].[2021.03.22].http://www.gov.cn/zhenge/content/2020-11/02/content_5556716.htm.
- [3] Yilmaz M, Krein P T.Review of Battery Charger Topologies, Charging Power Levels, and Infrastructure for Plug-In Electric and Hybrid Vehicles[J].IEEE Transactions on Power Electronics,2013, 28 (5): 2151-2169.
- [4] Khaligh A, Antonio M D.Global Trends in High-Power On-Board Chargers for Electric Vehicles[J].IEEE Transactions on Vehicular Technology,2019, 68 (4): 3306-3324.
- [5] Hella expands product range for electromobility and launches low-voltage battery management system on the market [EB/OL].<https://www.hella.com/hella-com/en/press/Technology-Products-16-02-2021-19361.html>.
- [6] Yamaha Motor Begins Accepting Orders for Prototype Hyper-EV Electric Motor Development — New electric motor reaches 350 kW class in maximum output — [EB/OL].<https://global.yamaha-motor.com/news/2021/0412/ev-motor.html>.
- [7] VDC04-A1.5kW 车载 DCDC 转换器[EB/OL].[05/01/2021].<http://www.hzevt.com/class2/195.html>.
- [8] ELECTRIC-VEHICLE BATTERY BASICS[EB/OL].[05/01/2021].<https://www.myev.com/research/ev-101/electric-vehicle-battery-basics>.
- [9] G01A Frame[EB/OL].[05/01/2021].<http://www.gtake.com.cn/en/index.php?m=content&c=index&a=lists&catid=245>.
- [10] VC03-B6.6kW 水冷车载充电机[EB/OL].[05/01/2021].<http://www.hzevt.com/class1/173.html>.
- [11] Yang G, Draugedalen E, Sorsdahl T, et al. Design of High Efficiency High Power Density 10.5kW Three Phase On-board-charger for Electric/hybrid Vehicles[C].PCIM Europe 2016; International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management,2016: 1-7.
- [12] Lu J, Liu G, Bai H, et al.Applying Variable-Switching-Frequency Variable-Phase-Shift Control and E-Mode GaN HEMTs to an Indirect Matrix Converter-Based EV Battery Charger[J].IEEE Transactions on Transportation Electrification,2017, 3 (3): 554-564.
- [13] Gadelrab R, Yang Y, Li B, et al. High-Frequency High-Density Bidirectional EV Charger[C].2018 IEEE Transportation Electrification Conference and Expo (ITEC),2018: 687-694.
- [14] Wei C, Shao J, Agrawal B, et al. New Surface Mount SiC MOSFETs Enable High Efficiency High Power Density Bi-directional On-Board Charger with Flexible DC-link Voltage[C].2019 IEEE Applied Power Electronics Conference and Exposition (APEC),2019: 1904-1909.
- [15] 车载充电机(OBC)[EB/OL].[10/11/2020].http://www.vmaxpower.com.cn/product_display.php?id=8.
- [16] 车载 OBC (GA036)[EB/OL].[10/11/2020].http://www.vapel.cn/cn/cpzx/info_79.aspx?itemid=5746&lcid=38.
- [17] On-board charger[EB/OL].[05/10/2021].<https://www.eaton.com/us/en-us/catalog/emobility/on-board-charger.specifications.html>.

- [18] NLG664[EB/OL].[05/02/2021].<https://www.brusa.biz/portfolio/nlg664/?lang=en>.
- [19] 3.3KW 144V/ 360V lifepo 4 battery charger[EB/OL].[10/12/2020].<http://www.100khz.com/content/?387.html>.
- [20] AC/DC On Board Charger (Power from 3.6 kW up to 22 kW)[EB/OL].[10/12/2020].<https://www.ficosa.com/products/emobility/on-board-charger/>.
- [21] Li H, Zhang Z, Wang S, et al. A 300-kHz 6.6-kW SiC Bidirectional LLC Onboard Charger[J]. IEEE Transactions on Industrial Electronics, 2020, 67 (2): 1435-1445.
- [22] Schnitzler J, Lutter T. Efficient Automotive On-Board Chargers for the Volume Ramp-up of E-Mobility[C]. AmE 2020 - Automotive meets Electronics; 11th GMM-Symposium, 2020: 1-6.
- [23] On-board Bi-directional Electric Vehicle Charging[EB/OL].<https://arpa-e.energy.gov/technologies/projects/board-bi-directional-electric-vehicle-charging>.
- [24] 王菲菲. 双向车载充电机中宽范围 CLLC 变换器的研究与设计[D]. 浙江大学, 2019.
- [25] 谷泓杰. 隔离型双向全桥 DC-DC 变换器研究[D]. 浙江大学, 2016.
- [26] 周路遥. 双有源全桥双向 DC-DC 变换器典型拓扑研究[D]. 北京交通大学, 2016.
- [27] Fei C, Gadelrab R, Li Q, et al. High-Frequency Three-Phase Interleaved LLC Resonant Converter With GaN Devices and Integrated Planar Magnetics[J]. IEEE Journal of Emerging and Selected Topics in Power Electronics, 2019, 7 (2): 653-663.
- [28] Li B, Li Q, Lee F C, et al. A High-Efficiency High-Density Wide-Bandgap Device-Based Bidirectional On-Board Charger[J]. IEEE Journal of Emerging and Selected Topics in Power Electronics, 2018, 6 (3): 1627-1636.
- [29] 陈启超. CLLC 谐振型双向 DC/DC 变换器若干关键问题研究[D]. 哈尔滨工业大学, 2015.
- [30] Vinciarelli P. FACTORIZED POWER ARCHITECTURE WITH POINT OF LOAD SINUSOIDAL AMPLITUDE CONVERTERS: USA, US006984965B2[P]. 06/10/2006.
- [31] Richard W. Farrington M F S. INTERMEDIATE BUS ARCHITECTURE WITH A QUASI-REGULATED BUS CONVERTER: USA, US007787261B2[P]. 08/31/2010.
- [32] Lee J, Jeong Y, Han B. An Isolated DC/DC Converter Using High-Frequency Unregulated LLC Resonant Converter for Fuel Cell Applications[J]. IEEE Transactions on Industrial Electronics, 2011, 58 (7): 2926-2934.
- [33] 陈申. 宽输入高增益隔离型 DC-DC 变换器的研究[D]. 浙江大学, 2012.
- [34] 黄启程. 宽范围输入谐振双向 DC/DC 变换器研究[D]. 浙江大学, 2014.
- [35] Fu M, Fei C, Yang Y, et al. A Two-Stage Rail Grade DC/DC Converter Based on GaN Device[C]. 2019 IEEE Applied Power Electronics Conference and Exposition (APEC), 2019: 2110-2114.
- [36] Liu Y C, Chen C, Chen K D, et al. High-Frequency and High-Efficiency Isolated Two-Stage Bidirectional DC-DC Converter for Residential Energy Storage Systems[J]. IEEE Journal of Emerging and Selected Topics in Power Electronics, 2020, 8 (3): 1994-2006.
- [37] Su M, Wu S, Dan H, et al. High-Efficiency Bidirectional Isolated AC/DC Converter[C]. 2020 IEEE Applied Power Electronics Conference and Exposition (APEC), 2020: 2010-2013.
- [38] Chen M, Afridi K K, Chakraborty S, et al. Multitrack Power Conversion Architecture[J]. IEEE Transactions on Power Electronics, 2017, 32 (1): 325-340.
- [39] Chiu H, Lo Y, Tseng P, et al. High-efficiency battery charger with cascode output design[J]. IET Power Electronics, 2014, 7 (7): 1725-1735.
- [40] Liu T, Han Y, Wu X, et al. A MHz Regulated DC Transformer with Wide Voltage

- Range[C].2018 IEEE International Power Electronics and Application Conference and Exposition (PEAC),2018: 1-4.
- [41] Design of High-density Isolated Bi-directional Soft-switching Resonant DC-DC Converter with Partial Power Processing[EB/OL].[04/26/2021].<https://cpes.vt.edu/library/viewnugget/1023>.
- [42] Carrasco J A, Weinberg A H, Maset E, et al.A high-efficiency regulation technique for a zero-voltage zero-current power switching converter[J].IEEE Transactions on Power Electronics,1998, 13 (4): 739-747.
- [43] Julu S, Ming X, Reusch D, et al. High efficiency quasi-parallel Voltage Regulators[C].2008 Twenty-Third Annual IEEE Applied Power Electronics Conference and Exposition,2008: 811-817.
- [44] Liu C, Gu B, Lai J, et al.High-Efficiency Hybrid Full-Bridge–Half-Bridge Converter With Shared ZVS Lagging Leg and Dual Outputs in Series[J].IEEE Transactions on Power Electronics,2013, 28 (2): 849-861.
- [45] Chen H, Wu X, Peng F, et al. Current balance method for the two-phase interleaved LLC-RDCX with parallel PWM output regulation[C].2014 International Power Electronics and Application Conference and Exposition,2014: 136-141.
- [46] Wang C, Li M, Ouyang Z, et al.Resonant Push-pull Converter with Flyback Regulator for MHz High Step-Up Power Conversion[J].IEEE Transactions on Industrial Electronics,2020: 1-1.
- [47] Wang C, Li M, Ouyang Z, et al. High Efficiency High Step-up Isolated DC-DC Converter for Photovoltaic Applications[C].2019 IEEE Applied Power Electronics Conference and Exposition (APEC),2019: 1273-1280.
- [48] Wei Y, Luo Q, Du X, et al.A Dual Half-Bridge LLC Resonant Converter With Magnetic Control for Battery Charger Application[J].IEEE Transactions on Power Electronics,2020, 35 (2): 2196-2207.
- [49] Wei Y, Luo Q, Mantooth A. A Hybrid Half-bridge LLC Resonant Converter and Phase Shifted Full-bridge Converter for High Step-up Application[C].2020 IEEE Workshop on Wide Bandgap Power Devices and Applications in Asia (WiPDA Asia),2020: 1-6.
- [50] Heping Dai D F, Liming Ye, Daoshen Chen. SERIAL HYBRID CONVERTER APPARATUS Publication AND METHOD: USA, US20160094135A1 [P].03/31/2016.
- [51] Shu L, Chen W, Ning G, et al.A Resonant ZVZCS DC–DC Converter With Two Uneven Transformers for an MVDC Collection System of Offshore Wind Farms[J].IEEE Transactions on Industrial Electronics,2017, 64 (10): 7886-7895.
- [52] Heping Dai L Y, Dianbo Fu, Daoshen Chen. Parallel hybrid converter apparatus and method: USA, US009614453B2[P].04/04/2017.
- [53] Liming Ye H D, Dianbo Fu. Isolated partial power processing power converters: USA, US010199947B2[P].02/05/2019.
- [54] Pavlović Z, Oliver J A, Alou P, et al. Bidirectional multiple port dc/dc transformer based on a series resonant converter[C].2013 Twenty-Eighth Annual IEEE Applied Power Electronics Conference and Exposition (APEC),2013: 1075-1082.
- [55] Wu X, Shi H.High Efficiency High Density 1 MHz 380–12 V DCX With Low FoM Devices[J].IEEE Transactions on Industrial Electronics,2020, 67 (2): 1648-1656.
- [56] Il-Jung K, Matsumoto S, Sakai T, et al. New power device figure of merit for high-frequency applications[C].Proceedings of International Symposium on Power Semiconductor Devices

- and IC's: ISPSD '95,1995: 309-314.
- [57] Wu J, Wu X. FoM Based Optimal Frequency and Voltage Level Design for High efficiency High density Multilevel PFC with GaN Device[C].2020 IEEE Applied Power Electronics Conference and Exposition (APEC),2020: 1911-1915.
- [58] Quinn C, Rinne K, Donnell T O, et al. A review of planar magnetic techniques and technologies[C].APEC 2001. Sixteenth Annual IEEE Applied Power Electronics Conference and Exposition (Cat. No.01CH37181),2001: 1175-1183 vol.2.
- [59] Shafaei R, Saket M A, Ordonez M. Thermal Comparison of Planar Versus Conventional Transformers Used in LLC Resonant Converters[C].2018 IEEE Energy Conversion Congress and Exposition (ECCE),2018: 5081-5086.
- [60] Li G, Wu X.High Power Density 48–12 V DCX With 3-D PCB Winding Transformer[J].IEEE Transactions on Power Electronics,2020, 35 (2): 1189-1193.
- [61] 施鸿波. 基于低FOM器件的高效高功率密度兆赫兹DC-DC变换器[D]. 浙江大学,2019.
- [62] Fei C, Lee F C, Li Q.High-Efficiency High-Power-Density LLC Converter With an Integrated Planar Matrix Transformer for High-Output Current Applications[J].IEEE Transactions on Industrial Electronics,2017, 64 (11): 9072-9082.
- [63] Steinmetz C P.On the law of hysteresis[J].Proceedings of the IEEE,1984, 72 (2): 197-221.
- [64] DMR51W 材料特性[EB/OL].https://fericor.com/uploads/fericor/public/document/125-dmr51w-revb_material_characteristics_sl.pdf.
- [65] DMR51[EB/OL].[05/10/2021].https://fericor.com/uploads/fericor/public/document/35-dmr51_extremely_high_f_power_material_sl.pdf.
- [66] DMR52W[EB/OL].[05/10/2021].https://fericor.com/uploads/fericor/public/document/163-dmr52w_material_characteristics-rev_a_en.pdf.
- [67] DMR95[EB/OL].[05/10/2021].https://fericor.com/uploads/fericor/public/document/32-dmr95_low_loss_high_ui_power_material_sl.pdf.
- [68] DMR50B[EB/OL].[05/10/2021].https://fericor.com/uploads/fericor/public/document/118-dmr50b_material_characteristics_rev_b_sl.pdf.
- [69] Ouyang Z, Thomsen O C, Andersen M a E.Optimal Design and Tradeoff Analysis of Planar Transformer in High-Power DC–DC Converters[J].IEEE Transactions on Industrial Electronics,2012, 59 (7): 2800-2810.
- [70] Ferreira J A.Improved analytical modeling of conductive losses in magnetic components[J].IEEE Transactions on Power Electronics,1994, 9 (1): 127-131.
- [71] Dowell P L.Effects of eddy currents in transformer windings[J].Proceedings of the Institution of Electrical Engineers,1966, 113 (8): 1387-1394.
- [72] Chen M, Araghchini M, Afridi K K, et al.A Systematic Approach to Modeling Impedances and Current Distribution in Planar Magnetics[J].IEEE Transactions on Power Electronics,2016, 31 (1): 560-580.
- [73] Fu D, Lee F C, Wang S. Investigation on transformer design of high frequency high efficiency dc-dc converters[C].2010 Twenty-Fifth Annual IEEE Applied Power Electronics Conference and Exposition (APEC),2010: 940-947.
- [74] Ahmed M H, Fei C, Lee F C, et al.Single-Stage High-Efficiency 48/1 V Sigma Converter With Integrated Magnetics[J].IEEE Transactions on Industrial Electronics,2020, 67 (1): 192-202.
- [75] Huang D, Ji S, Lee F C.LLC Resonant Converter With Matrix Transformer[J].IEEE Transactions on Power Electronics,2014, 29 (8): 4339-4347.

- [76] Power and Sensing Selection Guide 2019[EB/OL].https://www.mouser.com/pdfDocs/Infineon-Power_and_Sensing_Selection_Guide_2019-SG-v00_00-EN-4.pdf.
- [77] Mu M, Lee F C.Design and Optimization of a 380–12 V High-Frequency, High-Current LLC Converter With GaN Devices and Planar Matrix Transformers[J].IEEE Journal of Emerging and Selected Topics in Power Electronics,2016, 4 (3): 854-862.

仅限PMIC会员单位内部使用，不得外传

攻读硕士学位期间取得的研究成果

第一作者

范高，李立超. 用于 LLC 谐振变换器的低共模噪声混叠变压器. 电子技术（录用）.

仅限PMIC会员单位内部使用，不得外传