

分类号: TN305.94

单位代码: 10335

学 号: 11410033

浙江大学

博士学位论文



中文论文题目: 小功率碳化硅集成模块若干关键问题研究

英文论文题目: **Research on Several Key Issues of Low Power**
SiC Integrated Module

申请人姓名: 董泽政

指导教师: 吴新科

合作导师: 盛况

专业名称: 电气工程 (电力电子与电力传动)

研究方向: 功率器件封装与应用

所在学院: 电气工程学院

论文提交日期 2022 年 1 月 4 日

小功率碳化硅集成模块若干关键问题研究



论文作者签名: 董泽政

指导教师签名: 吴子科

论文评阅人 1: 匿名评阅
评阅人 2: 匿名评阅
评阅人 3: 匿名评阅
评阅人 4: 匿名评阅
评阅人 5: 匿名评阅

答辩委员会主席: 陈国柱 教授 博导
委员 1: 张军明 教授 博导
委员 2: 陈 敏 教授 博导
委员 3: 韩 雁 教授 博导
委员 4: 洪 慧 教授 博导
委员 5: 谢小高 研究员 博导

答辩日期: 2021 年 12 月 10 日

Research on Several Key Issues of Low Power

SiC Integrated Module



Author's signature: Zerheng DONG

Supervisor's signature: Xinke Wu

External Reviewers: Anonymous reviewer

Anonymous reviewer

Anonymous reviewer

Anonymous reviewer

Anonymous reviewer

Examining Committee Chairperson:

Prof. Guozhu CHEN

Examining Committee Members:

Prof. Junming ZHANG

Prof. Min CHEN

Prof. Yan HAN

Prof. Hui HONG

Prof. Xiaogao XIE

Date of oral defence: 2021-12-10

浙江大学研究生学位论文独创性声明

本人声明所呈交的学位论文是本人在导师指导下进行的研究工作及取得的研究成果。除了文中特别加以标注和致谢的地方外，论文中不包含其他人已经发表或撰写过的研究成果，也不包含为获得 浙江大学 或其他教育机构的学位或证书而使用过的材料。与我一同工作的同志对本研究所做的任何贡献均已在论文中作了明确的说明并表示谢意。

学位论文作者签名：董泽政 签字日期：2021年12月11日

学位论文版权使用授权书

本学位论文作者完全了解 浙江大学 有权保留并向国家有关部门或机构送交本论文的复印件和磁盘，允许论文被查阅和借阅。本人授权 浙江大学 可以将学位论文的全部或部分内容编入有关数据库进行检索和传播，可以采用影印、缩印或扫描等复制手段保存、汇编学位论文。

（保密的学位论文在解密后适用本授权书）

学位论文作者签名：董泽政

导师签名：吴利科

签字日期：2021年12月11日

签字日期：2021年12月13日

致 谢

光阴荏苒，日月如梭，博士求学生涯即将结束。求是园中成长的这些年，一路磕磕绊绊，期间得到了许多师长、同学以及家人们关怀、帮助与支持。值此论文完成之际，谨向各位致以深深的敬意与衷心的感谢！

首先要感谢导师吴新科教授。感谢吴老师带我真正走进科研的殿堂，您丰富的专业学识、认真严谨的科研态度、勤奋刻苦的工作精神值得我终身学习与追赶。感谢吴老师一直坚持不懈地训练我的科学逻辑思维，锻炼我透过现象看本质的能力。每次与吴老师的讨论都让我受益匪浅，您那不断深究、精益求精的科研态度以及不断自我挑战、自我否定的精神让人肃然起敬，并将一直激励我继续前进。在此，谨向吴老师表示最诚挚的敬意，真诚地祝愿您工作顺利，幸福安康！希望实验室团队在您的带领下稳步走向辉煌！

感谢合作导师盛况教授。盛老师对科研问题敏锐的理解能力以及严谨细致的分析能力让人深深折服，是我永远学习的榜样。感谢课题组的张军明教授在我求学过程中给予的指导与帮助，您温文尔雅的交流让人如沐春风。感谢董伯藩老师、邵帅老师、郭清老师、任娜老师，感谢你们在我科研生活中给予的帮助。

感谢周莉英大姐为实验室成员提供的后勤保障与热情支持，在实验室需要帮助的时候您总能及时给出解决方案，保证科研工作的顺利进行。感谢王妹芳、金淼燕、顾晓燕在日常工作中的支持与关心。祝你们身体健康，阖家幸福。

感谢博蓝实验室以及大课题组的成员们：师兄及师姐周伟成、陈慧、王朝辉、舒露、张桢、程士东、仲雪倩、王柳敏、陈琛、李琦、何俊伟、秦伟、严阳、肖强、徐晨汀；同窗王珩宇、吴九鹏、王宝柱、徐弘毅、蓝桂星、刘劭凯、吕海军、孙佳慧、李海燕、江芙蓉；师弟和师妹杨金旭、刘天骥、张乐、张思亮、周宗杰、邱凯、施鸿波、虞乃鹏、韩阅、张博诚、吴嘉文、田霖、李力超、孙家红、李光灿、陈子健、齐雨、范高、赵韞玉、Faheem Muhammad、陈征、赵问鼎、黄天林、杜佳坤、马京京、刘亚南、吕润泽、朱时羽、黄新隆、李京津、徐宇豪、谢宗伦、张佳一、韩铃淇、张瀚元、侯明辰、龙虎、江明明、温剑威、韩绍文、李瑞、龙莉娟、张茂盛、刘立、张健佳、李彦君、王策、高枝、朱郑允、方跃财、王泽峰等。感谢有你们一起陪伴的求学时光，祝大家学业顺利、前程似锦。

此外，特别感谢吴老师、盛老师以及实验室成员在我身体抱恙时及时给予的支持与鼓励。

感谢室友万青、计前程、李浙鲁、陈子杨一起相伴的住宿时光。

感谢组织“和烂诗人爬山去”，是你们带我走向户外，走遍了杭城的山山水水，度过了那段最难熬的时光，我无比珍惜和你们在一起的每一段时光。祝愿组织初心不改，传承永续。

最后，我要感谢我的家人们。哀哀父母，生我劬劳，你们为培养我所付出的辛劳，点点滴滴长记我心。祝愿父母身体健康、万事顺心、幸福绵长。在此特别感谢我的妻子王玉洁，一直以来不离不弃陪伴在身边，感谢你为这个家庭的付出与牺牲，能与你相遇是我人生中最大的幸运，接下来让我们继续向前，迈向更好的明天。

董泽政

2021 年 10 月于求是园

仅限PMIC会员单位内部使用，不得外传

本论文工作得到：

国家自然科学基金资助

（资助号：51877191）

国家重点研发计划

（资助号：2016YFB0400504）

浙江省杰出青年基金资助

（资助号：LR18E070001）

仅限PMIC会员单位内部使用，不得外传

在此谨表谢意！

仅限PMIC会员单位内部使用，不得外传

摘 要

在针对碳化硅的各种新型封装的研究中,集成器件栅极驱动、瓷片电容的封装形式能够大幅减小功率回路以及驱动回路寄生电感,有助于实现碳化硅器件的快速开关,低延时控制,进而减小损耗,提升频率和装置的功率密度。本文以小功率碳化硅集成封装模块为研究对象,分别从模块的热、电及保护控制三方面出发,针对其中的若干关键问题进行了研究分析。

模块的热性能与其损耗密切相关。在集成模块的所有损耗中,开关损耗计算最为复杂。碳化硅集成功率模块结构紧凑,传统的基于准确测量开关波形并计算损耗的方法难以实现。因此,本文基于实际电路中的寄生电感参数、驱动电压、电阻以及器件的转移特性、寄生电容等参数建立动态开关模型来实现损耗的快速评估。在建模过程中,充分考虑了 SiC MOSFET 在高漏源电压 (v_{ds}) 下受短沟道效应影响的转移特性以及动态开关过程中反向输电容特性。通过设计测量电路对其进行了测量并对比了他们与传统数据手册中数据的差别与影响,最终得到的修正模型能够更加准确地预测器件的开关波形,并且极大地提高了损耗评估的准确性。

在模块电性能方面,碳化硅集成功率模块内部的复杂电磁环境,在开关过程中对驱动会产生干扰,影响正常工作。器件开关过程中,桥臂中点处极大的 dv/dt 通过敷铜陶瓷板上下铜层之间的寄生电容耦合到模块的驱动芯片输入端,易造成器件的误开关动作。本文针对这些干扰问题进行了建模分析,根据建模的结果可知这些干扰在开关速度达到一定程度时会导致诸如误开通或者桥臂直通等问题。本文根据干扰模型提出了一系列的干扰抑制方案并对其效果进行了对比。其中引入屏蔽层的方法能够完全消除 dv/dt 带来的干扰影响,同时不影响器件的正常开关速度。

为进一步提升碳化硅集成功率模块的工作性能与可靠性,本文探索了在模块内部集成电流采样的可行性。本文利用隧道磁电阻 (Tunnel Magnetoresistance, TMR) 传感器的小尺寸、高带宽、低延时等特性,对其在集成模块中的应用进行了分析,以期实现模块内部在短路保护、过流检测以及峰值电流检测等方面的快速响应。在实际应用过程中,被测电流变化时产生的磁场会在 TMR 输出回路上产生感应电动势,而且被测电流导线中的电压波动会以电场的方式通过空间电容耦合到 TMR 内部。两者均会干扰电流采样。通过理论分析与实验验证,建议在应用 TMR 时应尽量减小回路面积并尽可能提高信噪比,还建议 TMR

布局在电位变化较小的导线附近并添加梳状地屏蔽层以减小干扰的影响。本文将优化后的 TMR 采样方案应用于图腾柱 PFC 的电流过零检测 (Zero Current Detection, ZCD), TMR 采样波形能够准确地反映被测电流大小, 并在全电压范围内能够实现续流管零电流关断。最后采用优化后的 TMR 在碳化硅集成功率模块进行了电流采样实验, 从双脉冲到 buck 电路连续工作模式, 该方案均能准确测量所在位置器件电流大小, 为在碳化硅集成功率模块中集成电流采样功能提供了设计参考。

关键词: SiC MOSFET, 封装, 集成功率模块, 开关损耗模型, 电磁干扰, 隧道磁电阻, 电流采样

仅限PMIC会员单位内部使用，不得外传

Abstract

Among various new packaging methods of SiC MOSFETs, power module with integrated gate drivers, ceramic capacitors can greatly reduce power loop and driving loop parasitic inductances. It can help realize fast switching of SiC devices, low propagation control, and further to reduce loss, elevate frequency and systems' power density. This dissertation focuses on low power SiC integrated module, researching and analyzing several key issues from aspects of modules' thermal performance, electrical performance, protection and control functions.

Thermal performance of the module is closely related to its loss. Switching loss is the most complicated part among losses of integrated power module (IPM). Due to the compact structure of SiC IPM, it is difficult to calculate loss accurately by measuring its switching waveforms. So, this dissertation establishes a dynamic model to rapidly assess switching loss, based on parasitic inductances, driving voltage, resistance from real prototype and transfer characteristics, parasitic capacitances of the power devices. When modelling, this dissertation fully considers SiC MOSFETs' transfer characteristics under high drain-source voltage (V_{ds}), affected by short-channel effects, and dynamic transfer capacitance during switching periods. These characteristics are measured by proposed methods and compared with information from traditional datasheet about their differences and influence. The final improved model can predict switching waveforms more accurately, and elevates accuracy of loss evaluation.

Considering electrical performance, the complicated electromagnetic environment inside SiC IPM will interfere the driving circuit and cause abnormal conditions of power devices. During switching transient, extremely large dv/dt generated at midpoint of the half bridge during switching period is coupled to the input pins of gate drivers through parasitic capacitances of DBC substrate, causing false switching. This dissertation establishes models to analyze these interferences. According to the model, these interferences may cause problems such as false turn-on or even shoot-through when switching speed is high enough. Based on the model, a series of interference suppressing methods are proposed and compared. It is proved that by introducing a shielding layer, the interference effect caused by dv/dt can be eliminated without lowering normal switching speed of power device.

In order to further improve performance and reliability of SiC IPM, this dissertation explores the possibility of integrating current sampling inside the module. This dissertation takes advantages of tunnel magnetoresistance (TMR) sensors, such as small footprint, high bandwidth, low propagation, and analyzes its application in SiC IPM, expecting fast response of short-circuit protection, over-current and peak current detections. In real applications, varied current generates induced electromotive force in the output loop of TMR sensor and voltage fluctuation in the adjacent conductors will caused interference inside the TMR sensor through electric field, both of which interfere the actual current sampling. By theory analysis and experiment verifications, it is recommended to minimize the output loop of TMR as small as possible and increase the signal-to-noise ratio. It is also suggested placing TMR around conductors with small voltage changes and adding comb-shaped shielding ground to reduce influence of the interference. The optimized sampling method of TMR is applied in a totem-pole PFC circuit for zero current detection (ZCD). Sampling waveforms of TMR reflect the measured current accurately and can realize turn-off of the free-wheeling SiC MOSFET at zero current timepoint within whole ac voltage range. At last, the optimized sampling method of TMR is used to measure current inside the SiC IPM, from double pulse test to buck converter. This optimized circuit can measure device's current accurately and provides a good design guidance for current sampling integration inside SiC IPM.

Key words: SiC MOSFET, package, integrated power module (IPM), switching loss model, electromagnetic interference, tunnel magnetoresistance (TMR), current sampling

目 录

致 谢 I

摘 要 V

Abstract VII

第一章 绪论 1

 1.1 研究背景 1

 1.1.1 SiC 功率器件的应用 1

 1.1.2 SiC MOSFET 在实际应用时存在的问题 3

 1.2 SiC 功率器件封装综述 4

 1.2.1 传统功率器件封装 4

 1.2.2 低寄生电感、高温以及集成封装技术 5

 1.2.3 SiC IPM（集成功率模块）及其关键问题 18

 1.3 本文的选题意义及主要研究内容 24

 1.3.1 本文的选题意义 24

 1.3.2 本文的主要研究内容 26

第二章 SiC MOSFET 的精确开关动态损耗模型 28

 2.1 SiC MOSFET 集成功率模块 28

 2.1.1 集成功率模块设计 28

 2.1.2 SiC IPM 器件开关损耗测试的难点 30

 2.2 SiC MOSFET 开关损耗模型 32

 2.2.1 传统分段线性模型 32

 2.2.2 考虑寄生参数的器件开关损耗模型 33

 2.2.3 SiC MOSFET 开关损耗模型参数提取 34

 2.2.4 SiC MOSFET 开通过程分析 35

 2.2.5 SiC MOSFET 关断过程分析 42

 2.3 SiC MOSFET 开关损耗模型关键问题 46

 2.3.1 SiC MOSFET 高压转移特性曲线 47

 2.3.2 SiC MOSFET 短沟道效应 51

 2.3.3 模型结果与实验对比 52

 2.3.4 SiC MOSFET 动态反向传输电容分析 55

2.3.5 考虑动态反向传输电容特性的开关损耗模型结果对比	59
2.4 本章小结	61
第三章 SiC IPM 驱动输入端干扰分析	63
3.1 SiC IPM 干扰现象	63
3.2 SiC IPM 干扰分析	65
3.2.1 驱动回路分析	65
3.2.2 驱动芯片输入端回路干扰模型	66
3.2.3 不同电路初始状态时开关动作引起的干扰问题分析	71
3.2.4 DBC 下铜层接地分析	73
3.3 SiC IPM 驱动干扰的抑制方法	77
3.3.1 抑制方法分类	77
3.3.2 抑制方法效果对比分析	81
3.4 本章小结	83
第四章 基于隧道磁电阻传感器的 SiC IPM 电流采样	84
4.1 SiC IPM 集成电流采样	84
4.1.1 SiC IPM 集成电流采样特点分析	84
4.1.2 现有电流检测方案对比	86
4.2 基于隧道磁电阻传感器的电流检测方案	88
4.2.1 隧道磁电阻传感器简介	88
4.2.2 隧道磁电阻输出回路干扰分析	90
4.2.3 隧道磁电阻受被测电流导线电场的干扰分析	96
4.2.4 隧道磁电阻传感器在图腾柱 PFC 中的应用	99
4.2.5 隧道磁电阻传感器在 SiC IPM 中的应用测试	103
4.3 本章小结	107
第五章 总结与展望	109
5.1 本文工作总结	109
5.2 后续研究展望	110
参考文献	112
攻读博士学位期间的科研成果	119

第一章 绪论

本文首先介绍碳化硅（SiC）器件封装的研究背景。在此基础上针对碳化硅器件的封装进行了详细的研究综述，并特别针对现有的碳化硅集成功率模块（IPM）进行了调研分析。最后介绍了本文的主要研究内容。

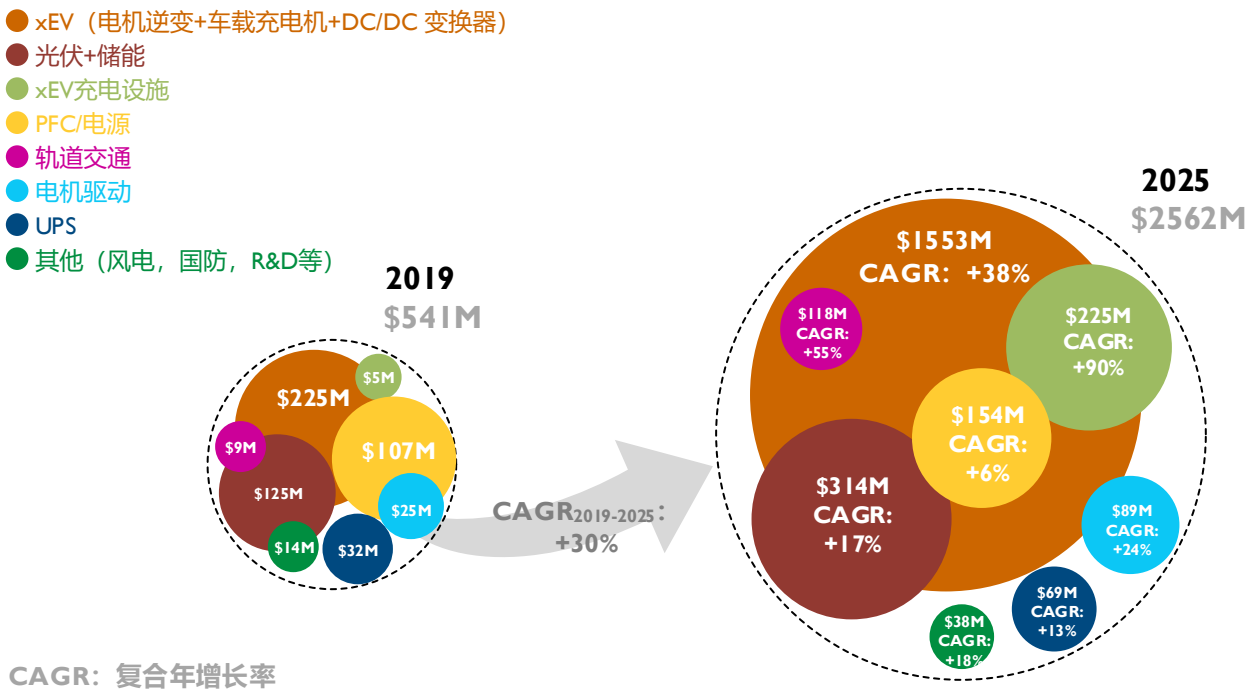
1.1 研究背景

能源是经济社会发展的重要物质基础。随着人类社会的高速发展，依赖传统化石能源的经济发展模式给全球带来了严重的环境问题，威胁人类生存。为实现经济社会的可持续发展，世界各国已经开始高度关注该问题并出台了一系列相应方案措施来应对这一挑战。我国作为目前世界上最大的碳排放国家，能源清洁低碳转型要求紧迫。中国力争于 2030 年前达到二氧化碳排放峰值，努力争取 2060 年前实现碳中和^[1]。2020 年 12 月 12 日，习近平总书记在气候雄心峰会上进一步宣布，到 2030 年，我国单位国内生产总值二氧化碳排放将比 2005 年下降 65%以上，非化石能源占一次能源消费比重将达到 25%左右，风电、太阳能发电装机总量将达到 12 亿千瓦以上^[2]。除大力发展新能源发电产业之外，各国也正极力推动新能源汽车的发展并制定了禁售燃油车的长期计划。借助新能源的蓬勃势头，电力电子技术也得到了广泛应用和发展。

目前纯电动汽车呈现迅猛发展趋势，为提高电动汽车的续航里程，一方面可以提高电池母线电压（400V 母线提升至 800V 母线）以减小逆变器工作的电流大小，提升系统效率；另一方面可以增加电池容量。电池容量增加的同时，为减小用户充电时间，可以采用增大车载充电机功率密度和直流快充等方案。相比于 Si 器件，SiC 器件在低导通电阻、耐高压、耐高温、高频等方面具有显著优势。针对电动汽车的里程焦虑问题，SiC 器件可提供极好的解决方案，实现电动汽车电控系统以及充电系统的显著提升。目前，丰田、特斯拉、比亚迪等厂商已经将 SiC 器件用于电动汽车逆变器当中。据估计，SiC 汽车市场有望以 38%的复合年增长率在 2025 年达到 15.5 亿美元^[3]。此外，考虑到充电设施以及新能源产业等方面，SiC 的总市场份额有望于 2025 年达到 25.6 亿美元^[3]。

1.1.1 SiC 功率器件的应用

SiC 器件的市场预期分解如图 1.1 所示^[3]。据预测，SiC 总的市场份额将由 2019 年的



目前, 比亚迪, 特斯拉, 丰田等汽车厂商已有搭载 SiC MOSFET 的乘用车上市。图 1.2(a)为特斯拉 Model 3 型电动汽车的逆变器, 采用 STmicro 公司的 SiC MOSFET, 图 1.2(b)为比亚迪汉 EV 中采用的 SiC 三相逆变功率模块。早于 2014 年, 日本丰田汽车公司即宣布研制全碳化硅器件的电动汽车功率控制单元 (PCU), 如图 1.2(c)所示, 得益于 SiC 器件的高频低损特性, 预期目标为使 SiC PCU 相比于 Si PCU 体积减小 80%。此外, 受电动汽车空间大小限制, 其配备的车载充电机 (OBC) 对功率密度较为敏感。而 SiC 器件高频低损的优良特性能够大幅提升车载充电机的充电效率和功率密度。因此, SiC 器件在车载充电机领域也有广阔的市场前景。目前, 各大厂商已经在研发 SiC OBC 的相关产品, 如 Rohm 公司和中国联合汽车电子系统有限公司 (UAES) 在上海成立 SiC 技术联合实验室, 其采用 SiC 的车载应用已于 2020 年成功投入量产^[4], STmicro 已开始为雷诺-日产-三菱(联盟)提供 SiC 芯片用于车载充电机的研发等^[5]。

除在新能源汽车领域内, 在中小功率应用场合, SiC MOSFET 也逐渐得到推广应用。如三菱、英飞凌纷纷推出全 SiC MOSFET IPM (集成功率模块)^[6], 广泛应用于空调、冰箱、洗衣机等家电和工业电机控制领域。

1.1.2 SiC MOSFET 在实际应用时存在的问题

目前市场上的 SiC 开关器件主要为 SiC MOSFET。得益于宽禁带材料优势, 其更适宜应用在高压领域, 取代现有设备中普遍使用的 Si IGBT。相比于同等电压、电流等级的 Si IGBT, SiC MOSFET 具有更小的寄生电容参数; 同时, 作为单极性器件, SiC MOSFET 在关断时没有拖尾电流。因此, SiC MOSFET 开关损耗更小, 能工作在较高的开关频率以减小无源器件体积, 提升电力电子装置的功率密度。

相比于 Si IGBT, SiC MOSFET 因为具有更小的内部寄生电容, 可以实现器件的快速开关, 其开关时间仅为十几纳秒甚至小于十纳秒。极速的开关速度带来极大的 di/dt 和极大的 dv/dt , 进而引起器件开关过程中的振荡、电压电流过冲、串扰以及电磁兼容等一系列问题。因此, SiC MOSFET 在开关过程中, 对于电路中的寄生电感、电容参数等极其敏感。在实际应用过程中, 人们需要注意合理安排芯片布局, 减小回路寄生参数。目前 SiC MOSFET 的封装主要沿用传统 Si 器件封装技术, 由封装带来的寄生参数往往限制了整体系统电路寄生参数的优化。为保证电路的安全可靠工作, 人们常通过减慢开关速度, 降低开关频率等方式来减小器件的电流电压应力, 减少电磁干扰问题, 无法充分发挥 SiC MOSFET 快速开关的器件优势。

除开关速度快，SiC 器件还适合在高温环境中工作，目前实验测得的 SiC 器件的工作温度可以达到 300℃以上^[7]。而传统 Si 器件工作温度一般在 150℃以下，其相应的封装材料及结构也只保证 150℃以下工作的可靠性。在 SiC 器件高温应用场合中，传统封装材料的可靠性将急剧下降。解决这一问题的关键在于找出适宜高温工作的封装材料并使封装中不同材料层之间的热性能尽量匹配。此外，如何进一步提升封装的散热性能也是 SiC MOSFET 可靠稳定工作以及提升系统功率密度的一大关键。

1.2 SiC 功率器件封装综述

目前 SiC 功率器件目前主要沿用传统 Si 器件的封装形式，单管芯片普遍采用 TO 系列封装，模块采用叠层结构封装等。随着人们对 SiC 器件特性的深入理解，各种改进型以及新型封装方式被提出以匹配 SiC 器件的高速开关，高温工作等需求。

1.2.1 传统功率器件封装

如图 1.3 所示为采用传统封装形式的 SiC MOSFET 单管芯片以及模块的示意图。图 1.3(a)为目前单管芯片常用的 TO-247-3 封装，通过锡膏将芯片背部和金属框架连接，正面栅极和源极电极通过铝线键合工艺连接至相应引脚。该封装技术工艺成熟，可沿用传统 Si 器件封装生产流程，成为目前厂商采用的主流封装方式。但该封装方式体积大，金属键合线、封装引脚以及 PCB 布局均会引入较大的寄生电感参数，大约在 20~30nH。

图 1.3(b)为功率模块的封装，图 1.3(c)给出了其内部的层叠结构示意图。在模块中，芯片首先通过锡膏焊接在带有电气走线的敷铜陶瓷板（DBC）上，DBC 再焊接在铜基板上

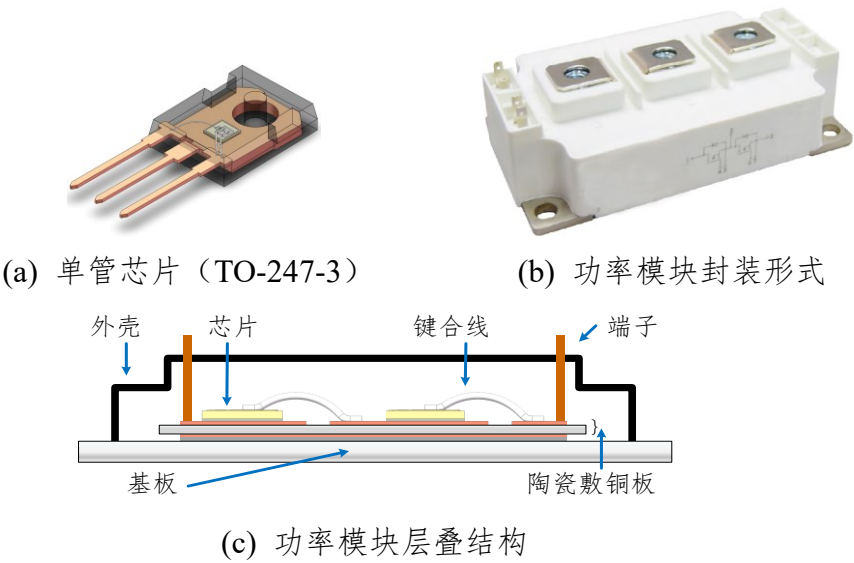


图 1.3 SiC MOSFET 传统封装

以保证一定的机械强度，芯片上表面通过金属键合线同功率端子及驱动信号端子实现电气连接。受限于金属键合线、元件引脚以及多芯片单平面布局的封装形式，开关管换流回路较大，寄生电感参数大。较大的寄生电感参数会导致碳化硅器件在快速开关过程中产生较大的电压过冲，增加损耗以及加重电磁干扰等。

针对 SiC MOSFET 在实际运用中存在的问题以及传统封装的局限性，相应的改进型及新型的封装方式得到了人们越来越多的关注和研究。下面我们从低寄生电感设计、高温封装以及多功能集成等方面对现有碳化硅功率器件的封装方式进行梳理和总结。

1.2.2 低寄生电感、高温以及集成封装技术

寄生电感参数对于 SiC MOSFET 开关过程影响明显，文献^[8-9]详细分析了各种寄生电感参数对器件开关特性的影响。以单个 SiC MOSFET 器件为例，可采用等效集总参数的简化形式给出其含有寄生电感参数的原理图如图 1.4 所示^[10]。其中 L_G 为等效栅极回路电感， L_D 为漏极电感， L_S 为源极电感， L_{CS} 为共源极电感（即驱动回路和功率回路共有的一段源极电感）。

L_G 主要影响栅极回路，容易造成回路振荡。SiC MOSFET 栅极可靠性相比 Si 器件较差，目前商业产品的栅极极限电压值范围（-10V~+25V）远小同等 Si 器件（-30V~+30V）。一方面，SiC MOSFET 跨导相比 Si 器件较低，为保证开通时较低的导通电阻，厂商通常推荐较大的正向开通电压（18V~20V）；另一方面，SiC MOSFET 的栅极阈值电压普遍较低，而且随着温度上升有继续下降的趋势，为保证可靠性，厂商普遍推荐器件采用负压（-5V 左右）关断。因此，栅极极限电压和工作电压之间裕量较小（5V 左右），较大的 L_G 带来的栅极电压振荡很容易造成开关过程中栅极电压超出极限电压，致使器件可靠性降低。因此，降低 L_G 对于 SiC MOSFET 的栅极可靠工作至关重要。 L_D 和 L_S 存在于主功率回路中，主要影响主功率回路，造成开关过程中的电压电流振荡，增加开关损耗以及电压过冲。

L_{CS} 为栅极回路和主功率回路共有的一段寄生电感，因此，在开关过程中，主功率回

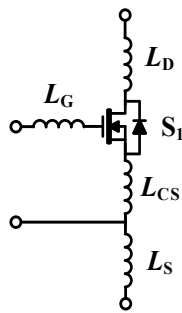


图 1.4 SiC MOSFET 传统单管封装寄生参数分布图

路的 di/dt 在 L_{cs} 上产生的感应电压会耦合到驱动回路。开通时，器件电流上升，在 L_{cs} 上产生上正下负的电压，根据基尔霍夫电压定律，此时实际加在器件栅源两端的电压下降，等效产生了负反馈的作用。最后表现为器件开通速度减慢，损耗增加。同理，关断过程也可得到类似结论。此外，功率回路电流振荡在 L_{cs} 上产生的振荡电压也叠加到驱动回路，叠加上 L_G 的影响，驱动回路的振荡电压将更为严重，易造成器件栅极氧化层失效，损坏器件。因此，减小甚至消除 L_{cs} 对于 SiC 器件的可靠应用十分关键。针对 L_{cs} 的问题，目前器件厂商纷纷推出如图 1.5 所示的四引脚开尔文封装的分立器件，该封装从芯片表面单独引出驱动回路源极端子，避免了驱动回路同功率回路的直接耦合，极大程度减小甚至消除了 L_{cs} 值，保证了 SiC MOSFET 在开关过程中栅极的可靠性以及损耗的降低。

A. 单管翻转贴片封装

相关团队针对单管封装技术进行了新的尝试。阿肯色大学借鉴 BGA 的封装技术，提出了一种单管的翻转贴片封装方式，如图 1.6 所示^[11]。该封装通过一个金属连接件将芯片背部电极引到与正面电极相同平面位置，然后在相应电极位置上植上焊锡球。该封装方式

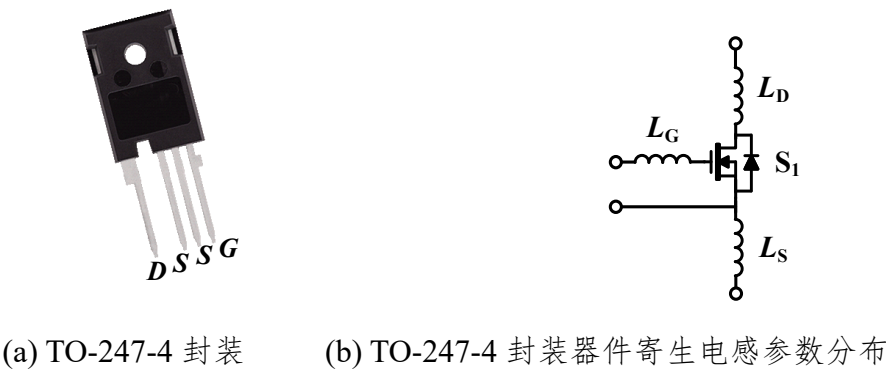


图 1.5 四引脚开尔文封装 SiC 器件

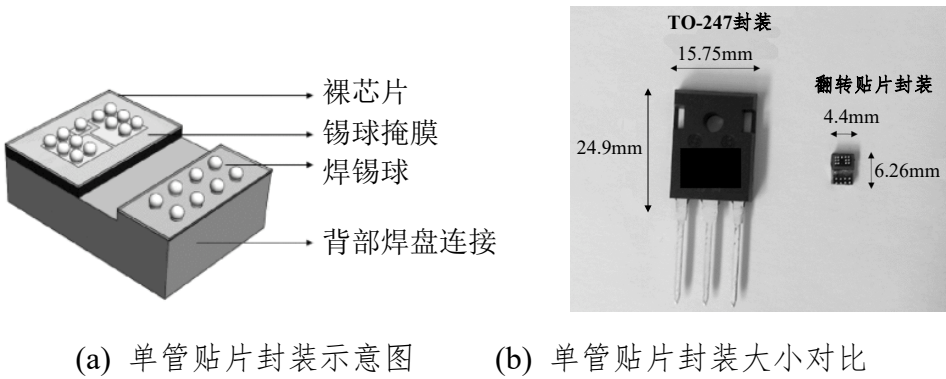


图 1.6 单管贴片封装技术

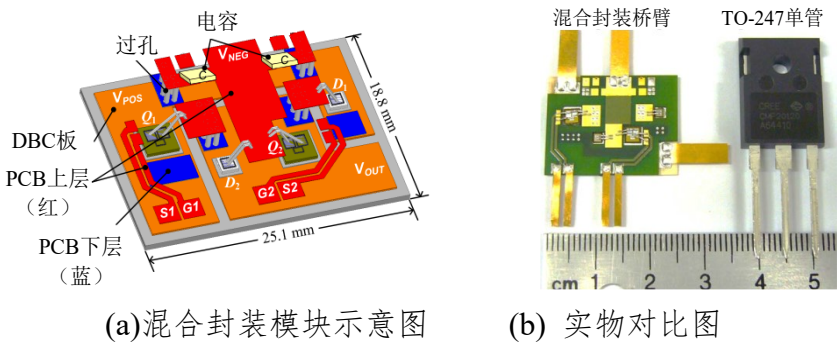


图 1.7 DBC+PCB 混合封装技术

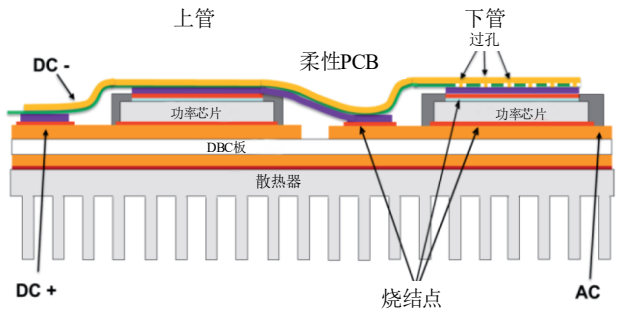


图 1.8 Semikron 公司的 SKiN 封装

消除了键合引线及引脚端子，相比于传统 TO-247 封装，体积减小了 14 倍，导通电阻减小了 24%。该封装形式彻底取消了传统封装中普遍使用的金属键合线工艺，由该封装形式组成的半桥模块其功率回路寄生电感小于 5nH，远小于分立器件的几十 nH 和传统模块的十几 nH。

B. DBC+PCB 混合封装技术

传统功率模块封装普遍使用 DBC 板实现功率芯片的电气连接、结构支撑以及散热。其制作工艺限定了功率芯片只能在单一的二维平面上布局电气线路，优化空间受限。根据文献^[10]的分析方法，这种封装方法往往导致模块内部换流回路面积大，因此寄生电感参数无法有效降低。针对 DBC 板的这种局限性，弗吉尼亚理工大学电力电子技术中心(CPES)、华中科技大学 (HUST) 等团队利用 DBC 和 PCB 两种工艺相结合的方式提出了一种混合封装的方式^[12-13]，如图 1.7 所示。该封装方式将功率芯片焊接在 DBC 板上实现芯片的机械、电气连接并保证较好散热性能，芯片上表面电极通过金属键合线连接到 PCB 板上。PCB 板工艺成熟，其走线可以实现多层灵活排布，而且还可以实现无源电容元件等的焊接。该封装形式可以极大地减小功率芯片之间的换流回路面积，可将寄生电感参数控制在 5nH 以下，体积相比于传统模块下降 40%。

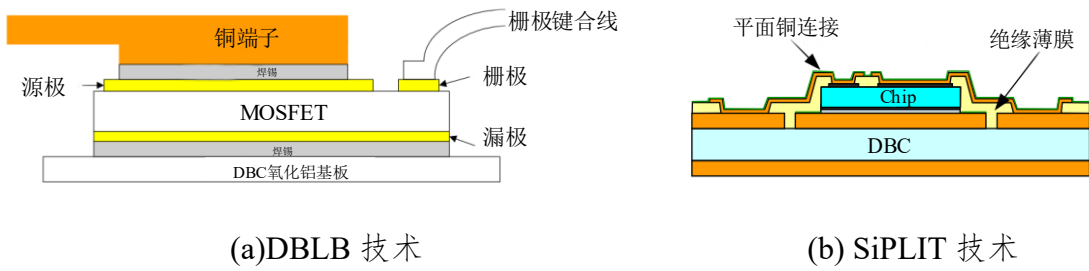


图 1.9 芯片上表面平面封装技术

柔性 PCB 结合银烧结工艺的封装形式也被用于某些商业模块中。如图 1.8 所示为 Semikron 公司利用 SKiN 封装技术制作的 1200V/400A SiC 功率模块^[14]。该技术采用柔性 PCB 板取代金属键合线实现芯片之间的电气互连，模块内部回路寄生电感小于 1.5nH，开关速度大于 50kV/ μ s，开关损耗相比于传统模块可降低 50%。

C. 芯片上表面平面互连封装技术

由图 1.8 可见，通过消除金属键合线，将芯片的换流路径从原来的 DBC 平面位置转变到与芯片垂直的方向上并限制在很小的 PCB 纵向厚度中，可以极大地减小换流回路的面积，进而减小封装中的寄生电感参数。除采用柔性 PCB 取代金属键合线之外，还可使用平面互连的方式来实现芯片上表面的电气连接。如图 1.9(a)为三菱电机公司提出的端子直连（Direct Beam Lead Bonding, DBLB）技术方案^[15]，采用铜端子取代传统金属键合线工艺来实现芯片上表面的连接。类似的还有 IR 提出的 Cu-Clip 方案^[16]以及 Silicon Power 公司制作的 1200V/300A SiC 模块^[17]中采用的连接方案。西门子公司提出了如图 1.9(b)所示的 SiPLIT 技术^[18]，采用真空层压绝缘薄膜以及铜金属沉积的方法实现芯片上表面的平面型互连，减小了 50%的寄生电感值。在这类封装方式中铜端子和芯片的接触面积大且均匀，相比于传统金属键合线封装，其芯片表面电流分布更加平均，带来了导通电阻的下降以及散热性能的提升，进而也保证了封装的可靠性，提升模块的使用寿命。

D. 双面封装技术

芯片上表面平面互连的封装形式不仅有助于减小功率回路寄生电感参数，还增大了芯片上表面的连接面积，加强了封装的散热能力。与此类似的双面封装技术则充分利用封装中芯片上表面的接触面积，上下表面同时进行散热，极大地减小模块的热阻。这类封装体积小，目前常用于电动汽车内部 IGBT 模块的应用^[19-23]。SiC 器件对于低寄生电感参数以及高功率密度的需求也使得双面散热封装技术成为 SiC 器件的一个重要的发展方向。如图 1.10 所示为一款典型的双面封装 SiC 模块，其封装结构如图 1.10(b)所示^[24-25]。该模块为半桥结构，模块双面均采用 DBC 基板进行电气连接再焊接在液冷板上实现散热。在模块

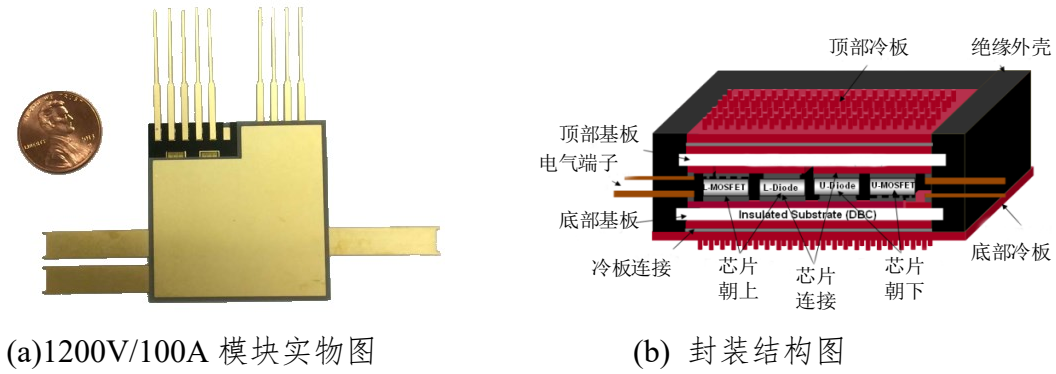


图 1.10 SiC 双面散热封装模块

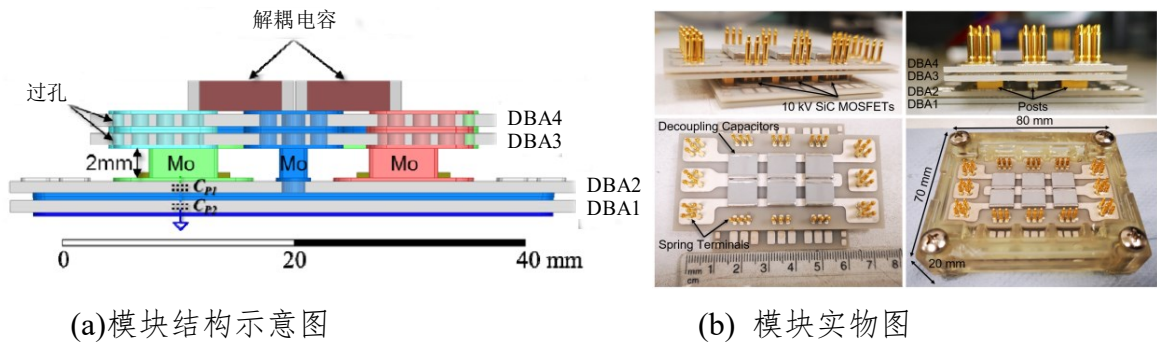


图 1.11 10kV 双面封装 SiC 功率模块（侧视图）

内部，桥臂上管芯片正面朝下，下管芯片正面朝上，这样布局使得功率回路由传统模块中的单面 DBC 二维平面分布转换到三维垂直平面分布。因为芯片厚度远小于芯片边长，所以功率电流回路面积被极大减小，使模块的封装寄生电感以及电阻分别减小到原来的 $1/3$ 、 $1/10$ ^[26]。同时模块的热阻值也下降了 38% ^[26]。文献^[27]充分利用该双面封装垂直方向的灵活布局特点，通过调整续流二极管的位置，进一步减小换流时的功率回路面积，从而将模块的寄生电感参数值（实测）减小到 3nH 以下。

CPES 针对 10kV 的高压 SiC 芯片开发了如图 1.11 所示的双面封装模块^[28-31]。该模块采用热循环性能比 DBC 更优秀的敷铝陶瓷板 (DBA) 作为绝缘基板。对于高压 SiC 器件，除需保证低寄生电感参数以及良好散热性能之外，还需要注意模块的电绝缘问题，因此铜钼铜 (CMC) 层压薄片被用于芯片和正面 DBA 之间实现电气连接并保证上下 DBA 板之间有足够绝缘距离。为减小 DBA 板被强电场击穿的风险，模块将两层 DBA 板通过银烧结工艺结合在一起使用。图 1.11(a) 中，芯片底部 DBA 板中间层通过过孔连接到电压母线中点电压位置，能够有效减小 DBA 中最大场强值，保证绝缘可靠性。此时的中间层还起到了一定的电场屏蔽效果，使半桥模块在开关动作时产生的共模电流回流到模块内部，流出的共模电流减小到原来的 $1/10$ ^[31]，减小了系统级的滤波器体积，提高了整体功率密度。模块采用圆柱状弹簧端子实现电路的输入输出以及消除尖端电场，并保证模块内部平面不

同位置的应力平衡。考虑了弹簧端子的模块栅极回路电感参数仅为 3.8nH ，并且集成高压瓷片电容后，其功率回路寄生电感参数仅为 4.4nH 。该模块主要通过底部 DBA 板连接散热器进行散热，但也可以通过上表面进行散热（需要考虑端子位置以及散热界面的设计，较为复杂）。

压接方式也是一种双面封装技术，是一种通过外加压力而非焊接加金属键合线工艺实现的一种封装方式，在多芯片并联的大功率 IGBT 模块中常有使用，如 Westcode 公司以及 ABB 公司的压接模块^[32-33]。压接封装的主要优势为：无金属键合线，相比传统金属键合线的封装模块，其寄生电感参数更小；并联芯片之间寄生电感参数以及热阻分布比较均匀；可以实现双面散热；串并联实现十分方便，有利于电压电流的扩容。虽然压接封装有诸多优势，但对于 SiC 芯片，直接套用传统压接封装还存在一定的难度：一方面是因为 SiC 芯片面积较小，增加了压接的复杂性；另一方面，目前的压接封装寄生电感参数仍然较大，还不足以满足 SiC 器件的苛刻要求。文献^[34]提出了一种使用低温共烧陶瓷（LTCC）工艺和弹性压针（Fuzz Button）实现压接的解决方案，如图 1.12 所示。Fuzz Button 是一种被压成圆柱形的镀金铍铜多股线。该模块使用 LTCC 陶瓷作为中介层，将 Fuzz Button 嵌入到比其长度略薄一些的 LTCC 的陶瓷定位孔中，再将该其作为插入件压在 SiC 芯片上表面实现电气连接。LTCC 陶瓷还可实现类似 PCB 的多层金属布线结构来实现电极的引出以及寄生电感参数的优化，如图 1.12(a)所示。微通道散热的结构设计也可以集成到 LTCC

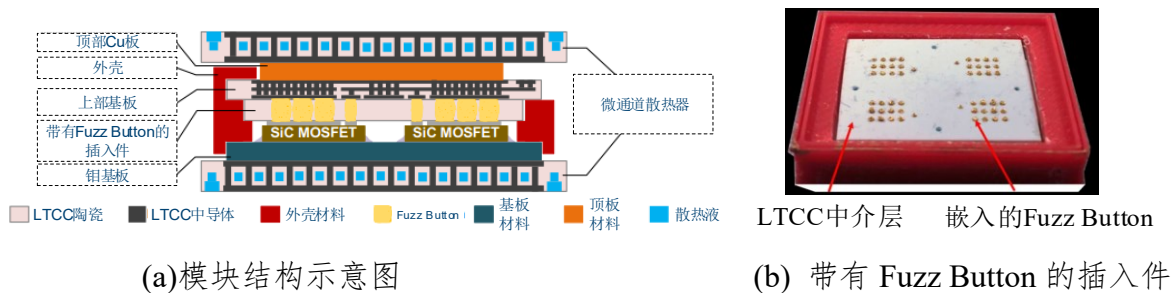


图 1.12 一种 SiC 压接模块

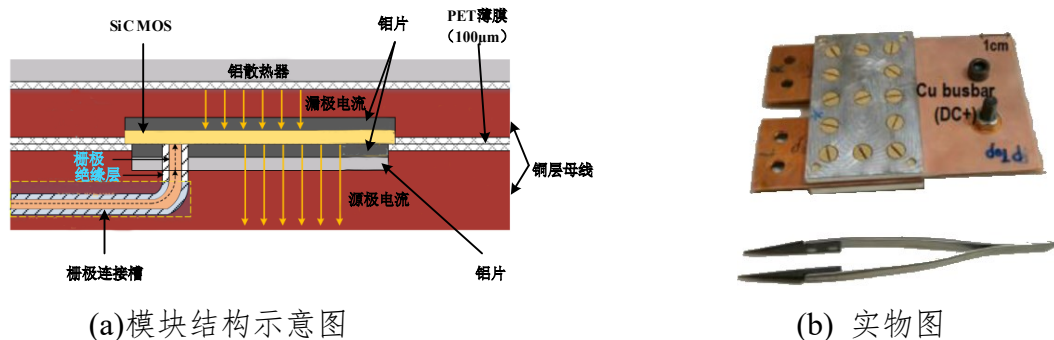


图 1.13 一种嵌入母排式的 SiC 压接模块

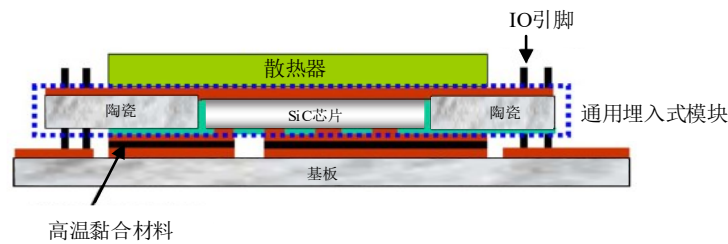


图 1.14 一种 SiC 高温埋入式封装技术

中用来实现模块的液冷散热。图 1.12 为多芯片并联的单管模块，如需组成桥臂，只需将两个单管简单重叠一起加压即可。该种封装的单管内部寄生电感参数仅为 550pH，半桥模块寄生电感参数为 4.3nH。另一种 SiC 压接模块的尝试是将 SiC 芯片嵌入铜母排^[35]当中，这种方式也能减小模块的寄生电感参数，如图 1.13 所示，母排之间使用 PET (polyethylene terephthalate, 聚对苯二甲酸) 进行绝缘。为实现压接芯片上压力的均匀分布和更好的散热效果，该模块使用了 PEEK (polyether-ether-ketone, 聚醚醚酮) 的螺柱分布在芯片四周的排布方式，如图 1.13(b)所示。测得的模块寄生电感参数为 8.7nH，而且芯片热分布更加均匀，整个模块外表面温差小于 1℃。压接模块对于压力以及机械结构、装置的精度要求较高，这两种 SiC 器件的压接方案是对新型封装方式的尝试，许多细节工作以及可靠性问题还有待进一步验证。

E. 埋入式封装技术

在图 1.13 的压接模块中，因为功率芯片嵌入铜母线中，也可认为是一种埋入式的封装。如图 1.14 为一种为 SiC 设计的高温埋入式封装模块^[36]，该封装首先在陶瓷片中使用激光开槽，然后将 SiC 芯片放入槽位，再用绝缘材料填充它们之间的空隙。接下来，先在 SiC 芯片表面溅射一层铜金属，然后通过掩膜图案和电镀工艺实现表面的铜金属化（铜金属加厚），最后进一步刻蚀出线路，芯片两面均采用该工艺实现器件的封装。运用该封装工艺的 SiC 二极管模块能正常工作在 279℃并能测出器件的正向和反向特性。除此之外，成熟的 PCB 工艺也可以利用来进行埋入式封装的模块制作^[37-38]。图 1.15 给出了 PCB 埋入式封装的制作流程，首先将芯片通过银烧结工艺结合在 PCB 板上，再通过 PCB 层压工艺将功率芯片埋入环氧树脂中，最后通过过孔钻孔和电镀金属工艺实现芯片上表面的电路结构设计。图 1.15(b)给出了应用该方法制作的功率模块实物图。埋入式的封装技术能够充分利用模块的空间面积，并可以轻易的形成多层结构布线甚至三维立体封装，但由于目前 PCB 材料的散热性能较差，模块的散热优化问题以及模块的可靠性问题等还有待进一步验证。

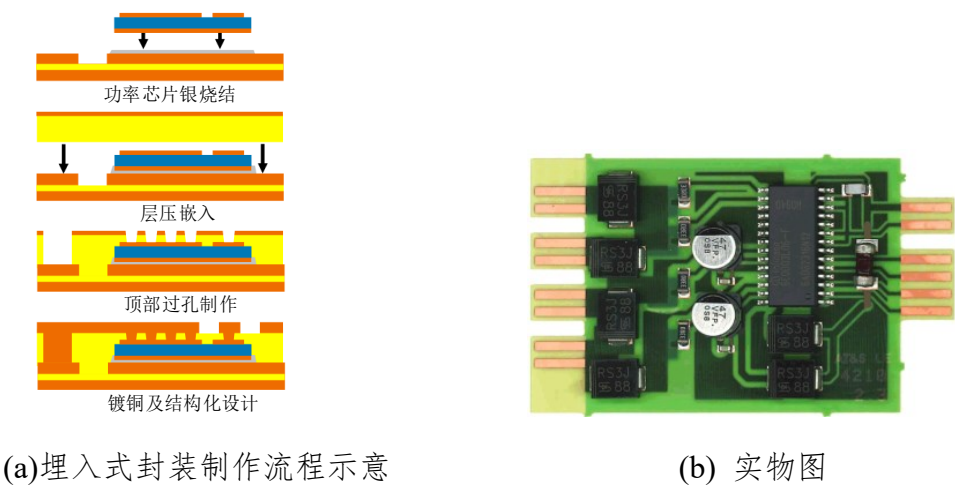


图 1.15 PCB 埋入式封装技术

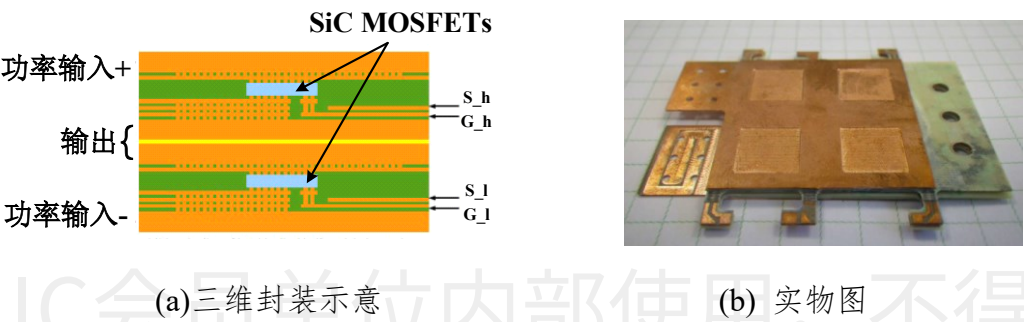


图 1.16 SiC MOSFET 三维封装技术

F. 三维（3D）封装技术

SiC MOSFET 是垂直型的结构，漏极和源极分别位于芯片的下表面和上表面，如果简单地将两颗芯片上下重叠即可组成半桥结构的封装形式。三维（3D）封装技术利用这个特点进行封装应用设计，如 TI（美国德州仪器）公司推出的 3D Buck 功率芯片^[39]。前面所述的压接封装技术^[35,40]可以直接通过单管串联叠加或者自身内部埋入功率芯片实现三维形式的封装。而 PCB 埋入式封装更可以借助成熟工艺实现三维封装技术，图 1.16 为采用 PCB 封装工艺设计的 SiC MOSFET 半桥模块^[41]。该模块可以轻松实现功率器件栅极驱动的开尔文连接以消除共源极电感的影响，其布局极其紧凑，功率密度极高，封装寄生电感参数约为 0.25nH。

表 1.1 对目前 SiC MOSFET 的典型封装的寄生电感参数做了简单的归纳总结。SiC 封装的首要问题是减小寄生电感参数，如消除金属键合线，利用 PCB 灵活布线工艺的优势等。多种封装方式为 SiC MOSFET 的应用提供了参考方案，但还需对工艺的复杂性以及长期工作的可靠性问题进一步研究验证。

表 1.1 SiC MOSFET 典型封装结构

金属键合线		封装类型	功率等级	寄生电感大小/nH
分立元件	有	TO 系列	650V~1700V/5A~100A	10~20
	无	单管翻转贴片	650V~1200V/15A~35A	< 5
功率模块	有	传统层叠结构	1200V~1700V/20A~500A	20~30
	有	DBC+PCB 混合封装	1200V~1700V/20A~100A	< 5
	无	混合封装 (SKiN)	1200V/400A	< 1.5
	无	芯片上表面平面互连	650V~1200V/100A~300A	< 5
	无	双面封装 (焊接、烧结)	650V~10kV/50A~300A	< 5
	无	双面封装 (压接)	1200V/100A~200A	< 10
	无	埋入式封装/三维封装	1200V/80A	< 1

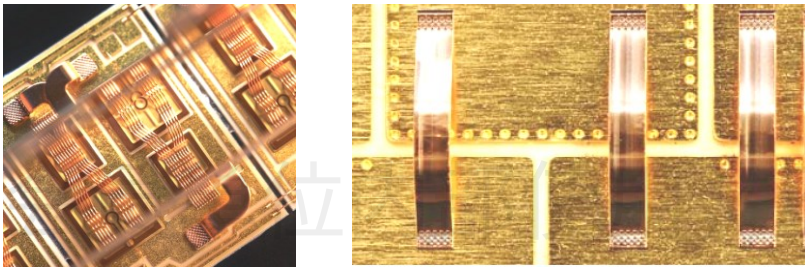


图 1.17 铜线（左）以及铜带（右）连接工艺

G. 高温封装技术

SiC MOSFET 的一大优势是其耐高温的工作特性。理论上，其最大工作温度可达 600℃。在实际工作时，考虑芯片自发热引起结温上升后，温升导致导通损耗增加，进一步引起结温继续上升，如此正反馈的情况下其最大稳定工作结温仍可高达 200~400℃^[42]。而 Si 器件的工作温度不超过 175℃，相应的焊锡等封装材料的工作温度也和 Si 器件相当，不适宜 200℃以上高温工作。此外，封装中不同材料之间热膨胀系数（Coefficient of Temperature，CoT）存在差异，随着工作温度的升高，由热膨胀系数失配引起的热应力也将增大，对于整个封装的高温可靠性提出了很大的挑战。

传统模块通常采用粗铝线作为芯片的连接键合线，铝与 DBC 铜层以及芯片表面之间的热膨胀系数差异较大，模块工作时长时间的温度变化造成的铝键合线处失效问题，是功率模块失效的最主要表现。为提高模块高温工作时的可靠性，可采用铜线替代铝线进行键合^[43]以消除不同材料之间 CoT 失配的问题。而且铜线电阻率低，也能减少总体损耗，减少键合线温度的上升。铜线键合还需要结合芯片表面铜金属化处理来进行。此外，铝带、

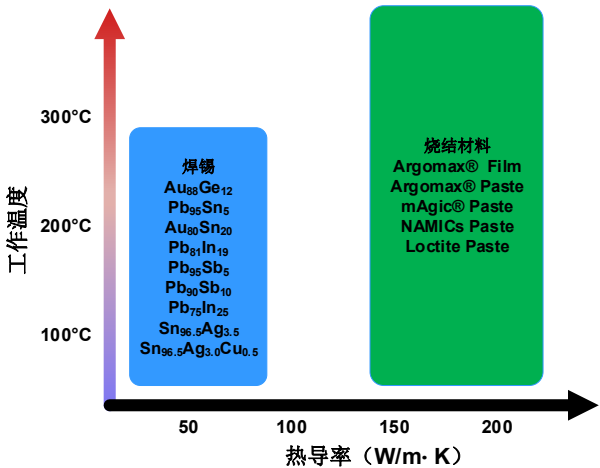


图 1.18 典型焊锡和烧结银材料的热导率及其工作温度对比图

铜带的连接工艺因具有更大的载流能力、更好的功率循环以及散热能力，也有望为碳化硅提供更好的高温封装解决方案^[44-45]。图 1.17 分别为铜键合线以及铜带的连接方式。类似的，前述芯片上表面平面互连以及双面封装等结构方式则彻底消除了金属键合线的连接，也适合于碳化硅器件的高温封装应用。

在除压接模块的传统封装中，焊锡或锡膏常用于芯片与 DBC 的连接，焊接工艺成熟且简单。通过调整焊锡成分比例，改进锡膏刷技术，真空焊接减小空洞率以及添加还原气体等可实现极高质量的连接层。但传统锡膏焊接工艺也存在一定的局限，如热导率低（ $\sim 50\text{W}/(\text{m}\cdot\text{K})$ ），且会随温度变化，导致模块热阻也随之改变。此外，随着长时间的温度循环，热应力带来的焊锡层失效问题也是制约模块高温工作可靠性提升的瓶颈。近些年来，银烧结技术逐渐引起了人们的关注。银烧结工艺通常是将银粉颗粒与有机溶剂混合成银浆焊膏，再印刷到 DBC 板上，通过预热除去有机溶剂，然后加压烧结实现芯片和基板的连接。为降低烧结时所需的温度，一种方法是增大烧结时施加的压力，这增加了相应的设备成本，而且加压过程中容易造成芯片损坏，对工艺参数要求较高；另一种方法是减小银颗粒的体积如采用纳米银颗粒取代微米银，但颗粒加工成本会有所提升。所以很多研究工作继续针对微米银颗粒的银浆烧结工作进行研究以得到合适的烧结温度、压力、时间参数等^[46]。如图 1.18 所示为一些典型焊锡和烧结银材料的热导率及其工作温度对比图^[47]，从图中可知，烧结银的导热系数可达 $200\text{W}/(\text{m}\cdot\text{K})$ 。烧结温度只需 $200\sim 300^\circ\text{C}$ ，烧结完成后可工作在 300°C 以上而不发生熔化（熔点 900°C ），因此需要多次烧结步骤的模块不会发生烧结层的再熔问题。这些特性使得烧结银工艺非常适合碳化硅器件的高温封装连接^[47-48]。

金属陶瓷板与基板是功率模块电路走线布局与机械支撑的主要部件，也是功率模块热

表 1.2 陶瓷板材料参数对比

陶瓷材料	$\lambda/(W/(m\cdot K))$	$\alpha/(ppm/K)$	R/MPa
Al ₂ O ₃ (99%)	33	7.2	345
AlN	150~180	4.6	360
Si ₃ N ₄	70~90	3.0	932
BeO	270	7.0	250
LTCC	2	7.0	200

表 1.3 常用的基板材料相关参数

基板材料	$\lambda/(W/(m\cdot K))$	$\alpha/(ppm/K)$	$\rho/(g/cm^3)$
Cu	398	17.8	8.96
Al	218	23	2.7
Cu/Mo	162~275	6.8~13	9.3~10
Cu/W	130~205	5.6~9	14.8~17
Cu/C	200	4	—
AlSiC	170~200	6.5~13.8	2.97~3.04

阻的主要组成部分，因此其性能的好坏对于模块高温工作的可靠性至关重要。表 1.2 和表 1.3 分别给出了目前常用的一些绝缘陶瓷板材料以及模块基板材料^[46,49]。表中， λ 为导热系数， α 为热膨胀系数， R 为挠曲强度， ρ 为密度。 λ 越高，说明散热能力越好； α 则影响了封装在高温工作时材料膨胀后不同材料之间的热应力大小，不同材料之间 α 差异越大，温度越高，则热应力就越高，长时间的温度波动造成的可靠性也就越低； R 代表陶瓷材料的硬度与韧性，值越高，可靠性越高，而且可以做得更薄而不易碎； ρ 则决定了材料最终的重量。因此，理想的材料， λ 越高越好，而且封装中不同层材料之间 α 值越接近越好，而高 R 值也是提高碳化硅模块封装高温工作可靠性的关键所在。

如表 1.2 所示，Al₂O₃ 具有成本低，机械强度高等优点，是目前功率模块中最常用的绝缘陶瓷材料，但其导热系数 λ 低，导致热阻值偏大，而热膨胀系数 α 与碳化硅偏差较大（接近两倍），用于碳化硅高温工作时可靠性相对较差。AlN 陶瓷 λ 值高，而且热膨胀系数 α 与碳化硅接近，成本合适，是目前较为理想的碳化硅器件绝缘基板材料。近些年来，一种新型的 Si₃N₄ 陶瓷基板成为研究热点，其理论导热率高达 320 W/(m·K)，目前东芝与罗杰斯通过研发，在保证陶瓷强度条件下得到了实际热导率达 90 W/(m·K)的氮化硅基板^[49]。此外，

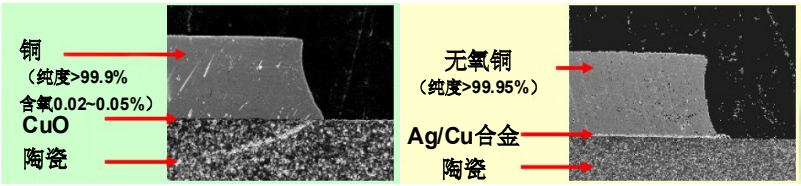


图 1.19 DBC（左）与 AMB（右）覆铜陶瓷板对比

氮化硅陶瓷挠曲强度高，可以做得更薄，使得基板整体热阻能实现与氮化铝接近。而且氮化硅陶瓷的热膨胀系数更接近碳化硅材料，相比氮化铝抗热震性能更强，所以综合考虑，氮化硅陶瓷基板更适合于碳化硅器件在高温条件下的应用。 BeO 虽然热导率极高，但其强毒性限制了其应用范围。低温共烧陶瓷 (LTCC) 多用于射频功率器件，能够轻松实现类似 PCB 的多层结构，如前文所述相关文献中的碳化硅双面压接模块。但 LTCC 工艺使用金银材料作为金属层，成本高，而且热导率极低，难以满足碳化硅功率模块的应用场合。

绝缘陶瓷材料需要和金属（如铜、铝等）结合形成金属陶瓷板才能实现与功率芯片的连接以及布局走线，其中 DBC（直接敷铜）板已广泛应用于功率模块的封装应用当中。以制作 Al_2O_3 DBC 板为例进行分析，需要在含氧的氮气氛围中加热至 1066°C 左右，利用生成的共晶液相润湿相互接触的铜箔和 Al_2O_3 陶瓷表面，同时铜箔还与 Al_2O_3 发生反应，生成 $\text{Cu}(\text{Al}_2\text{O}_3)_2$ 、 $\text{Cu}(\text{AlO}_2)$ 等复合物充当共晶钎料，使两者牢固地结合在一起^[50]。在 DBC 工艺技术基础上，进一步发展起来的 AMB（Active Metal Brazing，活性金属钎焊）工艺利用钎料中含有的少量活性元素 Ti、Zr 与陶瓷反应生成能被液态钎料润湿的反应层，从而实现陶瓷与金属接合的一种方法。AMB 板是靠陶瓷与活性金属焊膏在高温下进行化学反应来实现结合，因此其结合强度更高，可靠性更好^[51]。如图 1.19 为典型的 DBC 与 AMB 覆铜陶瓷板的对比图，DBC 工艺简单，成本低，但铜与陶瓷接合界面应力大，容易产生空洞，而且接合层可靠性较低，而 AMB 板在界面应力、空洞率、接合层可靠性方面均优于 DBC，因此也更适合碳化硅的高温封装应用场合。但 AMB 工艺过程步骤较多，成本较高，所以该工艺更适合制备在电动汽车、动力机车中使用的模块封装用陶瓷覆铜板。

如表 1.3 所示，铜 (Cu) 作为固定用的基板材料热导率最高，但其热膨胀系数较大，远大于陶瓷板材料，在高温工作时热应力较大。铝 (Al) 作为基板材料，成本低、密度低、可显著降低整体价格与重量，但其在热导率及热膨胀系数匹配方面均表面较差。铜基合金如 Cu/Mo，Cu/W，Cu/C 等在热导率和热膨胀系数方面性能均较为优越，但其密度与成本均较高。 AlSiC 在成本、密度以及热膨胀系数等方面均十分理想，但其缺点在于热导率没有纯铜材料高。所以在具体选择时需根据实际需要进行分析。基板主要起到的是机械支撑

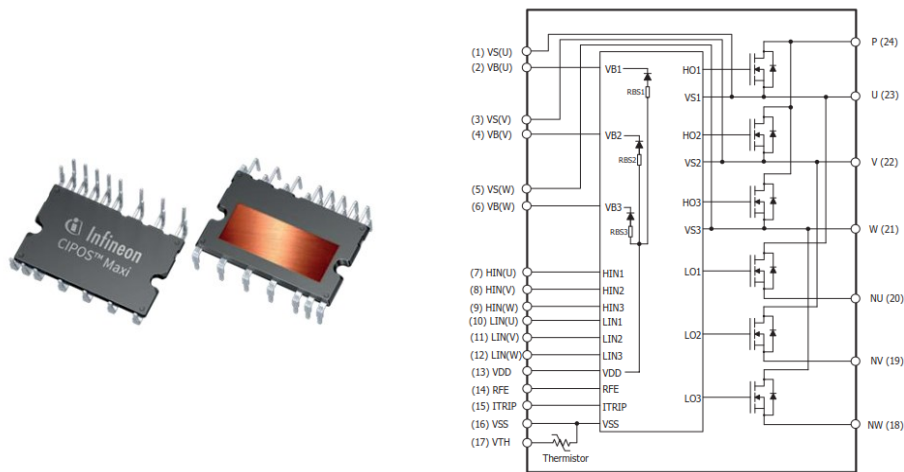


图 1.20 英飞凌 SiC IPM（左，IM828-XCC）及其原理图

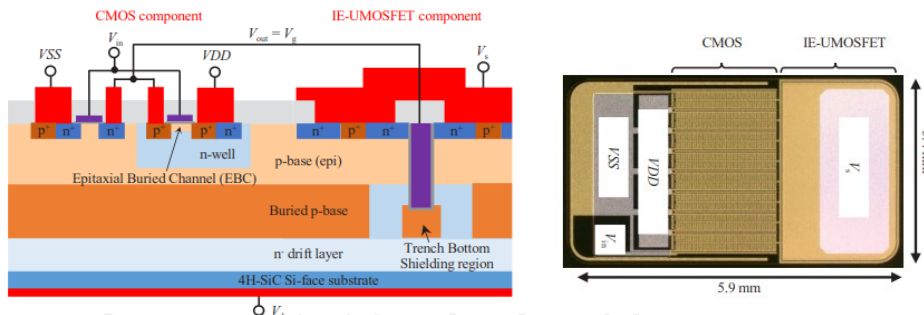


图 1.21 片上集成 COMS 驱动的 SiC MOSFET（左：芯片剖面图，右：实物图）

的作用，用于固定绝缘陶瓷板，而且基板会增加模块的整体热阻。在保证一定机械强度以及模块安装需求的情况下可取消基板，一方面可以节省成本，另一方面也可以减小热阻。如英飞凌等公司推出的无基板模块或直连散热器封装模块^[52-53]。

H. 封装集成技术

碳化硅器件的出现推动着电力电子继续朝小型化的方向发展，其集成化的趋势也日渐明显，例如瓷片电容集成、驱动芯片集成、传感器集成、散热器集成、PCB 集成等。

低电感封装设计对于充分发挥碳化硅器件的快速开关特性，减小损耗十分关键，除前述采用的先进封装结构形式外，还可以通过集成解耦瓷片电容的方式来减小功率回路的寄生电感参数，抑制开关时的电压过冲现象^[54-56]。目前 MLCC 瓷片电容的高温工作可靠性不足，商用高温瓷片电容最高工作温度低于 200℃，而且价格较高，因此目前集成瓷片电容的封装方案还无法实现高温场景的应用。

驱动芯片集成技术能够极大地减小驱动回路寄生电感参数，减小驱动电压信号振荡问题，保证电路工作可靠性^[57-58]。三菱、英飞凌等公司均发布了 SiC IPM（集成功率模块或者智能功率模块）^[59-60]，如图 1.20 所示为英飞凌推出的 1200V SiC IPM 实物图及其相关

原理框图^[60]。该 IPM 主要用于如加热电器、空调等电机驱动控制,集成了 6 颗 1200V/45mΩ SiC MOSFET 以及一颗 6 通道 SOI (Silicon-on-insulator) 栅极驱动芯片,大小仅有 36mm×22.7mm×3.1mm,最大功率可达 8kW。TI (美国德州仪器公司) 为 GaN 芯片提供了集成栅极驱动器以及相关保护功能的解决方案,极大地减小了驱动回路的寄生电感参数,保证了 GaN 开关的稳定性^[61]。除采用封装集成的方法,器件厂商以及相关研究人员也考虑采用片上集成驱动的方法,如纳微半导体(Navitas)已经发布了相关片上集成驱动的 GaN 芯片并已用于手机快充等相关设备^[62]。图 1.21 所示为日本产业技术综合研究所采用 CMOS 工艺在 SiC 晶圆上完成了驱动芯片与功率 MOSFET 的集成,实现了 1500V 的阻断电压以及 600V/10A 的动态开关过程,开通和关断时间分别为 24ns 和 28ns,开关电压波形基本无振荡现象^[63]。

传感器集成在 IGBT 芯片中比较常见,富士电机公司采用片上集成的方法将温度检测、过流检测、过压检测等均设计在 IGBT 芯片内部,取得了较好的结果并在其产品中应用^[64]。目前针对 SiC MOSFET 也有相关研究进行了尝试,如片上集成温度传感器等^[65]。除片上集成,目前模块内部会采用集成 NTC 电阻的方式来监测模块温度,近似得到模块内芯片工作时的温度状况。由于通常的电流传感器存在体积大,由此带来的电路布局会增大寄生参数等问题,目前还未得到广泛应用。

散热集成技术可以有效减小模块热阻,如前述英飞凌等公司推出的无基板模块或直连散热器模块^[52-53]。为进一步增加碳化硅模块的散热性能,还可以将液冷散热通道集成在散热器上^[34,66]。更进一步可直接在芯片层级制作散热的微通道,通过液冷的方式直接将芯片的热量带走,其热通量可高达 1.7kW/cm²,能够极大地减小散热系统所需的体积,提升系统功率密度^[67]。

PCB 集成工艺采用成熟的印刷电路板设计工艺,可通过埋入式的封装方式将功率芯片嵌入 PCB 板中^[37],并在 PCB 外层布局瓷片电容以及驱动电路等^[68]。

1.2.3 SiC IPM (集成功率模块) 及其关键问题

A. SiC IPM (集成功率模块)

如前所述,为充分发挥 SiC MOSFET 快速开关性能和工作可靠性,工业界和学术界提出了各种新型封装方式、进行了封装材料研究以及集成功能的探索。

在众多的封装形式中,集成功率模块 (IPM, Integrated Power Module),或者称为智能功率模块 (IPM, Intelligent Power Module),将功率芯片和驱动芯片集成在同一封装中,布局紧凑,可以极大地减小驱动回路寄生电感参数,保证功率器件开关的可靠性。此外,

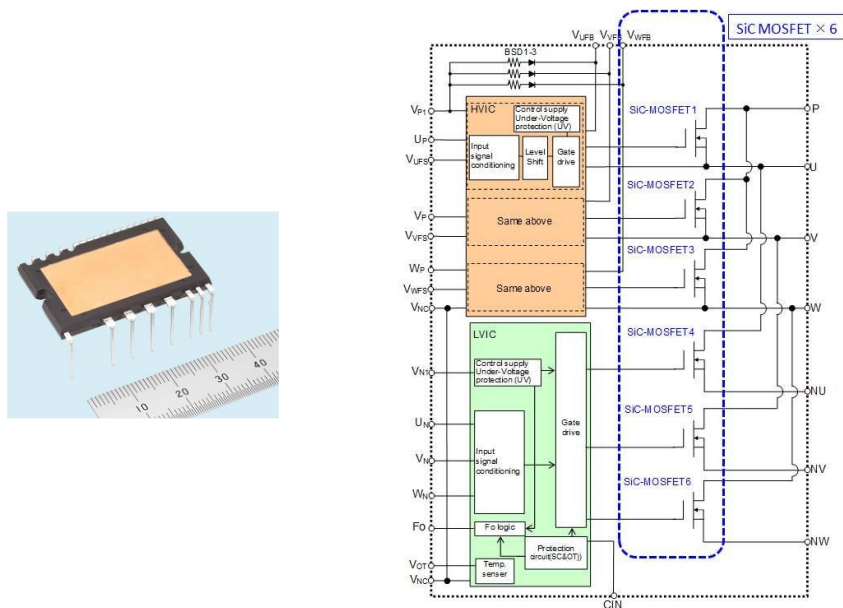


图 1.22 三菱电机 SiC IPM (左, Super Mini DIPIPM) 及其原理图

在 SiC IPM 中，驱动芯片通常还设计了过温保护、过压保护、以及故障报警等功能^[69]，并留有^①过流保护接口。SiC MOSFET 开关速度极快，短路电流过冲大，短路耐受时间短^[70]，温度上升快速^[71]，因此集成这些电路保护功能能对电路故障做出快速响应，保证电路正常工作并延长模块使用寿命。

IPM 的发展可追溯至上世纪 80 年代中后期至 90 年代初期,随着家电中压缩电机等对功率芯片性能及可靠性的要求逐渐提升,基于 IGBT 的 IPM 模块应运而生^[69,72]。此后,随着芯片与封装技术的进步以及应用的推广,IPM 模块开始广泛用于家电电机驱动、光伏以及工作控制等领域。而且随着功率容量的提升,在新能源汽车电驱领域 IPM 也有一定的应用前景^[69]。目前市场上的 IPM 主要以 IGBT 为主,三菱电机、富士电机、英飞凌、罗姆、Vincotech、中车等公司均推出了相关产品,也有部分厂商如三菱电机、英飞凌等推出了基于 SiC MOSFET 的 IPM^[59,60]。

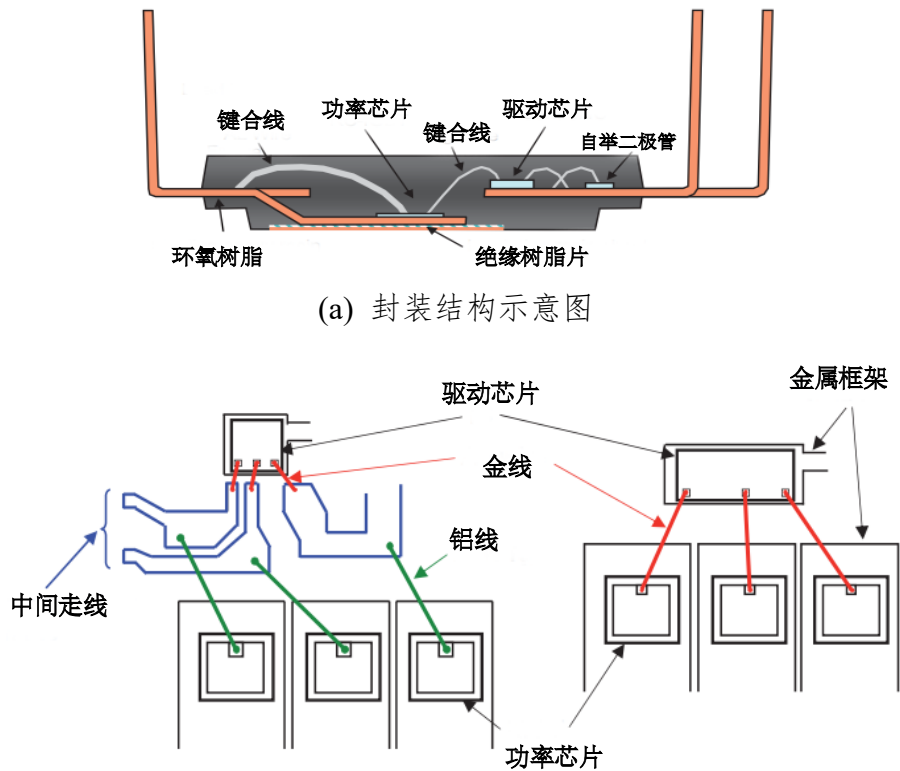
图 1.22 为三菱电机公司的 Super Mini DIIPM (超迷你双列直插智能功率模块), 应用场景为家电设备中压缩机的电机驱动。在该模块中, 6 颗 SiC MOSFET 组成三相逆变桥, 其中所有桥臂上管共同连接直流正母线 (如图中 P 引脚所示), 桥臂中点 (U、V、W) 以及桥臂下管源极 (NU、NV、NW) 分别引出, 用于连接驱动电机以及外接电流采样电阻等。该 SiC IPM 集成了分别有三路输出的低压驱动芯片 (LVIC) 和高压驱动芯片 (HVIC), 用于控制三相逆变桥臂的下管以及上管。在 HVIC 旁还通过封装的方式集成了三路自举二极管为对应的上管驱动芯片单元供电, 因此只需为 IPM 提供单一辅助供电, 极大地简化了

系统设计。在 LVIC 中，还设计了相应的供电电压欠压保护、短路保护、过温保护等功能，在出现故障时可输出故障信号给控制器作出相应的调整。

图 1.20 中英飞凌给出的 SiC IPM 方案则略有不同。英飞凌采用 SOI 工艺将 SiC MOSFET 三相逆变桥臂 6 个开关管的驱动以及为上管驱动供电的自举二极管均集成在单颗芯片中，并且在单颗芯片中提供了供电电压欠压保护功能，还留有引脚分别用于过流检测和故障信号输出。该驱动芯片还设计了防止桥臂直通的保护功能，当输入信号发生错误或者受到干扰导致上下管均出现开通信号时会优先保持最先开通的管子而忽略互补管的开通信号^[73]。用于实现过温保护功能的热敏电阻则集成在驱动芯片旁并给出输出引脚，这与三菱电机通过在 LVIC 片上集成热敏电阻的方案略有不同。其他公司的 IPM 内部芯片元件结构组成与以上两家公司大同小异。测试结果表明，SiC IPM 相比于同封装形式的 Si IGBT IPM 模块，其开关损耗可减小 76%^[74]，因此，SiC IPM 可以工作在更高的开关频率以提升整体逆变系统的小型化程度。

图 1.23 为三菱电机 SiC IPM 的封装内部布局设计^[75]。经过数代工艺的改进，其芯片互连如图 1.23(a)中所示，功率芯片与驱动芯片、自举二极管分别焊接在相应的金属框架上，并且为进一步减小封装面积，在该 IPM 模块中采用金线键合工艺直接实现功率芯片与

仅限PMIC会员单位内部使用，不得外传



(b) 功率芯片与驱动芯片间接（左）与直接（右）互连封装示意图

图 1.23 三菱电机 SiC IPM 封装内部布局设计

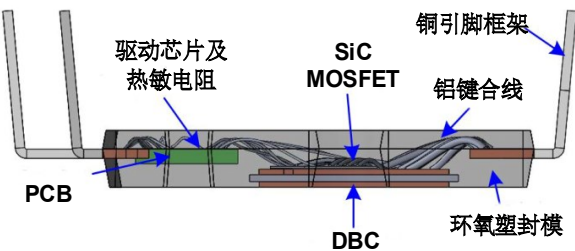


图 1.24 英飞凌 SiC IPM 封装内部布局设计

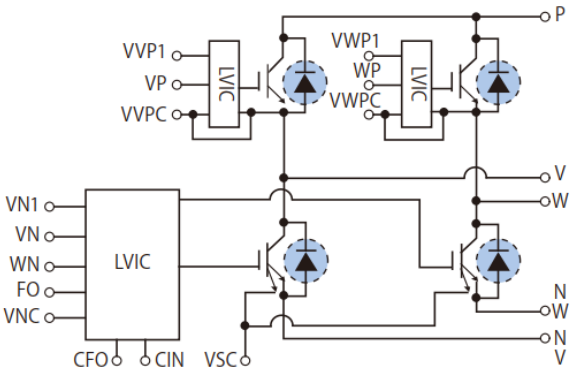


图 1.25 用于光伏逆变的 Si IGBT-SiC SBD 混合 IPM 电路图

驱动芯片的连接。如图 1.23(b)所示，功率芯片驱动信号的中间走线被取消，有效地减小了整体的封装面积，也为后续集成更多功能提供了空间。在图 1.23(a)所示的封装设计中，功率芯片所在铜框架层通过一层高导热系数的绝缘树脂片与外部散热金属片相连接，最后通过环氧树脂塑封工艺完成模块的定型。而英飞凌的 SiC IPM 内部布局设计如图 1.24 所示 [76]，其功率芯片的焊接基板采用 DBC 板，能够保证足够的散热能力以及电气性能。该 SiC IPM 的驱动芯片以及热敏电阻则焊接在单独的 PCB 板上，再采用铝线键合工艺实现功率芯片与输出端子以及驱动板的连接，最后使用环氧树脂塑封工艺完成模块的定型。

SiC IPM 目前主要用在商业产品的电机驱动当中，如风扇电机，空调压缩机，泵机等应用场合，所以其主要电路结构为三相逆变电路。此外，还有针对光伏系统设计的 Si IGBT-SiC SBD 混合 IPM 模块 [77]，如图 1.25 所示。SiC SBD 的应用，极大地减小了 IPM 中反向恢复引起的损耗，兼顾了成本以及系统效率。

三菱公司在其 IGBT 三相逆变 IPM 的基础上，进一步推出了集成更多功能的模块 DIIPM+ [78-79]。如错误!未找到引用源。所示，针对一些小功率工业应用中对系统尺寸有严格限制的场景，该 CIB (Converter-Inverter-Brake) 型 IPM 集成了三相整流二极管以及用于电机制动时能量回收用的 Brake 电路。对比传统模块或者分立元件搭建的系统，使用该 IPM 的主电路板 PCB 面积可减小 50% [79]。

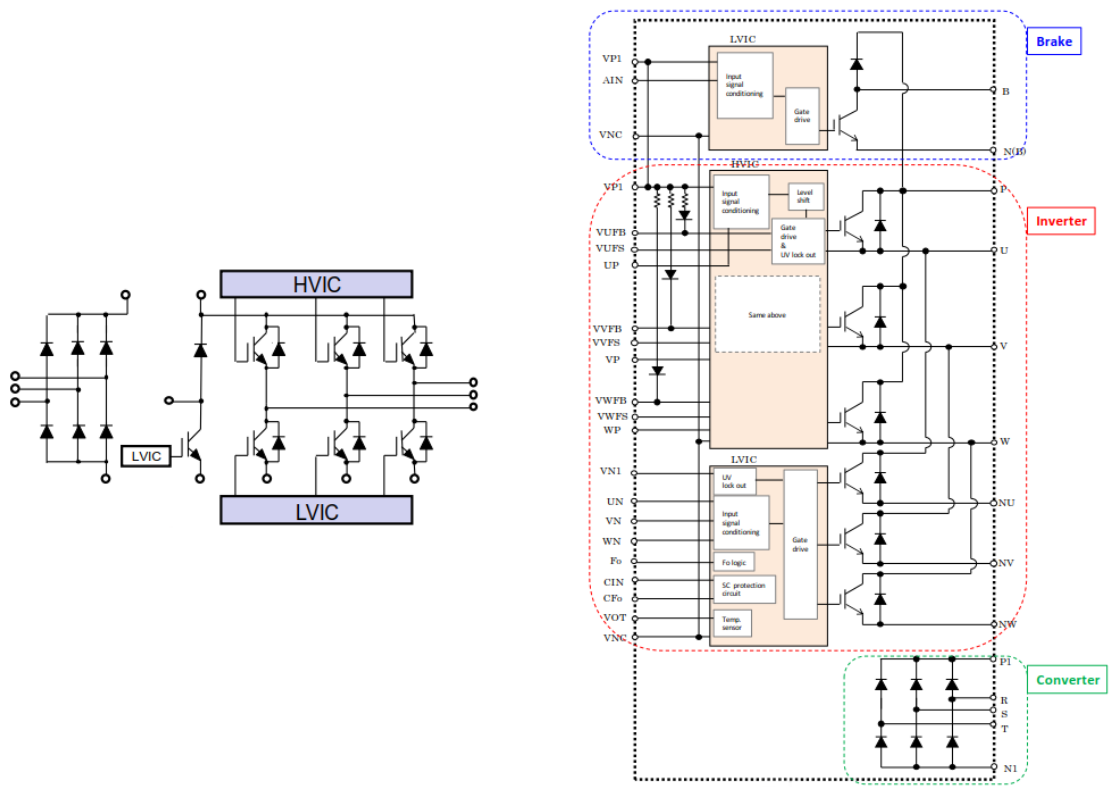


图 1.26 集成三相整流桥与制动能量回收的 IGBT IPM

(左：电路原理图，右：模块框图)

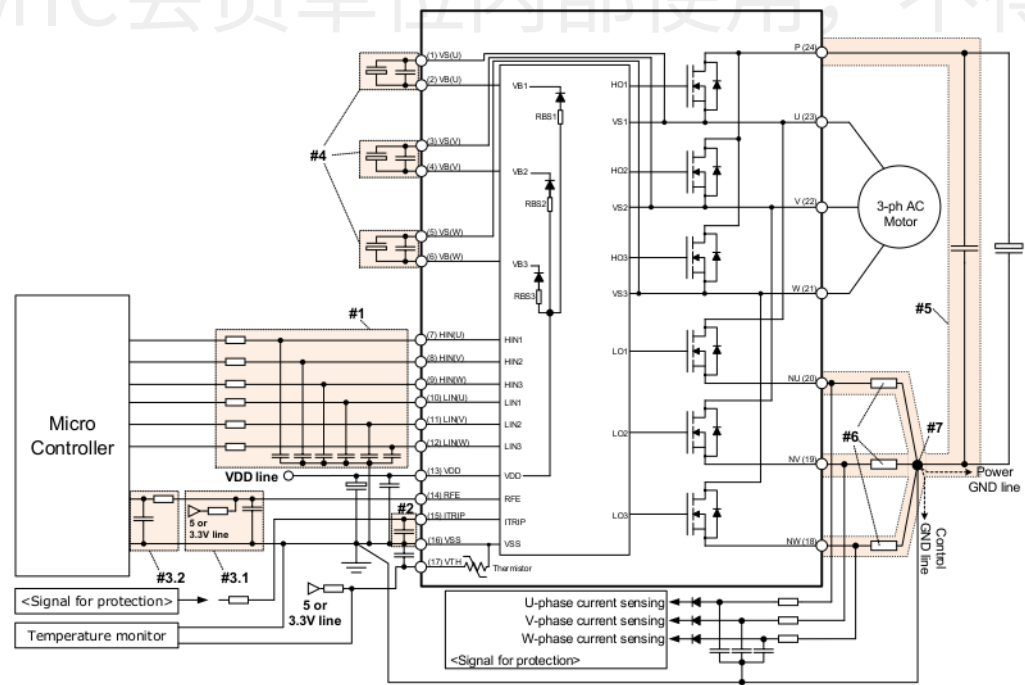


图 1.27 英飞凌 SiC IPM 推荐应用电路结构框图

B. SiC IPM 的若干关键问题

现有的 SiC MOSFET IPM 封装形式基本沿用传统 Si IGBT IPM 的封装方法。首先 SiC IPM 没有集成内部瓷片解耦电容，只能通过外部就近连接高频解耦电容，如图 1.27 所示

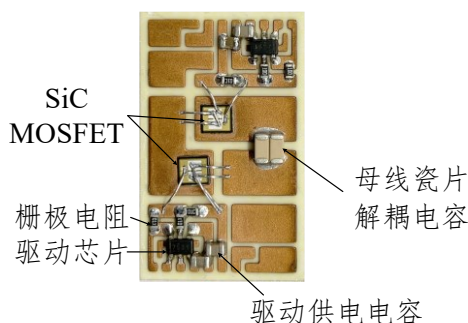


图 1.28 集成驱动、瓷片解耦电容于同一 DBC 的 SiC IPM

[76]中#5 所示, 在解耦电容和三相桥之间还串有采样电阻, 如此必然导致功率回路寄生电感参数的大幅增加。如前所述, 对于 SiC MOSFET, 在开关过程中器件 di/dt 极大, 功率回路寄生电感会导致诸如电压过冲, 损耗增加等问题。其次, 随着 SiC MOSFET 开关频率的增加, 驱动芯片的损耗也必然增加, 其散热需进一步加强。为进一步优化上述两个问题, 可采用将驱动芯片、高频瓷片电容同碳化硅功率芯片集成在同一块 DBC 上的封装方法。瓷片电容靠近功率桥臂以减小功率回路寄生电感参数, 驱动芯片利用 DBC 的高导热性能增强散热能力, 如图 1.28 所示。

图 1.28 所示的 SiC IPM 集成度极高, 其低寄生参数与优秀的散热性能是确保 SiC MOSFET 快速开关、高频低损特性充分发挥的关键。但随着功率模块集成度地提高, 在模块的设计与应用中仍存在一些关键问题有待进一步优化与解决。

瓷片解耦电容的集成减小了 SiC IPM 中功率回路寄生电感, 但同时也限制了器件电流的准确测量。对于应用端, 在系统设计时需要评估功率器件的开关损耗 (特别是在高频开关时) 以便于后续的散热系统设计与方案优化。当 SiC IPM 中器件电流无法准确测量, 传统的双脉冲测量器件电压电流波形计算损耗的方案此时也就无法实施。为此, 可通过建立 SiC MOSFET 开关过程的模型来计算出器件的损耗。在模型准确的情况下, 实际应用只需代入具体的电路参数与器件参数便可方便地得到器件在特定工况下的开关损耗, 进而进行热设计。但可惜的是, 目前的开关损耗模型大多基于或者依照硅器件的特性参数来进行分析, 没有有效结合 SiC MOSFET 的实际器件特性参数, 因此存在普遍模型不准确的情况。因此, 建立针对 SiC MOSFET 特性的精确开关损耗模型对于 SiC IPM 后续应用中的热设计具有重要意义, 这是目前 SiC IPM 的一个关键问题。

集成瓷片解耦电容的 SiC IPM 也给其过流检测功能带来了极大地挑战。传统 IPM 集成的驱动芯片虽然带有过流检测的端子, 但其过流或者短路保护所需的采样信号需要外接采样电阻来实现, 如图 1.27 所示^[76], #6 位置为三相桥臂下管源极所连的采样电阻, 控制

信号与功率电路在#7 位置单点接地以减小主功率电流对控制电路部分的干扰。根据该 SiC IPM 应用设计手册上的设计方法, 采样电阻阻值需选为 $10\text{m}\Omega$ (SiC MOSFET 导通电阻典型值为 $45\text{m}\Omega$)。如果该 IPM 工作在其最大负载电流, 在考虑了安全裕量以及高温降额的情况下, 单颗电阻上的损耗可达 3.2W , 三颗电阻损耗接近 10W , 这不仅对电路的效率产生影响, 而且对系统的散热设计也提出了更高的要求。采样电阻的散热需求需要大的封装与保证 (如 2512, $6.4\times 3.2\text{mm}^2$), 不适合再集成在 SiC IPM 中。目前一些 IGBT 芯片将一定比例的元胞单独引出得到与主元胞按比例缩小的电流再进行电阻采样, 经过换算即可得到 IGBT 实际电流大小并采取相应的保护动作^[80,83], 如图 1.25 中 IPM 下管所示。这种方法可以有效减小采样电阻的损耗及体积, 提升整体效率, 便于集成, 但对芯片设计要求高, 特殊的制造工艺也增加了成本。目前暂时没有类似这种片上预留电流采样元胞设计的碳化硅商业产品。SiC MOSFET 相比于 Si IGBT 开关速度更快, 对电路中寄生电感参数十分敏感, 极易造成开误动作等问题, 而且 SiC MOSFET 短路承受能力远小于 Si IGBT。因此, 如何进一步集成小体积、低损耗、采样精确、响应迅速的电流检测方案也是目前 SiC IPM 目前面临的一个关键问题。

在 SiC IPM 中, 功率芯片高速开关过程中的 dv/dt 和 di/dt 造成了内部恶劣的电磁环境, 特别是当驱动芯片与功率芯片共用 DBC 散热时, 模块内部的空间耦合参数会带来一定的耦合干扰问题。如何分析内部的干扰问题并据此建立模型指导模块的设计也是目前 SiC IPM 目前面临的一个关键问题。

以上三个 SiC IPM 的关键问题分别属于热评估设计、电流采样与保护、电磁干扰三个方面, 是确保模块高效可靠工作不可避免的问题。本文是对 SiC IPM 的初步探索, 所以先以单管芯片 (无器件并联) 设计的半桥结构为例进行分析, 因此属于小功率等级。半桥功率模块属于最基本的结构单元, 后续可在本文研究基础上, 通过器件串并联设计更高功率等级的模块。

1.3 本文的选题意义及主要研究内容

1.3.1 本文的选题意义

世界气候变化形势严峻, 全球针对气候变化问题正在出台各项措施来减少碳排放, 我国也宣布了“碳达峰”和“碳中和”的双重目标。光伏、风能、新能源汽车等清洁能源相关产业的发展将有效助力节能减排的实施。这些产业离不开电力电子技术的进步和广泛应

用，而电力电子技术应用的核心则是功率器件。Si IGBT 器件经过几十年的发展，其性能已经被开发到接近极致，受硅材料的性能限制，难以再大幅提升器件性能。而 SiC MOSFET 作为宽禁带材料器件的一种，其栅氧电压控制以及单一载流子的器件特性使得其越来越受到用户的青睐。而宽禁带材料自身的天然特性决定其仍有较大的提升及发展空间，为电力电子应用的性能提升提供了极大的可能。

随着 SiC MOSFET 器件工艺的成熟、可靠性的不断提升以及生产成本的下降，其应用越来越普遍，应用市场逐步扩展。SiC MOSFET 快速开关优势在应用中的发挥还需要封装作为桥梁来实现，但目前大部分应用采用的仍然是传统封装，并不能够充分发挥其高温、高频等优势特点。例如，用户在使用 SiC MOSFET 过程中往往受封装寄生参数太大的影响，选择降低器件开关速度，减小器件开关频率等方式来减小电压电流振荡，降低损耗，缓解电磁干扰，保证系统稳定等。此外，SiC MOSFET 能够工作在 200℃ 的高温环境下，适于某些对温度要求高的应用场合，如航空航天、石油钻井、电动汽车等领域。传统封装材料普遍以适配 Si 器件 175℃ 以下应用场合，高温工作时可靠性将急剧下降，因此，高温封装的研究也将是 SiC MOSFET 的重点之一。随着系统功率密度的不断增加，特别是新能源汽车等对装置体积和功率等级要求较高的应用场合，模块布局越来越紧凑，需要在更小的空间内实现完整的器件功能及保护控制，因此，将驱动、保护电路甚至散热等功能集成在封装内部的需求也逐渐突显。

针对 SiC MOSFET 封装的一系列应用需求，各种新型封装形式纷纷涌现，这些封装均旨在减小封装寄生电感参数，提升散热性能、提升系统应用可靠性等。通过集成高频瓷片电容可以在模块内部实现开关时刻电流的高频解耦，减小回路寄生电感参数。SiC MOSFET 对于栅极驱动电压的苛刻要求决定栅极驱动回路的寄生电感参数越小越好，因此集成栅极驱动芯片于模块内部以便最大程度减小栅极驱动回路面积是 SiC MOSFET 实现高频快速开关的有效保证。因此，SiC 集成功率模块十分契合 SiC MOSFET 对低寄生电感参数的需求。在此基础上，还可在模块内部集成更多功能，如保护、检测、散热等，真正实现智能化的集成功率模块。

本文以小功率 SiC MOSFET 集成功率模块为研究对象，结合 SiC MOSFET 实际器件特性，研究了集成高频瓷片电容、驱动芯片的集成功率模块中功率器件的开关损耗的精确评估问题，针对集成驱动后模块内部的电磁干扰现象进行了分析，并探索了在紧凑的集成功率模块内部集成电流采样进行控制和保护的可能性。该工作对于 SiC MOSFET 集成功率模块的理论设计，实际应用等都有重要的参考价值。

1.3.2 本文的主要研究内容

本文的研究对象为集成驱动芯片以及瓷片电容的小功率 SiC IPM。SiC IPM 体积小，密度高，散热设计是确保其正常工作的关键，而散热设计的基础在于模块损耗的准确评估，因此本文第二章针对 SiC IPM 的损耗精确评估进行的研究；此外，SiC IPM 驱动芯片紧靠功率芯片，内部电磁环境复杂，易造成驱动干扰，因此本文第三章针对其内部驱动干扰的关键问题进行建模分析；在解决了热损耗评估与电磁分析的基础上，为进一步提升模块工作性能与可靠性，本文第四章探索了在模块内部集成电流采样方案的可行性。各章的主要内容如下。

第二章从高功率密度变换器系统热设计的需求出发，指出其关键在于模块内部损耗预估的准确性。由于 SiC IPM 布局紧凑，通过测量器件电压、电流波形计算损耗的传统方法无法适用。本章利用 SiC MOSFET 数据手册中的器件转移特性与寄生电容参数等建立动态开关损耗模型的方法来实现其开关损耗的高精度快速估算。在建模过程中发现 SiC MOSFET 在高漏源电压 (v_{ds}) 下比低 v_{ds} 下能导通更大的电流，还发现在开关过程中 SiC MOSFET 的反向传输电容值要显著大于数据手册中的电容-电压 (C-V) 特性曲线。针对这些问题，本章设计测试电路测量不同 v_{ds} 电压下 SiC MOSFET 的转移特性曲线以及动态开关过程中的反向传输电容曲线并将其代入模型中，得到的模型电压、电流波形和实验波形具有极高的一致性，实现了器件开关损耗的高精度评估。

第三章针对 SiC IPM 内部复杂的电磁环境对其内部驱动信号产生的干扰问题进行了分析。本章首先根据模块内部结构对干扰产生的路径进行建模，证明由下管关断引起的桥臂中点电位正向跳变会通过 DBC 上下铜层间寄生电容耦合到驱动芯片输入端引脚，导致下管的误开通。而由上管开通引起的桥臂中点电位正向跳变则可能导致桥臂直通。本章基于干扰回路模型，从电磁干扰三要素出发对其可能的抑制方法进行了分类对比。此外，还提出了在上下管驱动芯片输入端均添加屏蔽层的思路，从根源上彻底解决该干扰问题以保证模块工作的稳定性。该章的分析可作为 SiC IPM 内部类似干扰问题的参考依据，为模块设计与优化指明了方向。

第四章针对 SiC IPM 集成电流采样功能应用于保护控制进行了研究。本章对比了现有的电流检测方案，发现隧道磁电阻 (TMR) 传感器在体积、带宽等方面十分适合在 SiC IPM 进行集成。在实际应用过程中，被测电流变化时产生的磁场会在 TMR 输出回路上产生感应电动势，而且被测电流导线中的电压波动会以电场的方式通过空间电容耦合到 TMR 内

部。两者均会干扰电流采样。通过理论分析与实验验证，建议在应用 TMR 时应尽量减小回路面积并尽可能提高信噪比，还建议 TMR 布局在电位变化较小的导线附近并添加梳状地屏蔽层以减小干扰的影响。本章将优化后的 TMR 采样方案成功地应用于图腾柱 PFC 的电流过零检测（Zero Current Detection, ZCD）。最后采用优化后的 TMR 在碳化硅集成功率模块中实现了电流精确采样，为在碳化硅集成功率模块中集成电流采样功能提供了设计参考。

第五章对全文进行了总结归纳，并对未来 SiC MOSFET 的进一步集成应用工作进行展望。

仅限PMIC会员单位内部使用，不得外传

第二章 SiC MOSFET 的精确开关动态损耗模型

为减小 SiC MOSFET 的封装寄生电感参数, 保证器件开关速度, 减小开关损耗。本章首先设计了一款 SiC MOSFET 集成功率模块 (Integrated Power Module, IPM)。SiC IPM 将 SiC MOSFET 半桥功率芯片、瓷片解耦电容以及驱动芯片等集成在同一块 DBC 板上, 极大地减小了主功率回路和驱动回路的面积, 从而将功率回路以及驱动回路寄生电感参数均减小到 10nH 以下。该 SiC IPM 布局紧凑, 体积大小约为单颗 TO-247 封装大小。在高功率密度装置的系统热设计中, 散热器的体积重量占比较大, 如何准确评估模块的损耗对于散热器的优化设计及系统整体功率密度的改进至关重要。模块损耗中驱动损耗和器件导通损耗部分均易于计算, 对于 SiC IPM 而言, 由于内部布局紧凑, 其开关损耗无法使用测量器件开关电压电流波形的传统方法准确获得。因此, 基于器件数据手册中器件特性参数和实际电路中驱动电压、电阻、寄生参数的开关损耗数学模型是一种有效的解决方案。本章结合 SiC MOSFET 特有的高压转移特性以及动态反向传输电容特性建立了其精确开关动态损耗模型, 并且指出目前 SiC MOSFET 数据手册测量参数的不足之处, 对器件参数测量以及实际应用提供了参考。

2.1 SiC MOSFET 集成功率模块

2.1.1 集成功率模块设计

图 2.1 为设计的 SiC MOSFET 集成功率半桥模块, 包含上下两颗 SiC MOSFET 功率芯片 S_1 、 S_2 及其驱动芯片和母线瓷片解耦电容 C , 图中 P、M、N 分别为正母线、桥臂中点和负母线。模块采用金属键合线实现功率芯片的电气连接, 驱动芯片与功率芯片焊接在

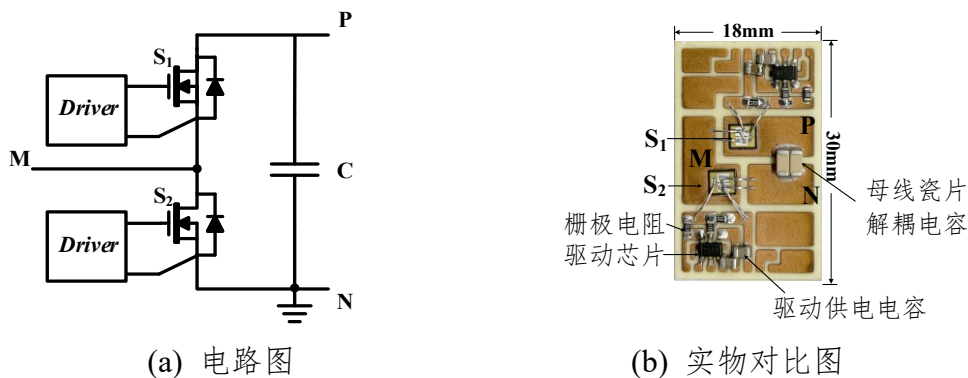


图 2.1 SiC MOSFET 集成功率半桥模块

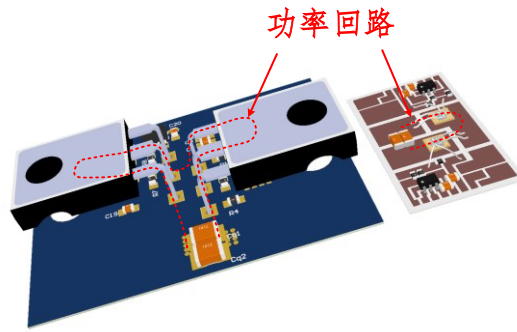


图 2.2 SiC MOSFET 集成功率模块和分立元件电路对比图

表 2.1 SiC MOSFET 集成功率模块参数表

	型号规格	参数
SiC MOSFET	CPM2-1200-0080B	1200V/80m Ω
DBC 板	Cu/Al ₂ O ₃ /Cu	0.2mm/0.38mm/0.2mm
母线瓷片电容	1206	1000V/15nF $\times$ 2
驱动芯片	UCC27531	35V _{max}
驱动电阻	0603	10 Ω
驱动供电电容	MLCC	10 μ F

同一块 DBC 板上，并尽量靠近 SiC MOSFET 以减小栅极回路寄生电感参数。为减小功率回路寄生电感参数大小，桥臂上管和下管采用回形布局，如图 2.1(b)所示，桥臂在开关换流动作时，换流回路由正母线 P 从右往左经上管 S₁ 到桥臂中点 M 再折回向右经下管 S₂ 回到负母线 N。该布局使得换流时正负母线上电流变化引起的周边磁场变化可以相互部分抵消，因而该回路上磁通变化减小，等效寄生电感小。高压瓷片电容焊接在正负母线之间，进一步解耦开关动作时的电流变化的高频分量，减小功率器件两端电压过冲。如图 2.2 所示为集成功率模块与分立芯片搭建的半桥电路的对比图，可以看出集成模块的面积约为单颗 TO-247 封装大小，高度则远小于分立元件半桥电路。功率密度显著提升。图中分别画出了两者的功率回路，可以看出分立元件由于封装引脚端子的存在，回路面积远远大于集成功率模块。将两者导入有限元软件 Ansys Q3D 中可以仿真得到分立元件功率回路寄生电感为 30~40nH，而集成模块仅有 6.5nH，两者的驱动回路寄生电感分别为 40~50nH 和 9nH。

表 2.1 给出了 SiC MOSFET 集成功率模块的各项参数。功率芯片采用 Wolfspeed(Cree) 公司生产的 1200V/80m Ω SiC MOSFET 裸芯片，DBC 板为氧化铝敷铜陶瓷板，绝缘陶瓷

厚度为 0.38mm, 满足机械和绝缘强度要求。集成的功率回路瓷片电容靠近功率芯片放置, 两颗并联焊接在正负母线之间。在选取集成用的 SiC MOSFET 驱动芯片时, 首先需要考虑满足其栅极驱动电压电流要求。目前市场上明确为 SiC MOSFET 设计的驱动芯片数量较少, 其中带隔离的驱动芯片体积普遍较大, 单颗封装已接近整个集成功率模块大小, 因此此处选择非隔离型的驱动芯片。对比发现, TI (德州仪器) 的 UCC27531 芯片驱动电压最大可达 35V, 输出拉电流和灌电流分别为 2.5A 和 5A, 而且其 SOT-23-6 封装的大小仅为 3mm×3mm, 为目前可找到的最小封装的针对 SiC MOSFET 的专用驱动芯片。为便于调整 SiC MOSFET 的开关速度, 在集成模块中还设计了开通和关断电阻。在驱动芯片供电引脚附近焊接了瓷片电容保证供电的稳定性, 模块测试用的辅助供电以及信号隔离电路外置安放。

2.1.2 SiC IPM 器件开关损耗测试的难点

图 2.3(a)为使用 SiC MOSFET 设计的车载充电机(OBC), 其功率密度高达 5kW/L^[84], 远高于目前基于硅器件的商业产品 (<2kW/L)。图 2.3(b)给出的体积占比分析显示其中散热系统所占比例达到 25%。在 SiC 车载逆变器的设计中散热系统的体积和质量占比也有 20%~30%^[85-86], 甚至可能达到 60%以上^[87]。因此, 随着 SiC MOSFET 的应用以及功率的提升等, 合理的散热系统设计将是进一步提升装置功率密度的关键。散热系统的设计与整个装置的热损耗相关, SiC MOSFET 器件作为整个装置中的主要热源之一, 其损耗评估的准确性对于整个装置的设计至关重要。图 2.4 为 SiC 装置散热设计的简易流程图, 显然, 器件损耗的评估是整个设计流程中的核心, 其准确性决定着整个测试的迭代次数, 意味着时间的金钱成本的消耗。对于器件产生的损耗, 部分可以通过简单的计算得到, 如导通损耗, 驱动损耗等, 而其开关损耗的评估则较为困难, 不仅和器件自身的特性参数相关, 而且和系统的电压电流以及寄生参数也密切相关。

传统开关损耗的评估方法是使用双脉冲测试电路, 如图 2.5 所示, 通过测量器件在某



图 2.3 SiC MOSFET 车载充电机

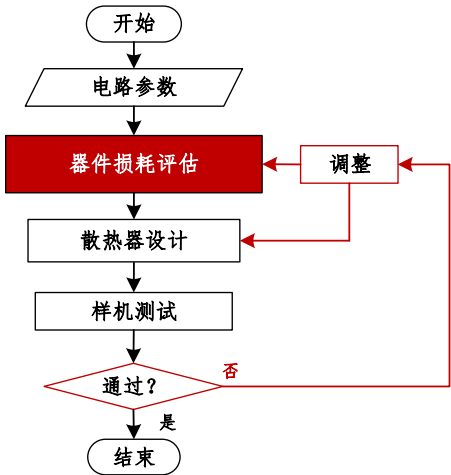


图 2.4 SiC 装置器件散热设计的简易流程图

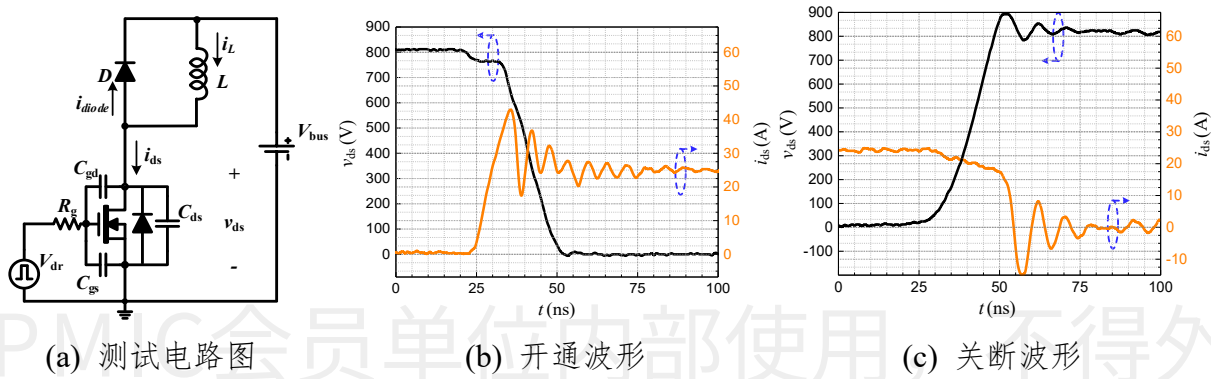


图 2.5 双脉冲测试电路

个固定电压、电流以及驱动电压、电阻条件下其开关过程中的电压、电流变化波形，再将交叠的电压、电流乘积进行积分得到器件开通和关断时候的能量。该方法简便易行，为业内普遍采用，如器件数据手册上提供的开关损耗曲线即是采用的双脉冲测试得到的。但该方法也存在一定的局限，如需要准确测量器件电流，则高精度同轴电阻往往被用来串联在器件源极，由此带来的电路布局的改变势必增加电路原来的寄生电感参数。此外，实际设计的产品驱动参数以及寄生电路参数千差万别，而且也并不一定能对产品进行双脉冲测试，只能根据已有的相似条件下的数据进行近似估算，如根据数据手册中的数值进行比例换算等，误差较大。SiC IPM 布局紧凑，功率密度高，目前没有合适的电流测试工具能精确测量模块内部器件电流大小，因此也无法通过双脉冲测试的方法来评估器件损耗值。

除此之外，建立 SiC MOSFET 器件的开通、关断过程损耗数学模型能够实现器件开关损耗的快速评估。用户可利用厂商提供的器件数据手册中器件的特性参数，代入到相应的数学计算模型中，便可迅速得到相应的器件开关损耗值。通过调整模型中的器件参数以及

电路参数,如驱动电压、电阻、寄生电感等,即可得出器件在不同条件下的损耗值,为系统的损耗评估及散热器设计提供参考依据。

2.2 SiC MOSFET 开关损耗模型

2.2.1 传统分段线性模型

首先对 SiC MOSFET 的开关过程中的电路进行分析简化。以 Boost 电路为例,如图 2.6(a)所示 V_{in} 、 V_{out} 、 V_{dr} 、 L 、 D 、 R_g 分别为输入电压、输出电压、驱动电压、功率电感、续流二极管以及驱动电阻。SiC MOSFET 开关速度极快,开关时间通常为十几纳秒到几十纳秒之间,远小于电路的开关周期,所以在开关瞬间,Boost 电路中电感电流基本保持不变,可将其等效成恒流源,输出电压在开关瞬间也基本不变,可等效成恒压源,于是得到如图 2.6(b)的等效电路。将被测器件 SiC MOSFET 视为二端口网络(以漏极的源极为两个端口),其外电路根据电路原理可整理成如图 2.6(c)的简化形式。对比图 2.6(c)和图 2.5(a),两者形式相同,即可以用双脉冲等效电路来建立 SiC MOSFET 的开关损耗模型。本文虽然是以 Boost 电路为基础推导出的模型,但同样适用于其他形式的电路,如 Buck、Buck-Boost、半桥拓扑等。这也说明了传统双脉冲测试电路用于测试器件开关损耗的合理性。

基于该简化电路,传统的分段线性开关模型被提出^[88-89],认为开关器件的电压和电流

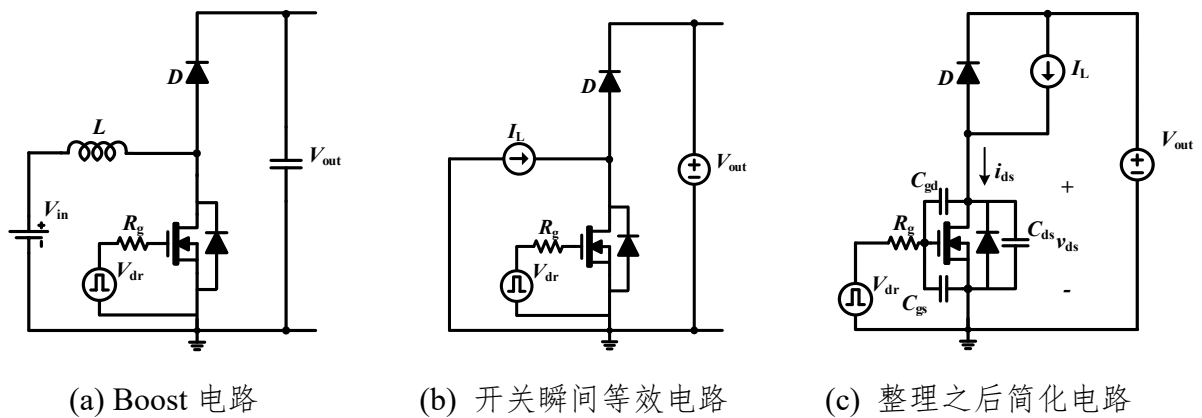


图 2.6 SiC MOSFET 开关过程电路简化分析

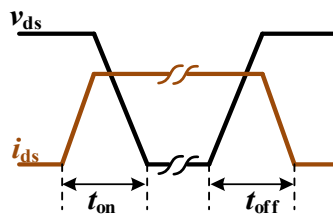


图 2.7 传统分段线性开关过程模型波形

分段线性变化,如图 2.7 所示。开通时驱动给器件输入电容充电,栅极电压上升,器件电流逐渐增加,此时电感电流由续流二极管转换到被测器件中,器件 v_{ds} 被续流二极管钳位在 v_{out} 。当二极管中电流下降到 0 后,开始承受反向电压,被测器件驱动电流主要流经 C_{gd} 并使其逐渐放电, v_{ds} 电压下降。同理,器件的关断过程电压和电流变化与其开通过程相反。如果认为器件在开通和关断时电压、电流的变化是线性发生的,则得到如图 2.7 所示的波形。将两者波形相乘再对时间积分即为其开通和关断时的能量损耗,再乘以开关频率即为开通和关断功率损耗,分别为 $0.5 \cdot V_{out} \cdot I_L \cdot t_{on} \cdot f$ 和 $0.5 \cdot V_{out} \cdot I_L \cdot t_{off} \cdot f$ 。

传统分段线性开关损耗模型比较理想化,在早期器件开关速度比较慢的场合可用来快速估算器件开关损耗大致值。但随着器件工艺的进步,开关速度的提升,器件自身的特性参数以及电路中的寄生电感参数等对于开关过程的影响不可忽略,传统分段线性开关损耗模型的精度已无法满足系统设计要求。

2.2.2 考虑寄生参数的器件开关损耗模型

传统的分段线性模型比较理想化,没有考虑实际电路中的寄生电感参数的影响。随着器件开关速度提升,特别是 SiC MOSFET、GaN HEMT 等宽禁带器件的应用,其开关过程中产生的高 di/dt 在回路电感中产生压降,会影响器件开关过程以及损耗,而开关过程中的高 dv/dt 在器件寄生电容上产生的电流此时也不能简单忽略。因此,在考虑了回路寄生电感参数和器件寄生结电容之后可得到如图 2.8 所示的器件开关损耗模型^[90-93]电路图。 C_{gs} 、 C_{gd} 、 C_{ds} 分别为器件的栅源电容、栅漏电容、漏源电容, C_D 为续流二极管的结电容以及功率电感两端的等效寄生电容之和(下文不再特别说明)。寄生电感在实际电路中是杂散分布在各段电路走线之中,为简便计算,将这些寄生电感等效成三个关键的集总参数类型电感 L_S 、 L_G 、 L_D , 分别为共源极寄生电感、除去 L_S 后剩余的栅极回路等效寄生电感参数、除去 L_S 后剩余的功率回路等效寄生电感参数。考虑到器件开关过程中其结电容的充放电

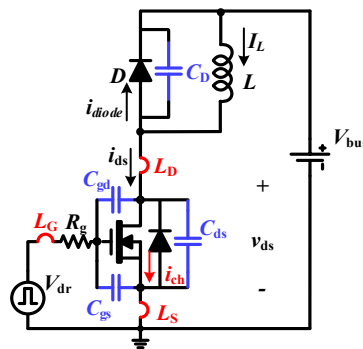


图 2.8 考虑寄生参数的器件开关损耗模型等效电路图

过程, 实际流经器件沟道的电流 i_{ch} 和器件外部漏源电流 i_{ds} 存在区别, 因此, 建模过程中需将其区分。虽然本文关注的是 SiC MOSFET 开关损耗的数学建模分析, 但是图 2.8 的等效电路以及接下来的分析过程同样适用于低压^[90,94]或高压^[95-96]Si MOSFET 以及 GaN HEMT^[97-98]等。

2.2.3 SiC MOSFET 开关损耗模型参数提取

从图 2.8 可知, 建模开始前需要先提取相应的器件以及电路参数。器件相关参数可以从数据手册上获得, 而电路参数则和具体设计布局相关。器件手册提供的结电容参数如图 2.9(a)所示, 同时使用半导体功率器件分析仪 Keysight B1505A 的测试结果证明了该电容-电压(C-V)特性曲线的准确性。其中 C_{iss} 为输入电容($C_{gs}+C_{gd}$), C_{oss} 为输出电容($C_{ds}+C_{gd}$), C_{rss} 为反向传输电容 (C_{gd}), C-V 特性曲线是通过器件施加高压偏置后使用高频小信号进行阻抗测试得到的电容值, 其中 C_{oss} 和 C_{rss} 随着 V_{ds} 的上升呈现显著的非线性, 低压时的电容值为高压时的几十甚至上百倍。虽然非线性结电容可以通过公式进行拟合, 但为了后续建模求解的方便, 本文对其采用分段线性的处理办法。根据电容非线性的剧烈程度, 将 V_{ds} 电压分成间距不完全相等的一系列区间, 如 0~20V、20V~50V 等, 求解每个电压区间内电荷等效电容平均值作为该区间的电容值大小, 如(2.1)所示。 V_{ds} 电压区间划分得越小则精度越高, 但计算量也将随之增加, 实际划分时可根据 C-V 曲线在不同电压范围内变化的剧烈程度而进行合理选择。续流二极管的结电容也呈现明显的非线性, 也可采用相同方法对其进行分段线性化的处理方法, 不再赘述。

$$C_{eq}|_{V_{ds1}-V_{ds2}} = \frac{1}{V_{ds2}-V_{ds1}} \int_{V_{ds1}}^{V_{ds2}} C(V_{ds}) \cdot dV_{ds} \quad (2.1)$$

SiC MOSFET 属于电压控制型开关器件, 在器件 V_{ds} 电压处于饱和时其电流 i_{ds} 受 V_{gs}

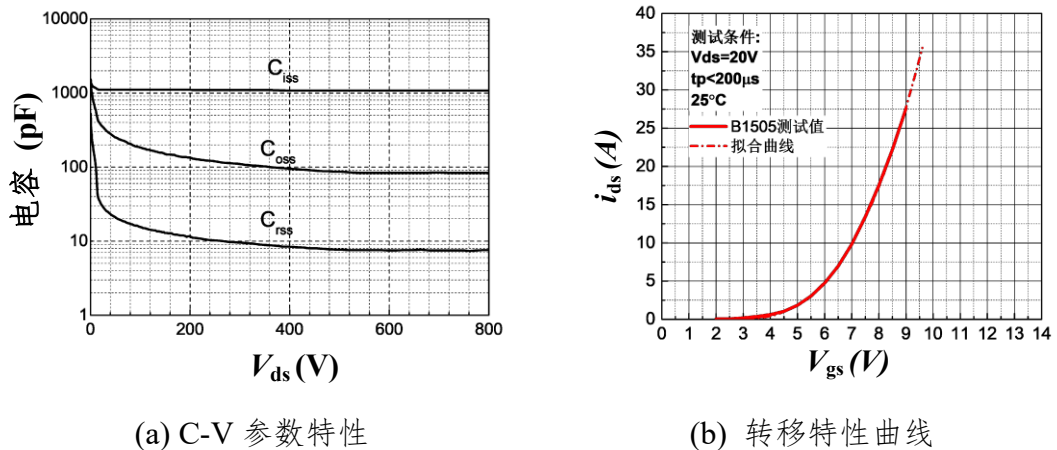
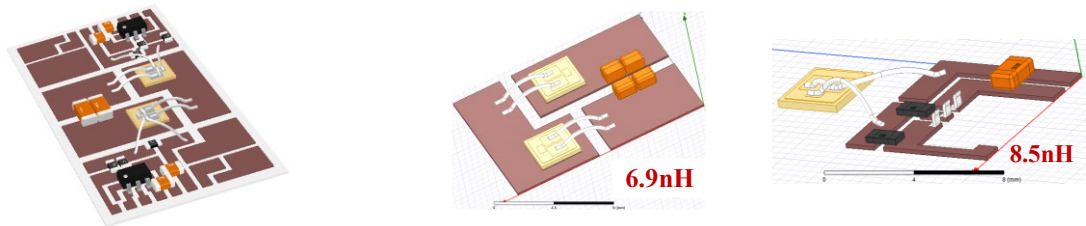


图 2.9 器件相关参数提取 (CPM2-1200-0080B)



(a) SiC IPM 三维模型图 (b) 功率回路电感提取 (c) 驱动回路电感提取

图 2.10 Ansys Q3D 寄生电感参数提取

电压控制，两者之间的关系可由图 2.9(b)所示的转移特性曲线表示。图 2.9(b)显示，SiC MOSFET 阈值电压低（约为 2.5V），跨导小且随 V_{gs} 电压上升而逐渐增大，也呈现显著的非线性。转移特性曲线可通过(2.2)进行拟合，拟合得到的曲线如图 2.9(b)点划线所示。拟合的曲线与 B1505A 测试的曲线完全重合，说明拟合公式(2.2)的准确性。

$$i_{ds}(t) = A \cdot (v_{gs}(t) - V_{th})^P \quad (2.2)$$

模型中电路的寄生电感参数可通过有限元仿真的方法提取。如图 2.10(a)所示，首先建立 SiC IPM 的等比例三维模型，然后将其导入 Ansys Q3D 软件中，根据器件实际工作时的换流路径或者驱动回路提取相应回路进行仿真即可得到其寄生电感参数值。从图 2.10(b)和(c)可知 SiC MOSFET IPM 功率回路和驱动回路寄生电感参数分别为 6.9nH 和 8.5nH。PCB 电路也可采用该方法进行仿真提取参数，该方法被业内普遍采用，且得到了理论以及实验测试等验证^[99]，是一种较为准确并且方便快捷的参数提取方法。

参数提取完成后，本文对 SiC MOSFET 的详细开通关断过程进行分析，并根据基尔霍夫电压电流定律列出回路方程建立其数学计算模型。

2.2.4 SiC MOSFET 开通过程分析

SiC MOSFET 开通过程可大致分为开通延时、电流上升、电压下降以及电流谐振共四个阶段，其开通时各阶段的电压电流波形示意如图 2.11 所示。

阶段一：开通延时 (t_0-t_1)

t_0 时刻，驱动信号 v_{dr} 由关断状态的低电压 (V_{EE} ，通常为负压) 跳变为高电压 (V_{GG})，驱动电流 i_g 给栅源电压 v_{gs} 充电使其上升。由于该阶段 v_{gs} 电压未达到 SiC MOSFET 的栅极阈值电压 V_{th} ，所以此时器件还处于关断状态，器件电流以及电压均保持不变，所以被称为开通延时阶段。该阶段的电路工作模态图如图 2.12(a)所示，根据其栅极驱动回路列出电压方程(2.3)和电流方程(2.4)。

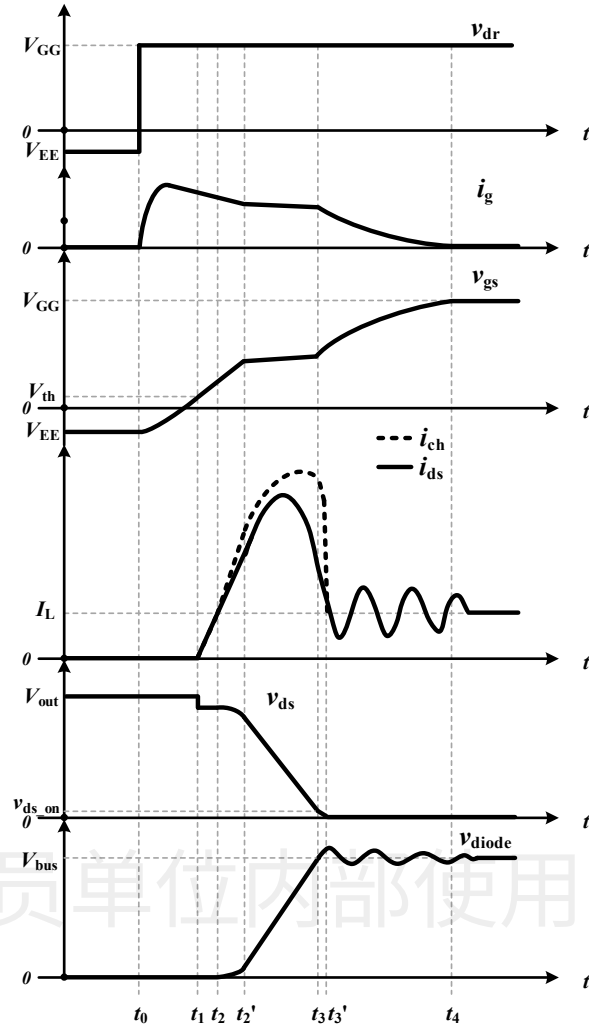


图 2.11 SiC MOSFET 开通过程波形示意图

$$V_{GG} = v_{gs}(t) + i_g(t)R_g + L_{gate} \frac{di_g(t)}{dt} \quad (2.3)$$

$$i_g(t) = C_{iss} \frac{dv_{gs}(t)}{dt} \quad (2.4)$$

其中 L_{gate} 为栅极回路总寄生电感值 ($L_G + L_S$), C_{iss} 为 SiC MOSFET 输入电容值 ($C_{gs} + C_{gd}$)。将(2.4)代入(2.3), 可得(2.5)。

$$V_{GG} = v_{gs}(t) + R_g C_{iss} \frac{dv_{gs}(t)}{dt} + L_{gate} C_{iss} \frac{d^2 v_{gs}(t)}{dt^2} \quad (2.5)$$

将(2.5)进行拉普拉斯变换并整理后, 可得(2.6)。

$$(\tau_m \cdot s^2 + \tau_n \cdot s + \tau_o) V_{gs}(s) = \frac{1}{s} V_{GG} + \left(\tau_m \cdot \frac{dv_{gs}(0)}{dt} + \tau_n \cdot v_{gs}(0) \right) + s \cdot \tau_m \cdot v_{gs}(0) \quad (2.6)$$

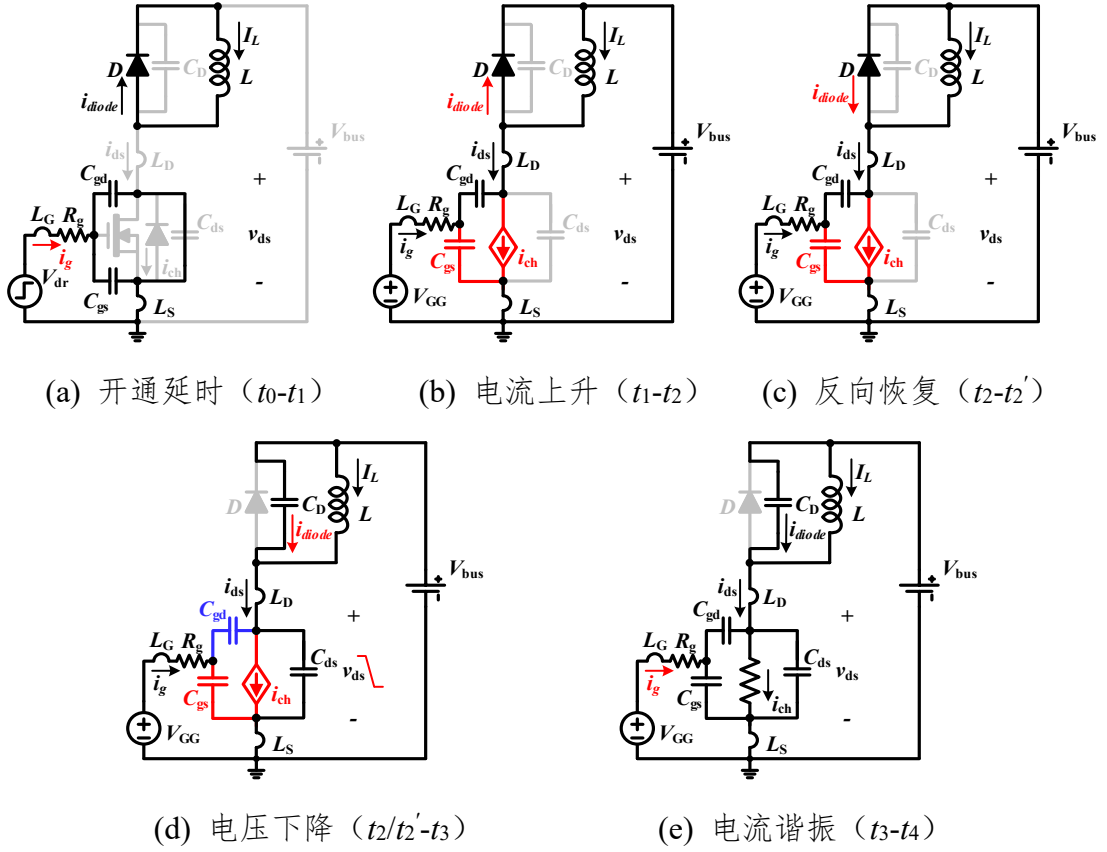


图 2.12 SiC MOSFET 开通过程各模态等效电路图

$$\tau_m = L_{\text{gate}} C_{\text{iss}} \quad \tau_n = R_g C_{\text{iss}} \quad \tau_o = 1 \quad (2.7)$$

其中, $v_{\text{gs}}(0)$ 为 v_{gs} 电压状态初值, $dv_{\text{gs}}(0)/dt$ 为 v_{gs} 时间变化率的初值。为求解(2.6)中 $V_{\text{gs}}(s)$ 的拉普拉斯反变换得到 $v_{\text{gs}}(t)$, 首先需对其系数项进行分析。其系数项为关于 s 的一元二次函数, 所以其存在可因式分解和不可因式分解两种情况, 由(2.7)中三项的取值决定。

令

$$\Delta = \tau_n^2 - 4\tau_m \tau_o \quad (2.8)$$

当 $\Delta > 0$ 时, 由求根公式可得(2.9), 此时 $V_{\text{gs}}(s)$ 系统项可写成(2.10)的形式。

$$s_1 = \frac{-\tau_n + \sqrt{\Delta}}{2} \quad s_2 = \frac{-\tau_n - \sqrt{\Delta}}{2} \quad (2.9)$$

$$\tau_m \cdot s^2 + \tau_n \cdot s + \tau_o = \tau_m (s - s_1)(s - s_2) \quad (2.10)$$

对(2.6)进行拉普拉斯反变换可得(2.11)。

$$v_{\text{gs}}(t) = \frac{AA}{\tau_o} \left[1 + \frac{s_1 e^{s_2 t} - s_2 e^{s_1 t}}{s_2 - s_1} \right] + \frac{BB}{\tau_m} \frac{1}{s_1 - s_2} (e^{s_1 t} - e^{s_2 t}) + \frac{CC}{\tau_m} \frac{1}{s_1 - s_2} (s_1 e^{s_1 t} - s_2 e^{s_2 t}) \quad (2.11)$$

$$AA = V_{GG} \quad BB = \tau_m \frac{dv_{gs}(0)}{dt} + \tau_n v_{gs}(0) \quad CC = \tau_m v_{gs}(0) \quad (2.12)$$

当 $\Delta < 0$ 时, (2.6) 中 $V_{gs}(s)$ 的系数可表示成(2.13), 其中 a 、 b 的值如(2.14)所示。

$$\tau_m \cdot s^2 + \tau_n \cdot s + \tau_o = \tau_m \left[(s+a)^2 + b^2 \right] \quad (2.13)$$

$$a = \frac{\tau_n}{2\tau_m} \quad b = \sqrt{\frac{\tau_o}{\tau_m} - \left(\frac{\tau_n}{2\tau_m} \right)^2} \quad (2.14)$$

此时对(2.6)进行拉普拉斯反变换可得(2.15)。

$$v_{gs}(t) = \frac{AA}{\tau_o} \left[1 - e^{-at} \left(\frac{a}{b} \sin bt + \cos bt \right) \right] + \frac{BB}{\tau_m} \frac{1}{b} e^{-at} \sin bt + \frac{CC}{\tau_m} e^{-at} \left(\cos bt - \frac{a}{b} \sin bt \right) \quad (2.15)$$

式中 AA 、 BB 、 CC 与(2.12)中相同。综上, v_{gs} 随时间变化的函数关系即可得到, 而该阶段器件仍然处于关断状态, 电流保持为 0, 电感负载电流流经续流二极管, v_{ds} 电压也被钳位在母线电压 V_{bus} 。该阶段一直持续到 v_{gs} 电压上升到 SiC MOSFET 的栅极阈值电压 V_{th} 结束。

阶段二：电流上升 (t_1 - t_2/t_2')

t_1 时刻, v_{gs} 上升到器件的栅极阈值电压 V_{th} , SiC MOSFET 沟道开启, 开始导通电流, 电感负载电流由续流二极管开始向 SiC MOSFET 转移。此时器件的沟道电流受 v_{gs} 电压控制, 可等效成压控电流源的形式, 其等效电路模态如图 2.12(b)所示。该阶段栅极回路电压方程为(2.16), 栅极电流方程仍可由(2.4)表示。(2.16)相比于(2.3)在等式右边多了一项由器件电流 i_{ds} 在共源极电感 L_s 上引入的感应电压, 该电压引入了负反馈, 导致 v_{gs} 电压减小, 减慢了器件的开关速度。在实际应用中, 如果采用开尔文接线方式, 驱动源极和功率源极分别从芯片引出, 则可极大减小甚至消除 L_s 值, 例如 TO-247-4 四引脚封装的器件等, 此时(2.16)中 L_s 可取值为 0。

$$V_{GG} = v_{gs}(t) + i_g(t) R_g + L_{gate} \frac{di_g(t)}{dt} + L_s \frac{di_{ds}(t)}{dt} \quad (2.16)$$

如图 2.12(b)所示, i_{ds} 也会在漏极等效电感 L_D 上引入感应电压, 导致器件 v_{ds} 电压有一定的跌落, 如图 2.11 中波形所示。 v_{ds} 可表示为(2.17)。

$$v_{ds}(t) = V_{bus} - L_{loop} \frac{di_{ds}(t)}{dt} \quad (2.17)$$

其中 L_{loop} 为功率回路总寄生电感值 ($L_D + L_s$)。

此时的器件电流可由(2.2)表示。(2.2)实际表示的是 i_{ch} 和 v_{gs} 的关系, 因为 v_{gs} 控制器件的沟道电流 i_{ch} , 但 i_{ch} 在器件内部无法直接测量, 只能通过测量 i_{ds} 电流的方式测得器件转移特性曲线。在转移特性测量时器件结电容上没有电流经过, 所以 i_{ds} 等于 i_{ch} 。但在器件开关过程中某些阶段 i_{ch} 并不同于 i_{ds} 。因此(2.18)的表达更为准确。

$$i_{ch}(t) = A \cdot (v_{gs}(t) - V_{th})^P \quad (2.18)$$

在 L_{loop} 较小的模块或电路中, v_{ds} 的跌落小, 且电压在该阶段基本保持不变, 则在该阶段器件输出电容 C_{oss} ($C_{ds} + C_{gd}$) 上的电流可被忽略, 认为 i_{ds} 等于 i_{ch} 。(2.18)为指数形式表达式, 直接代入求解无法得到各电压电流的解析表达式, 为简化计算, 可将图 2.9(b)中曲线进行分段线性处理, (2.18)可简化成(2.19)。

$$i_{ds}(t) = i_{ch}(t) = g_{fs} \cdot [v_{gs}(t) - v_{gs}(0)] + i_{ch}(0) \quad (2.19)$$

式中 g_{fs} 为 SiC MOSFET 跨导, 随着器件电流的上升而逐渐增大, $v_{gs}(0)$ 和 $i_{ch}(0)$ 分别为 v_{gs} 和 i_{ch} 状态初值。

将(2.4)和(2.19)代入(2.16)可得(2.20)。

$$V_{GG} = v_{gs}(t) + (R_g C_{iss} + L_s g_{fs}) \frac{dv_{gs}(t)}{dt} + L_{gate} C_{iss} \frac{d^2 v_{gs}(t)}{dt^2} \quad (2.20)$$

(2.20)和(2.5)相比只多了 L_s 的影响, 同样可经过(2.6)~(2.15)的分析求解得到类似的 $v_{gs}(t)$ 。只是(2.7)的值需改成(2.21), 系数 AA、BB、CC 与(2.12)相同。

$$\tau_m = L_{gate} C_{iss} \quad \tau_n = R_g C_{iss} + L_s g_{fs} \quad \tau_o = 1 \quad (2.21)$$

$v_{gs}(t)$ 解出后即可根据(2.2)求出 $i_{ch}(t)$, 根据(2.17)可求出 $v_{ds}(t)$ 。 t_2 时刻, SiC MOSFET 中电流上升到电感负载电流 i_L , 续流二极管中电流下降到 0。如果续流二极管采用的是 SiC 肖特基二极管 (SBD), 可认为阶段二在此时结束, 续流二极管立即开始承受反向电压, 进入阶段三; 如果续流二极管为 SiC MOSFET 体二极管, 由于反向恢复的存在, 续流二极管电流开始反向, 但其反向电压还没有上升, 因此存在 t_2-t_2' 时刻的反向恢复过程, 如图 2.12(c) 所示。对比图 2.12(b)和图 2.12(c), 可以发现除二极管电流反向外, 其余电路状态类似, 所列方程类似, 故也将该阶段归到第二阶段中。此时器件电流除负载电流外, 还包含一部分反向恢复电流^[91], 该阶段一直持续到续流二极管开始承受反向电压。

阶段三: 电压下降 ($t_2/t_2'-t_3$)

t_2 或 t_2' 时刻, 续流二极管开始承受反向电压, 此后由 v_{diode} 表示, v_{ds} 开始下降, 等效电路模态图如图 2.12(d)所示。此时器件寄生电容上的电流影响将不可忽略。栅极回路电压

方程仍可由(2.16)表示, 栅极电流方程则需要考虑 C_{gd} 上流经的电流分量, 如(2.22)所示。

$$i_g(t) = C_{iss} \frac{dv_{gs}(t)}{dt} - C_{gd} \frac{dv_{ds}(t)}{dt} \quad (2.22)$$

此时 i_{ch} 仍然受 v_{gs} 控制, 可由(2.19)表达, 而 i_{ds} 则需考虑流经器件寄生电容 C_{oss} 上的电流分量, 如(2.23)所示。

$$i_{ds}(t) = i_{ch}(t) + C_{oss} \frac{dv_{ds}(t)}{dt} \quad (2.23)$$

此外, i_{ds} 包含流经续流二极管两端寄生电容 C_D 的电流, 还可表示成(2.24)的形式。 v_{ds} 如(2.25)所示。

$$i_{ds}(t) = I_L + C_D \frac{dv_{diode}(t)}{dt} \quad (2.24)$$

$$v_{ds}(t) = V_{bus} - L_{loop} \frac{di_{ds}(t)}{dt} - v_{diode}(t) \quad (2.25)$$

在对(2.16)、(2.19)以及(2.22)~(2.25)进行联立求解 $v_{gs}(t)$ 时会得到一个四阶的表达式, 直接求解十分困难。结合图 2.11 以及实验波形 v_{ds} 下降过程中呈现出的比较线性变化, 可将 v_{ds} 下降过程进行分段线性的简化处理。考虑到模型的精确性以及 SiC MOSFET 寄生电容的非线性, v_{ds} 下降过程被分成一系列电压区间, 如以下降 20V 作为区间大小, 在每个区间内假设 v_{ds} 变化率不变。即假设有(2.26)。

$$v_{ds}(t) = v_{ds}(0) + \int_0^t \delta \cdot d\tau \quad (2.26)$$

其中 $v_{ds}(0)$ 为 v_{ds} 在每段电压区间的初值, δ 为 v_{ds} 变化率, 即 $dv_{ds}(t)/dt$ 。 δ 在每段区间内认为是常数。将(2.19)、(2.22)、(2.23)代入(2.16)中, 可整理得(2.27)。

$$V_{GG} = v_{gs}(t) + (R_g C_{iss} + L_s g_{fs}) \frac{dv_{gs}(t)}{dt} + L_{gate} C_{iss} \frac{d^2 v_{gs}(t)}{dt^2} - R_g C_{gd} \cdot \delta \quad (2.27)$$

(2.27)相比于(2.20)多了关于 δ 的一项。将(2.19)代入(2.23), (2.25)代入(2.24)后整理可得(2.28)。观察(2.27)和(2.28), 两者显示 v_{gs} 和 v_{ds} 在该阶段深度耦合, 关系复杂。

$$(C_{oss} + C_D) \cdot \delta = I_L - L_{loop} C_D g_{fs} \frac{d^2 v_{gs}(t)}{dt^2} - (g_{fs} v_{gs}(t) - g_{fs} v_{gs}(0) + i_{ch}(0)) \quad (2.28)$$

定义系数(2.29)。

$$\alpha = \frac{R_g C_{gd}}{C_{oss} + C_D} \quad (2.29)$$

将(2.28)等式两端乘以 α 后代入(2.27), 可得(2.30)。

$$\tau_m \frac{d^2 v_{gs}(t)}{dt^2} + \tau_n \frac{dv_{gs}(t)}{dt} + \tau_o v_{gs}(t) = V_{GG} + \alpha (I_L + g_{fs} v_{gs}(0) - i_{ch}(0)) \quad (2.30)$$

其中

$$\tau_m = L_{gate} C_{iss} + \alpha L_{loop} C_D g_{fs} \quad \tau_n = R_g C_{iss} + L_S g_{fs} \quad \tau_o = 1 + \alpha \cdot g_{fs} \quad (2.31)$$

同样经过(2.6)~(2.15)的分析求解得到类似的 $v_{gs}(t)$ 。和阶段一不同之处在于(2.31)中的参数以及 AA 的取值, 如(2.32)所示。

$$AA = V_{GG} + \alpha (I_L + g_{fs} v_{gs}(0) - i_{ch}(0)) \quad BB = \tau_m \frac{dv_{gs}(0)}{dt} + \tau_n v_{gs}(0) \quad CC = \tau_m v_{gs}(0) \quad (2.32)$$

$v_{gs}(t)$ 解出后即可根据(2.2)求出 $i_{ch}(t)$, 此时 $i_{ds}(t)$ 由(2.23)~(2.25)求得。联立(2.23)~(2.25)消除其他变量, 可得(2.33)。

$$L_{loop} C_{oss} C_D \frac{d^2 i_{ds}(t)}{dt^2} + (C_{oss} + C_D) i_{ds}(t) = C_D i_{ch}(t) + C_{oss} \cdot I_L \quad (2.33)$$

对(2.33)进行拉普拉斯变换, 可得(2.34)。

$$(s^2 \tau_a + \tau_b) I_{ds}(s) = s \tau_a i_{ds}(0) + \tau_a \frac{di_{ds}(0)}{dt} + C_D I_{ch}(s) + \frac{1}{s} C_{oss} I_L \quad (2.34)$$

$$\tau_a = L_{loop} C_{oss} C_D \quad \tau_b = C_{oss} + C_D \quad (2.35)$$

再对 $I_{ds}(s)$ 进行拉普拉斯反变换可得 $i_{ds}(t)$ 如(2.36)所示。

$$i_{ds}(t) = i_{ds}(0) \cos s_3 t + \frac{di_{ds}(0)}{dt} \frac{\sin s_3 t}{s_3} + \frac{C_D}{\tau_a s_3} \int_0^t i_{ch}(\tau) \sin(s_3(t-\tau)) d\tau + \frac{C_{oss} I_L}{\tau_b} \cdot (1 - \cos(s_3 t)) \quad (2.36)$$

$$s_3 = \sqrt{\frac{\tau_b}{\tau_a}} \quad (2.37)$$

其中, $i_{ds}(0)$ 和 $di_{ds}(0)/dt$ 分别为 i_{ds} 及其变化率的初值。在得出 $i_{ch}(t)$ 和 $i_{ds}(t)$ 之后即可根据(2.24)、(2.25)解出 $v_{diode}(t)$ 和 $v_{ds}(t)$ 。该阶段一直持续到 v_{ds} 下降到 SiC MOSFET 的导通电压 v_{ds_on} 结束。

阶段四：电流谐振 (t_3 - t_4)

t_3 时刻, v_{ds} 下降到 SiC MOSFET 导通电压, 此时 SiC MOSFET 完全导通, 该阶段 i_{ds}

在功率回路电感 L_{loop} 和 C_D 之间谐振, 栅极电压则继续被驱动充电至较高的 v_{gs} 电压, 以保证 SiC MOSFET 较低的导通电阻, 减小导通损耗, 如图 2.12(e)所示。在该阶段, v_{ds} 电压已经为导通电压, 可以认为只有导通损耗。为简化计算, 认为此时的 v_{gs} 变化简化为 RC 充电过程, 则可得(2.38)。

$$v_{\text{gs}}(t) = (V_{\text{GG}} - v_{\text{gs}}(0))(1 - e^{-c \cdot t}) + v_{\text{gs}}(0) \quad (2.38)$$

其中 c 为栅极充电时间常数 $1/(R_g C_{\text{iss}})$ 。此时 i_{ds} 和 i_{ch} 相同, 由于 i_{ds} 处于谐振中, 则其谐振分量如(2.39)所示。

$$\tilde{i}_{\text{ds}}(t) = i_{\text{ds}}(t) - I_L = C_D \frac{dv_{\text{diode}}(t)}{dt} \quad (2.39)$$

在功率回路中有(2.40)。

$$v_{\text{diode}}(t) + R_{\text{loop}} \tilde{i}_{\text{ds}}(t) + v_{\text{ds_on}} + L_{\text{loop}} \frac{d\tilde{i}_{\text{ds}}(t)}{dt} = V_{\text{bus}} \quad (2.40)$$

其中 R_{loop} 为功率回路中谐振阻尼。将(2.39)代入(2.40)即可求出 i_{ds} 谐振电流, 求解过程同前两个阶段 v_{gs} 类似, 不再赘述。该阶段可认为当 v_{gs} 上升到接近 V_{GG} 或者 i_{ds} 谐振幅度减小到某一程度结束。

SiC MOSFET 的开通损耗主要产生在第二和第三阶段, 这两个阶段是开通过程中 SiC MOSFET 大电流和大电压的交叠时间, 损耗较大。

2.2.5 SiC MOSFET 关断过程分析

SiC MOSFET 关断过程也大致分为四个阶段, 分别定义为关断延时、电压上升、电流下降以及电压谐振, 其关断时各阶段电压电流波形如图 2.13 所示。

阶段五：关断延时 ($t_0' - t_5$)

t_0' 时刻, 驱动信号 v_{dr} 由开通状态的高电压 (V_{GG}) 跳变为低电压 (V_{EE} , 通常为负压), 驱动电流 i_g 给栅源电压 v_{gs} 放电使其下降。该阶段 v_{gs} 处于较高的电压, SiC MOSFET 仍为导通状态, 器件电流以及电压均保持不变, 所以被称为关断延时阶段。该阶段的电路工作模态图如图 2.14(a)所示, 以图中规定电流方向为正方向则 i_g 此时为负值, 根据其栅极驱动回路可列出电压方程(2.41), 电流方程为(2.4)。

$$V_{\text{EE}} = v_{\text{gs}}(t) + i_g(t) R_g + L_{\text{gate}} \frac{di_g(t)}{dt} \quad (2.41)$$

求解 $v_{\text{gs}}(t)$ 的过程与开通延时阶段完全相同, 只需将(2.12)中 AA 由 V_{GG} 改成 V_{EE} 即可,

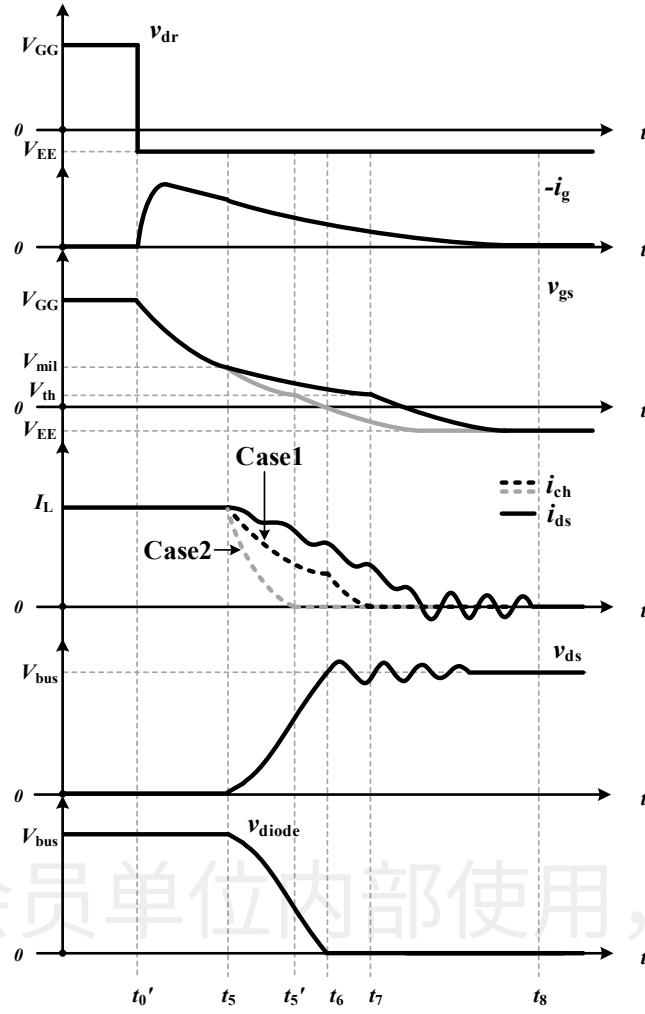


图 2.13 SiC MOSFET 关断过程波形示意图

如(2.42)所示，求解过程不再赘述。

$$AA = V_{EE} \quad BB = \tau_m \frac{dv_{gs}(0)}{dt} + \tau_n v_{gs}(0) \quad CC = \tau_m v_{gs}(0) \quad (2.42)$$

该阶段一直持续到 v_{gs} 下降到 SiC MOSFET 的米勒电平 V_{mil} 结束。

阶段六：电压上升 (t_5 - t_6)

t_5 时刻， v_{gs} 下降到 SiC MOSFET 米勒电平，此时器件沟道进入饱和状态，沟道电流受 v_{gs} 控制，可等效成压控电流源的形式，此阶段的等效模态电路图如图 2.14(b)所示。根据其栅极驱动回路可列出电压方程如(2.43)所示，电流方程同开通过程第三阶段相同，可由(2.22)表示。 i_{ch} 受 v_{gs} 控制，可由(2.19)表示， i_{ds} 以及 v_{ds} 相关方程均与开通过程第三阶段相同，如(2.23)~(2.25)所示。

$$V_{EE} = v_{gs}(t) + i_g(t)R_g + L_{gate} \frac{di_g(t)}{dt} + L_S \frac{di_{ds}(t)}{dt} \quad (2.43)$$

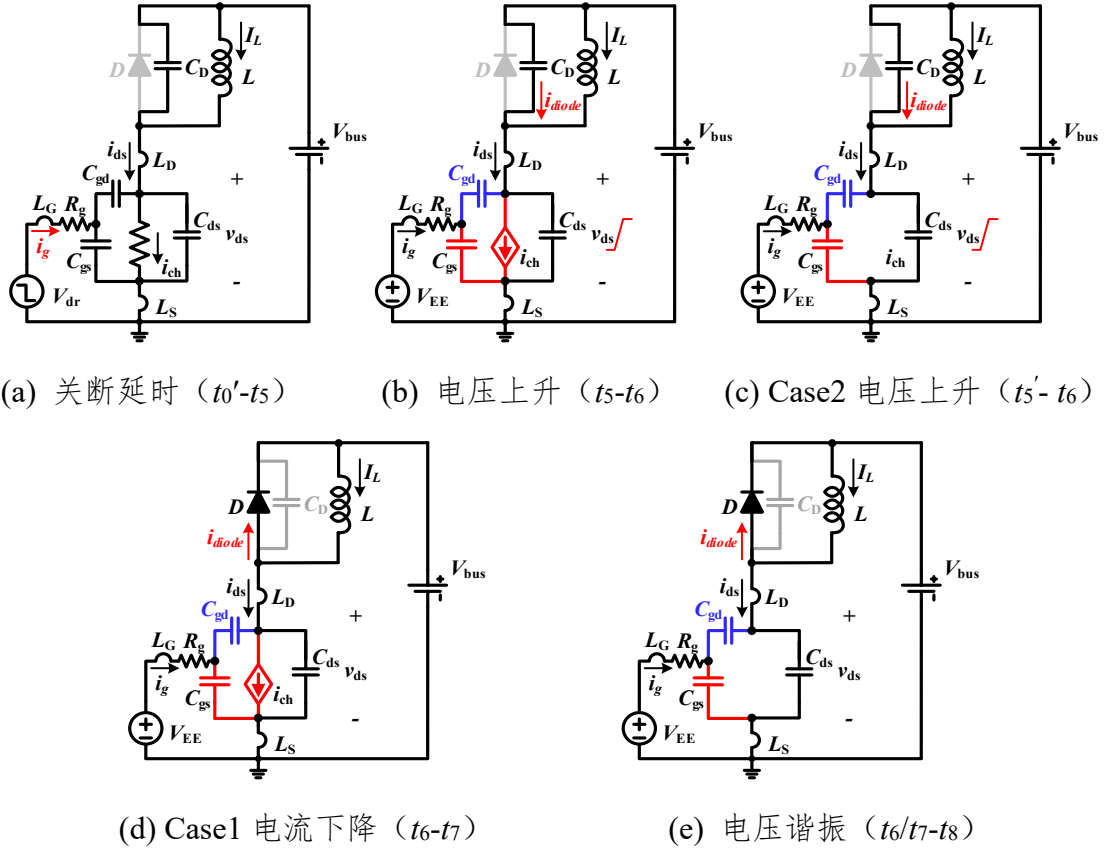


图 2.14 SiC MOSFET 关断过程各模态等效电路图

可以看出，阶段六是阶段三的反向过程，所以回路电压电流方程表达形式均相似，同样能采用阶段三的方法解出 $v_{gs}(t)$ ，只是(2.32)中 AA 需将 V_{GG} 改成 V_{EE} ，如(2.44)所示。

$$AA = V_{EE} + \alpha(I_L + g_{fs}v_{gs}(0) - i_{ch}(0)) \quad BB = \tau_m \frac{dv_{gs}(0)}{dt} + \tau_n v_{gs}(0) \quad CC = \tau_m v_{gs}(0) \quad (2.44)$$

器件电流 i_{ch} 和 i_{ds} 同样和阶段三中计算方法相同，表达式一致。

该电压下降阶段一直持续到续流二极管反向电压下降到 0，之后续流二极管开始导通，如图 2.13 中 t_6 时刻所示。但在 t_6 时刻，SiC MOSFET 的沟道电流可能处于不同的状态。如果在关断电流比较大，关断速度有限的情形中，SiC MOSFET 的沟道电流在 t_6 时刻不为 0，如图 2.13 中 i_{ch} 黑色虚线 (Case 1) 所示，则此阶段结束之后进入阶段七。

还有一种情形发生在关断电流比较小，关断速度较大时，如图 2.13 中 i_{ch} 灰色虚线 (Case 2) 所示。此时 SiC MOSFET 的沟道电流在 t_6 时刻已经下降到 0，器件完全关断，所以在 t_6 时刻之前一段时间存在沟道电流为 0 的模态，如图 2.14(c)所示。在该模态中，负载电流 I_L 继续给 C_{oss} 以及 C_d 充电，其回路电压以及电流方程和前述相同，只需将 i_{ch} 等于 0 代入各方程中进行求解，即(2.45)。(2.23)需改成(2.46)。

$$i_{ch}(t)=0 \quad (2.45)$$

$$i_{ds}(t)=C_{oss} \frac{dv_{ds}(t)}{dt} \quad (2.46)$$

为模型言和简化与格式统一, 可将该阶段求解过程中的 g_{fs} 设为 0, 即认为此时器件跨导为 0, 就是 Case 2 的求解结果。将(2.45)代入(2.36), 可求得 i_{ds} 如(2.47)所示。

$$i_{ds}(t)=i_{ds}(0)\cos s_3 t + \frac{di_{ds}(0)}{dt} \frac{\sin s_3 t}{s_3} + \frac{C_{oss} I_L}{\tau_b} \cdot (1 - \cos(s_3 t)) \quad (2.47)$$

在 Case 2 中, 到 t_6 时刻, SiC MOSFET 沟道电流下降为 0, 续流二极管也开始导通电流, SiC MOSFET 完全关断, 不再经过阶段七的沟道电流下降过程, 直接跳转到阶段八。

阶段七: 电流下降 (t_6 - t_7)

如阶段六中所述, 该阶段只有在阶段六中 Case 1 的情形下才存在。此阶段续流二极管开始导通电流, 其正向压降可忽略, 该阶段模态等效电路图如图 2.14(d)所示。根据其栅极驱动回路可列出电压方程如前述(2.43)所示, 电流方程如(2.22)所示, i_{ch} 如(2.19)所示, i_{ds} 如(2.23)所示。而此时 v_{diode} 电压忽略不计, 则(2.25)需修改成(2.48)。

$$v_{ds}(t)=V_{bus}-L_{loop} \frac{di_{ds}(t)}{dt} \quad (2.48)$$

该阶段各电压电流量求解与阶段三以及阶段六相似, 只需将(2.31)改成(2.49), (2.44)改成(2.50)。

$$\tau_m = L_{gate} C_{iss} + R_g C_{gd} L_{loop} g_{fs} \quad \tau_n = R_g C_{iss} + L_S g_{fs} \quad \tau_o = 1 + \alpha \cdot g_{fs} \quad (2.49)$$

$$AA = V_{EE} \quad BB = \tau_m \frac{dv_{gs}(0)}{dt} + \tau_n v_{gs}(0) \quad CC = \tau_m v_{gs}(0) \quad (2.50)$$

将(2.48)代入(2.23)可解得 i_{ds} 如(2.51)所示。

$$i_{ds}(t)=i_{ds}(0)\cos s_3 t + \frac{di_{ds}(0)}{dt} \frac{\sin s_3 t}{s_3} + \frac{1}{\tau_a s_3} \int_0^t i_{ch}(\tau) \sin(s_3(t-\tau)) d\tau \quad (2.51)$$

$$\tau_a = L_{loop} C_{oss} \quad \tau_b = 1 \quad s_3 = \sqrt{\frac{\tau_b}{\tau_a}} \quad (2.52)$$

该阶段 SiC MOSFET 沟道电流继续下降直到 0, 器件完全关断, 进入阶段八。

阶段八: 电压谐振 (t_7 - t_8)

t_6/t_7 时刻, 即阶段八初始时刻, SiC MOSFET 沟道电流已经下降到 0, v_{ds} 电压上升到

母线电压, 续流二极管也已经开始导通电流, 该阶段的等效电路模态图如图 2.14(e)所示。在该阶段器件 i_{ds} 继续在 L_{loop} 和 C_{oss} 组成的回路中谐振, 电压电流方程分别为(2.53)、(2.54)所示。

$$v_{ds}(t) + R_{loop} \tilde{i}_{ds}(t) + L_{loop} \frac{d\tilde{i}_{ds}(t)}{dt} = V_{bus} \quad (2.53)$$

$$\tilde{i}_{ds}(t) = i_{ds}(t) = C_{oss} \frac{dv_{ds}(t)}{dt} \quad (2.54)$$

其中 R_{loop} 为功率回路中谐振阻尼。将(2.54)代入(2.53)并进行拉普拉斯变换可得(2.55)。

$$(s^2 \tau_a + \tau_b s + \tau_c) I_{ds}(s) = s \tau_a i_{ds}(0) + \tau_a \frac{di_{ds}(0)}{dt} + \tau_b i_{ds}(0) \quad (2.55)$$

$$\tau_a = L_{loop} C_{oss} \quad \tau_b = R_{loop} C_{oss} \quad \tau_c = 1 \quad (2.56)$$

(2.55)与(2.6)相似, 可按照相同的求解过程解得 i_{ds} 电流谐振波形, 相应的 v_{ds} 波形即可通过(2.53)求出。将(2.54)、(2.22)代入(2.43)可得(2.57)。

$$V_{EE} = v_{gs}(t) + R_g C_{iss} \frac{dv_{gs}(t)}{dt} + L_{gate} C_{iss} \frac{d^2 v_{gs}(t)}{dt^2} - \frac{R_g C_{gd}}{C_{oss}} \cdot i_{ds}(t) \quad (2.57)$$

此时 τ_m 、 τ_n 、 τ_o 与(2.7)相同, 和原来求解的 v_{gs} 相比, 此时还多了一项 i_{ds} 的卷积项, 如(2.58)或(2.59)所示。

$$\frac{R_g C_{gd}}{C_{oss}} \int_0^t \frac{1}{\tau_m (s_1 - s_2)} (e^{s_1 \tau} - e^{s_2 \tau}) \cdot i_{ds}(t - \tau) d\tau \quad (2.58)$$

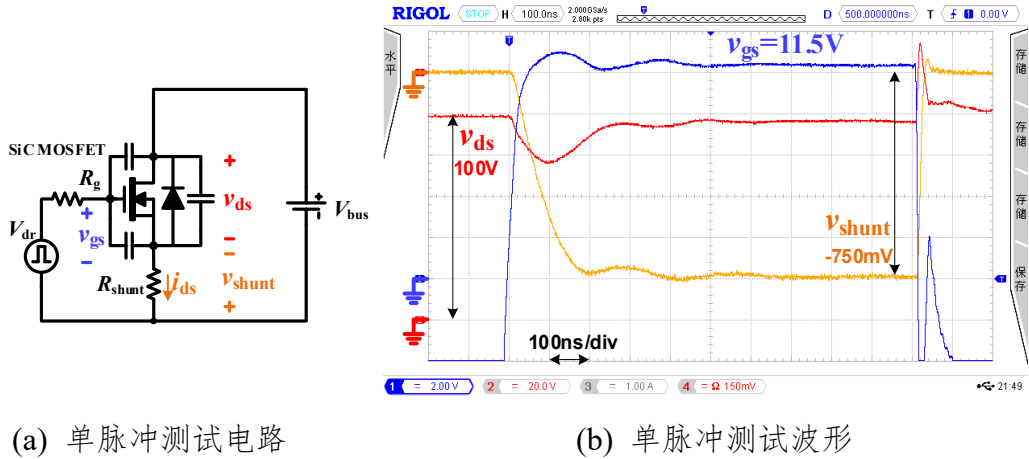
$$\frac{R_g C_{gd}}{C_{oss}} \int_0^t \frac{1}{\tau_m b} e^{-a\tau} \sin b\tau \cdot i_{ds}(t - \tau) d\tau \quad (2.59)$$

该阶段可认为当 v_{gs} 下降到接近 V_{EE} 或者 i_{ds} 谐振幅度减小到某一程度结束。

SiC MOSFET 的关断损耗主要产生在第六和第七阶段, 在负载电流小或者关断速度足够快的情形下, 在第六阶段时 v_{ds} 电压很小时 SiC MOSFET 沟道电流就下降到 0, 此后负载电流只负责给 C_{oss} 和 C_D 充电, 能量储存在结电容上, 实际以热量形式消耗在器件沟道内的能量很小。

2.3 SiC MOSFET 开关损耗模型关键问题

图 2.9(b)的转移特性曲线是在 $V_{ds}=20V$ 的条件下测得的结果, 但在 SiC MOSFET 开通



(a) 单脉冲测试电路

(b) 单脉冲测试波形

图 2.15 SiC MOSFET 转移特性测量

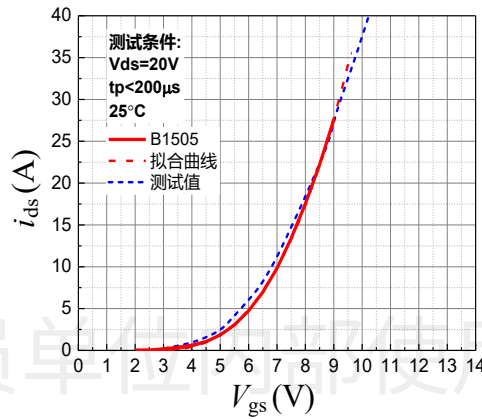
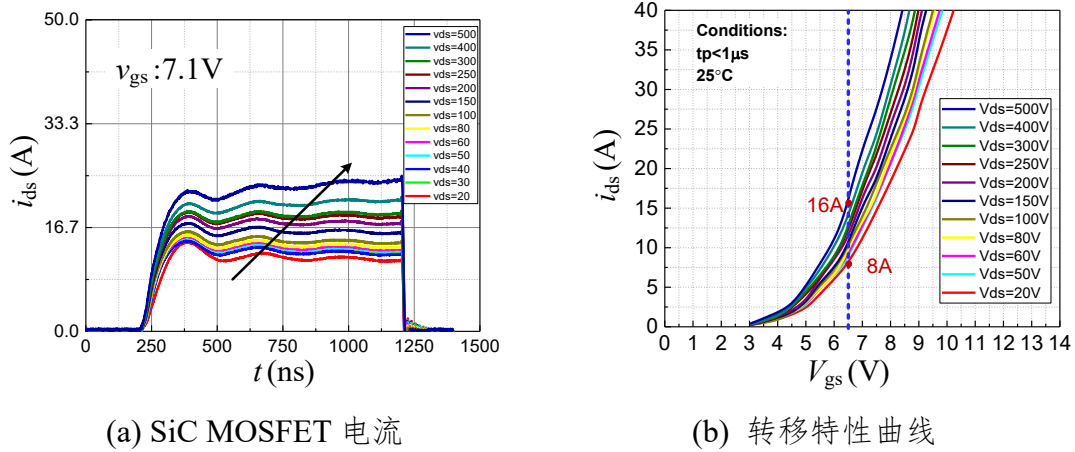


图 2.16 单脉冲测试值结果对比图 (CPM2-1200-0080B)

时, 其 v_{ds} 在阶段二接近 V_{bus} , 远远大于 20V, 直到阶段三才逐渐下降。数据手册上的特性曲线能否准确表征 SiC MOSFET 在开关时的 $v_{gs}-i_{ch}$ 的关系是模型精确与否的关键。

2.3.1 SiC MOSFET 高压转移特性曲线

为验证图 2.9(b)的转移特性曲线是否适用于 SiC MOSFET 开关损耗模型, 可对更高 V_{ds} 下的器件转移特性进行测试。目前半导体功率器件分析仪无法测量大电压大电流时的器件转移特性, 所以需要根据测试原理, 参考测试标准搭建相关电路。如图 2.15(a)为搭建的单脉冲测试电路, 图 2.15(b)为其测试波形。首先, 恒定的母线电压 V_{bus} 加在 SiC MOSFET 漏源之间, 然后单个脉冲电压加在器件栅极, 即 v_{gs} 由负压关断值跳变为高于阈值电压 V_{th} 的某个电压并保持一个脉冲宽度, 利用高精度同轴电阻进行器件电流的测量, 即 v_{shunt} 。在脉冲宽度时间内等待 v_{gs} , v_{ds} 和 v_{shunt} 测试值达到稳定状态, 如图 2.15(b)所示, 读取此时三者的值即为 SiC MOSFET 在给定 v_{ds} 电压条件下, v_{gs} 对应的器件电流大小 ($i_{ds}=v_{shunt}/R_{shunt}$)。图 2.15(b)测量所得即为 SiC MOSFET 在 100V 电压下栅极 $v_{gs}=11.5V$ 时的电流大小

图 2.17 不同 V_{ds} 下的 SiC MOSFET 转移特性曲线

($R_{shunt}=15.013m\Omega$, 所以电流约为 50A)。按照该测试方法, 可得到不同 v_{ds} 电压下器件的转移特性曲线。图 2.16 中虚线为使用图 2.15 中测试方法得到的 SiC MOSFET 在 $V_{ds}=20V$ 时的转移特性测试结果, 对比发现, 该结果和功率分析仪 B1505 测试基本重合, 表明单脉冲测试方法的准确性。

图 2.17(a)为不同 V_{ds} 下 SiC MOSFET 中的电流值大小, 此时 v_{gs} 高电平设定为 7.1V, v_{ds} 电压从低压的 20V 逐渐增大到最大 500V。随着 v_{ds} 电压不断增大, SiC MOSFET 中的导通电流也逐渐增加, 500V 电压下的器件电流是 20V 电压下器件电流的接近 2 倍大小。调整 v_{gs} 高电平的电压值, 从 0 扫描到 10 几伏, 可以得到与图 2.17(a)相似的一系列曲线, 取曲线脉冲最后较为稳定的几百纳秒内的电流平均值作为该 V_{ds} 电压和 V_{gs} 电压条件下的 SiC MOSFET 电流值。将这一系列电流值整理可得到图 2.17(b)中的一簇转移特性曲线, 每条曲线代表了某个 V_{ds} 电压下的 SiC MOSFET 转移特性。这一簇曲线并不重合, 随着 V_{ds} 电压的上升曲线逐渐上扬。图中虚线处 $v_{gs}=6.5V$ 对应的电流显示 $v_{ds}=500V$ 的电流值为 $v_{ds}=20V$ 的电流值的两倍。这说明传统数据手册中的低压转移特性曲线并不能表征高压时的 SiC MOSFET 转移特性, 同样也不能直接代入开关损耗模型中进行计算。

在图 2.15 的单脉冲测试中, SiC MOSFET 在单个脉冲内同时承受高电压以及较大的电流, 瞬间功率极大。为保证测试可靠性, 减小芯片自发热引起的温升带来的误差影响, 单个脉冲的宽度需要越小越好, 但由于测试回路寄生电感的存在, 测试时的器件电流需要经过一段时间才能趋于稳定, 此处选择脉冲宽度为 $1\mu s$ 。图 2.17(a)显示 $1\mu s$ 内器件电流已经趋于稳定, 此时器件自发热引起的温升可通过简单的计算来得到。

图 2.18 为被测 SiC MOSFET 的结-壳热阻测试曲线 (C2M0080120D 为前述 CPM2-1200-0080B 的 TO-247 封装形式), 每条曲线上的数字代表测试的电流脉冲占空比, 其中

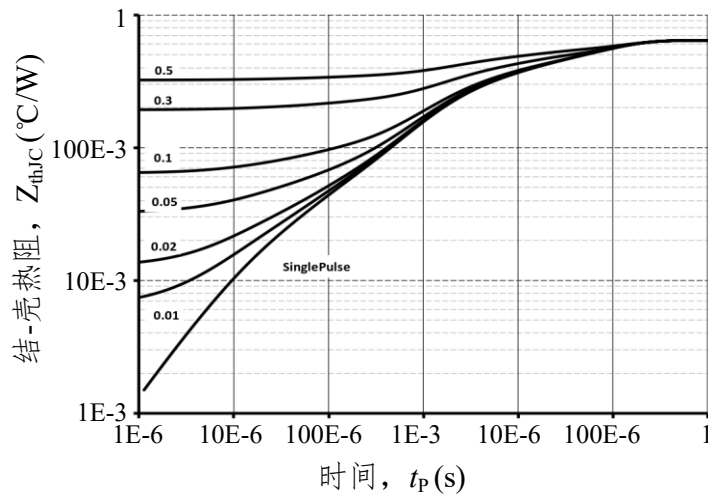
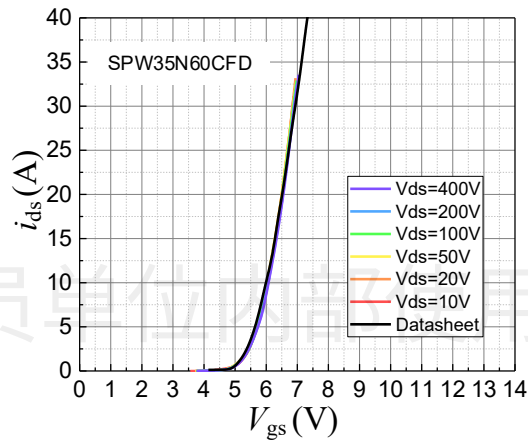
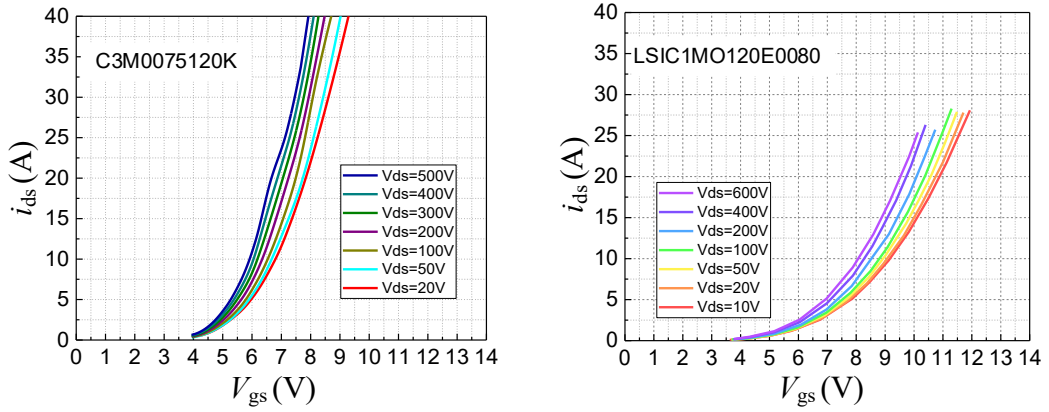


图 2.18 SiC MOSFET 的结-壳热阻测试曲线 (C2M0080120D)

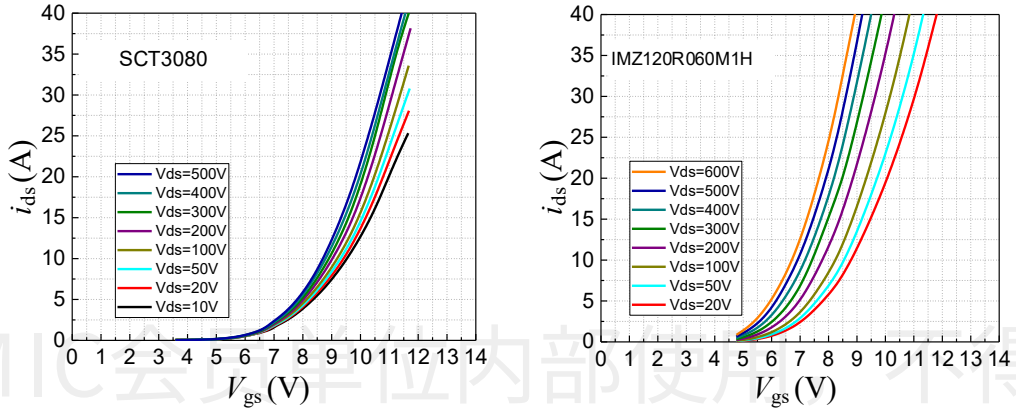
图 2.19 不同 V_{ds} 下的 Si CoolMOS 转移特性曲线 (SPW35N60CFD)

最下面一条为单次脉冲 (Single Pulse, 即占空比为 0) 对应的热阻抗曲线。曲线中单脉冲测试的热阻抗曲线显示其在脉冲宽度 $t_p=1\mu s$ 时的瞬态热阻抗约为 $1.3 \times 10^{-3} \text{ } ^\circ\text{C/W}$ 。图 2.17 中转移特性曲线最大功率测试点为 $500\text{V}/40\text{A}$, 瞬间功率为 20kW , $1\mu s$ 内产生的焦耳热为 0.02J 。只考虑 TO-247 封装内部芯片焊接处的铜基座, 其密度为 8.9g/cm^3 , 比热容为 $0.386\text{J/(g}\cdot^\circ\text{C)}$, 体积约 0.438cm^3 , 经过计算可得其温升小于 0.02°C , 所以可认为在该测试中 SiC MOSFET 外壳温度保持不变。 20kW 的功率乘以此时的瞬态热阻可得此时器件的结温仅为 26°C 。如果考虑器件的工作电流通常小于 25A 的情况, 则 SiC MOSFET 在 $500\text{V}/25\text{A}$ 的最大温升不超过 16°C 。通过这些分析可得单脉冲宽度为 $1\mu s$ 得到的 SiC MOSFET 在高压下的转移特性曲线是比较准确的, 芯片自发热引起的误差可以忽略。

该测试方法同样适用于 Si 基器件的转移特性测量, 如图 2.19 为测量得到的 Si CoolMOS 在不同 V_{ds} 下的转移特性曲线。 V_{ds} 从 10V 一直增加到 400V , 得到所有转移特性曲线与数据手册中提供的 $V_{ds}=20\text{V}$ 的转移特性曲线完全重合, 这说明对于 Si 器件, 其高



(a) Wolfspeed 第三代平面栅 SiC MOSFET (b) Littelfuse 平面栅 SiC MOSFET



(a) Rohm 沟槽栅 SiC MOSFET (b) Infineon 沟槽栅 SiC MOSFET

图 2.20 不同厂商不同栅极结构的 SiC MOSFET 转移特性曲线

压下器件转移特性和低压时相同，所以在对 Si MOSFET 建模时可直接使用手册中提供的低压转移特性曲线进行器件开关波形的预测以及损耗的计算。

本文中测试的 SiC MOSFET 为 Wolfspeed (Cree) 公司生产的平面栅结构器件，目前市场上还有基于沟槽栅结构设计的 SiC MOSFET。图 2.20 给出了使用单脉冲测试方法测量的不同厂商不同栅极结构的 SiC MOSFET 转移特性曲线。(a)和(b)分别为 Wolfspeed 第三代以及 Littelfuse 的平面栅结构 SiC MOSFET，(c)和(d)分别为 Rohm 与 Infineon 的沟槽栅结构 SiC MOSFET，四张图片中显示的测试结果均表明转移特性曲线随着 V_{ds} 电压的上升而上扬，特别是 Infineon 的沟槽栅结构 SiC MOSFET，其表现尤为突出。该现象在目前的 SiC MOSFET 中普遍存在，但在传统 Si MOSFET 中不存在。(2.2)表示器件电流与栅极电压的关系式，对于 Si MOSFET 普遍适用，但对于 SiC MOSFET 则并不准确，此时应表达成(2.60)的形式，即器件电流为同时关于栅极电压 v_{gs} 以及漏极电压 v_{ds} 的函数。

$$i_{ch}(t) = i_{ds}(t) = f(v_{gs}, v_{ds}) \quad (2.60)$$

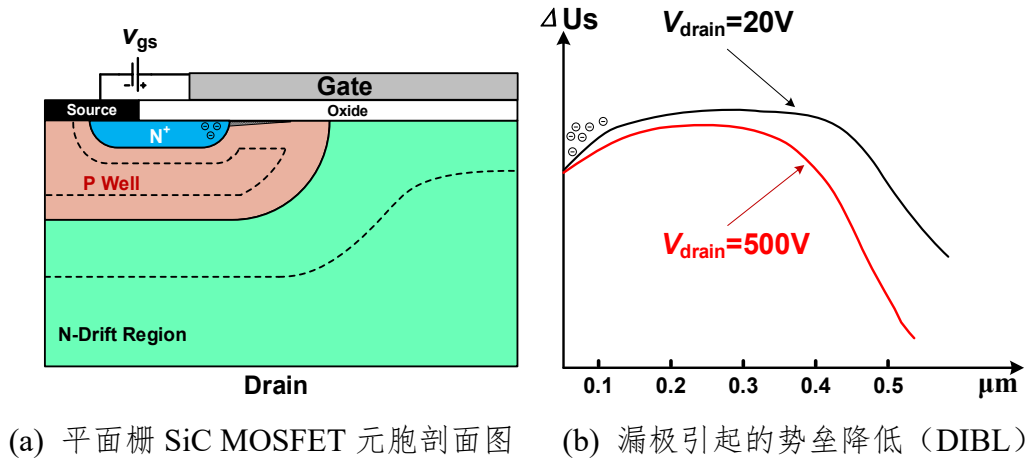


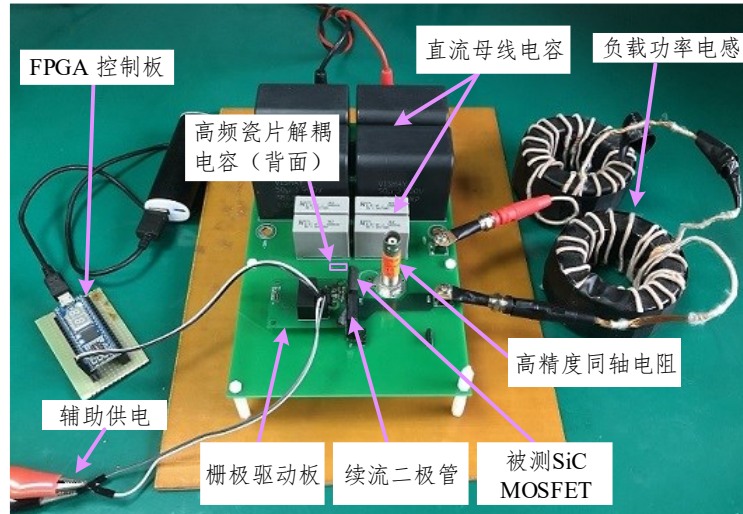
图 2.21 SiC MOSFET 短沟道效应

实际建模时，可先依据器件此时的 v_{ds} 电压给出(2.2)的表达形式再进行模型的计算，即可得出相应波形及损耗值大小。

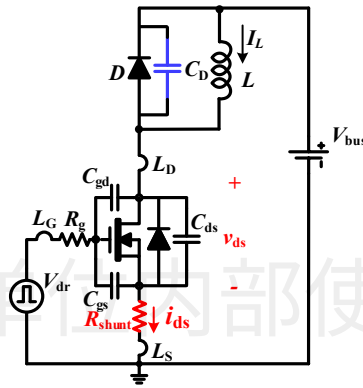
2.3.2 SiC MOSFET 短沟道效应

SiC MOSFET 的高压转移特性现象是一种短沟道效应，是由漏极电压引起的沟道势垒降低 (Drain-Induced Barrier Lowering, DIBL) 的现象^[100]。以平面栅结构 SiC MOSFET 为例进行分析，如图 2.21(a)所示，源极电子需流经沟道到达漏极才能形成电流。但沟道势垒限制了源极电子流入漏极，图 2.21(b)为沿沟道方向从源极到漏极的势垒曲线图，定性给出了漏极电压分别为 20V 和 500V 时沟道势垒曲线。沟道势垒的高低决定单位时间内源极电子能够通过沟道的数量，即器件电流大小。栅极电压能够降低沟道势垒高度，使源极电子更多地越过沟道，即栅极电压越高，势垒越低，电流越大。一般情况下，沟道势垒的高低只与栅极电压大小相关，但当沟道长度变短（如 Wolfspeed 的二代器件只有 $0.5\mu\text{m}$ ），漏极电压升高之后漏极 PN 结耗尽区向源极扩展，达到一定程度之后也会导致沟道势垒有所下降，于是造成了前面所述的高压下 SiC MOSFET 转移特性曲线区别于低压时转移特性曲线的现象。

图 2.20 的实验结果表明 DIBL 现象不仅存在于平面栅结构的 SiC MOSFET 中，也存在于沟槽栅结构的器件中。目前 SiC MOSFET 没有相关测试标准以供参考，所以其数据手册中的测试数据仍然沿用 Si MOSFET 的测试标准^[101]。对于目前 SiC MOSFET 的转移特性，传统 Si MOSFET 的测试标准已经不能完全表现该器件的特性，需在其基础上增加 DIBL 引起的变化，即增加更高 v_{ds} 条件下的转移特性测试曲线，以使用户更加全面地了解器件特性，估算器件损耗，调整设计方案等。



(a) 测试电路实物图



(b) 双脉冲电路电压电流测试原理图

图 2.22 SiC MOSFET 分立器件搭建的双脉冲测试电路

2.3.3 模型结果与实验对比

为验证前述所建开关损耗模型的精确性，可将模型计算得到的波形数据和实验波形进行对比。由于本文设计的 SiC IPM 布局紧凑，目前没有合适的电流测试方法能够精确测量 SiC IPM 内部器件的电流波形，所以为了验证开关损耗模型的精确性，可采用分立元件搭建电路测试并进行波形的对比，如图 2.22(a)所示。为精确测量 SiC MOSFET 的器件电流，高精度同轴电阻 R_{shunt} 被串联在器件的源极，如图 2.22(b)所示。测试电路元件与测试仪器如表 2.2 所示，电路相关参数如表 2.3 所示。

(2.60)过于复杂，在开通阶段三时 v_{ds} 变化较快，可采用分段线性（以 v_{ds} 每下降 20V 为一段）的方法。为简化计算，可将每段初始值 v_{ds0} 代入(2.60)，即可得到在该段 v_{ds} 下降区间的(2.2)形式，再将该转移特性公式分段线性处理得到(2.19)，其中 g_{fs} 由(2.61)得到。

表 2.2 SiC MOSFET 分立器件双脉冲测试电路元件与仪器

	型号规格	参数
SiC MOSFET	C2M0080120D	1200V/80mΩ
SiC Diode	IDW20G120C5B	1200V/20A
同轴电阻	T&M SSDN-015	15.013mΩ
瓷片电容	MLCC	1000V/0.12μF×2
薄膜电容	KEMET	1000V/0.47μF×4
薄膜电容	Vishay	900V/50μF×4
示波器	RIGOL DS4034	350MHz
低压探头	RIGOL RP3500A	350MHz
高压探头	RIGOL RP1300H	300MHz
高压电源	Chroma 62150H-1000	1000V/15A

表 2.3 测试电路参数

参数项	参数值
V_{bus}	800V
$V_{\text{dr}} (V_{\text{EE}} \sim V_{\text{GG}})$	-4~20V
$R_{\text{g}} (R_{\text{g_Int}} + R_{\text{g_Ext}})$	14.6Ω (4.6Ω + 10Ω)
$L_{\text{loop}}, L_{\text{gate}}, L_{\text{S}}$	16.4nH, 28.6nH, 2.8nH
电感 L	148μH

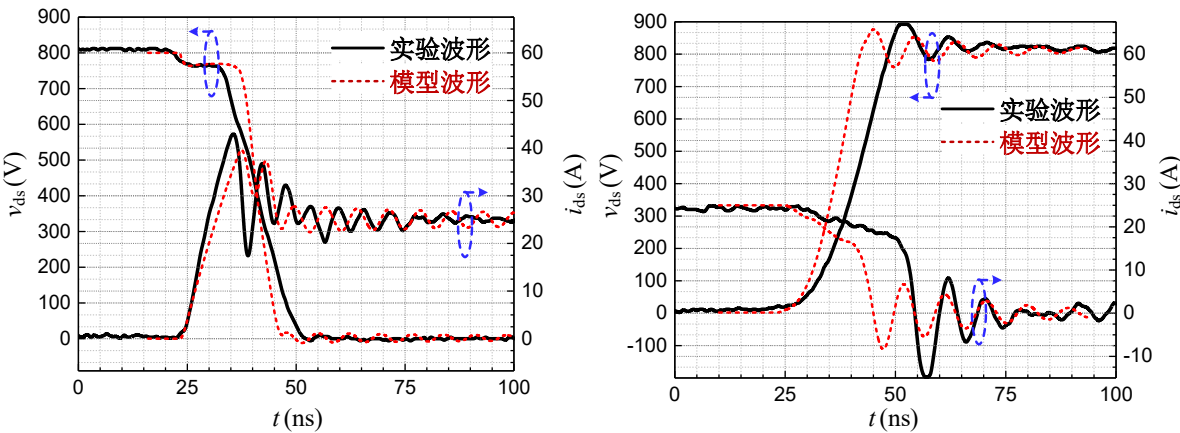
$$g_{\text{fs}} = \frac{f^{-1}(i_{\text{ch}}(0) + \Delta I_{\text{ref}}) - f^{-1}(i_{\text{ch}}(0))}{\Delta I_{\text{ref}}} \quad (2.61)$$

f^{-1} 为(2.2)的反函数, $i_{\text{ch}}(0)$ 为该 v_{ds} 下降阶段的沟道电流初始值, ΔI_{ref} 为参考电流值。当 ΔI_{ref} 趋近于 0 时, g_{fs} 即为该转移特性曲线上该点位置的跨导大小。在本文模型中, 在保证模型精度并尽量减少计算迭代次数的情况下, 可设置 ΔI_{ref} 为 0.1~0.2 倍负载电流 I_{L} 。通过这些分段线性与简化过程即可得到 g_{fs} 代入前述的模型之中求解相应结果。

SiC MOSFET 以及二极管的结电容分段线性结果如表 2.4 所示。由于低压时器件结电容非线性非常显著, 所以低压时分了 0~20V、20~50V 两个区间, 之后一直到 500V 均以 50V 电压为一个区间计算相应的等效电容值, 500~600V 和 600V 以上分别为一个区间, 600V 以上器件电容趋于稳定, 几乎保持不变。图 2.22(a)中的功率电感寄生电容可通过网

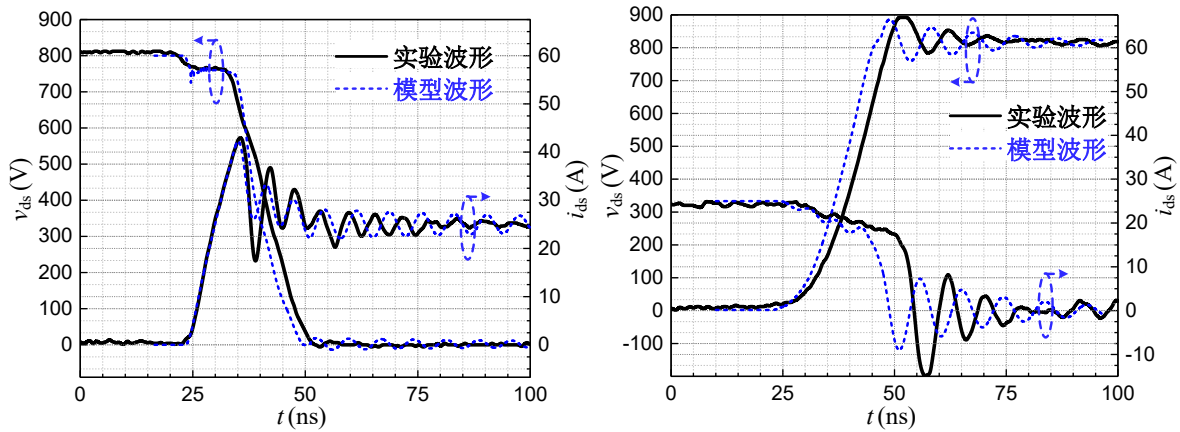
表 2.4 SiC MOSFET 及 SBD 结电容分段线性值

$V_{ds}(V)$ pF	0	20	50	100	150	200	250	300	350	400	450	500	600
C_{iss}	1180	1109	1109	1109	1094	1094	1080	1080	1080	1080	1080	1080	1080
C_{oss}	631.5	300.6	212.4	165.3	141.2	123.3	112.8	104.7	97.4	92.3	87.9	83.9	83.6
C_{rss}	126	24.9	17.7	14.1	12.2	10.7	9.8	9.13	8.6	8.1	7.8	7.6	7.6
C_{diode}	1845	153.6	103.8	103.8	58.4	58.4	58.4	58.4	58.4	58.4	58.4	40.6	40.6



(a) 开通波形对比 (b) 关断波形对比

图 2.23 SiC MOSFET 传统开关损耗模型波形与实验波形对比



(a) 开通波形对比 (b) 关断波形对比

图 2.24 考虑 SiC MOSFET 高压转移特性的模型波形与实验波形对比

络分析仪测量其阻抗特性并得到等效寄生电容大小约为 19pF，该电容和二极管寄生电容共同组成 C_D 。前述的 SiC MOSFET 开关损耗模型可通过数学工具如 MATLAB 编写得到。

图 2.23 为使用 SiC MOSFET 数据手册中转移特性曲线代入开关损耗模型之后得到的波形与实验波形的对比结果。因为没有考虑短沟道效应引起的器件电流的增大，在开通过

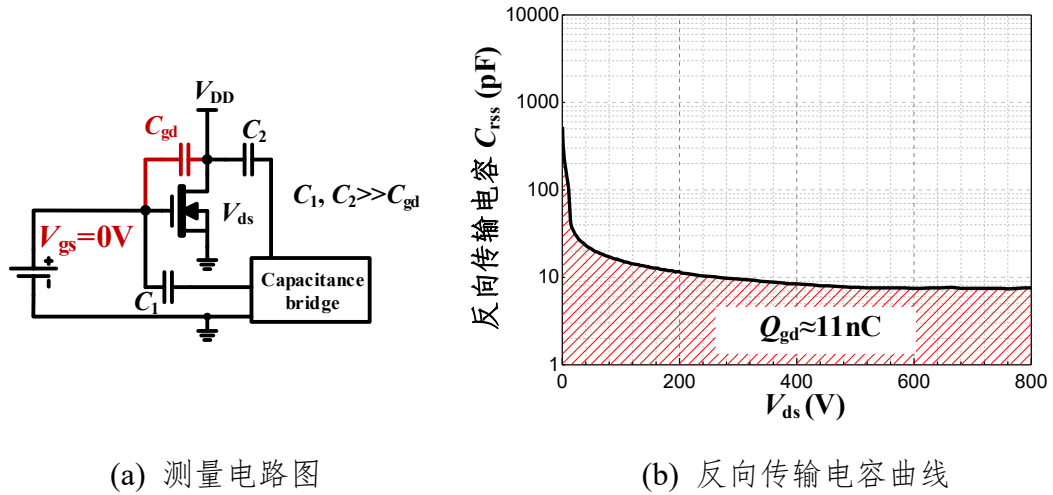


图 2.25 SiC MOSFET 反向传输电容曲线测量 (C2M0080120D)

程中的电流上升阶段,模型的电流上升速度明显小于实验波形。类似的关断过程中,模型的电流下降速度明显大于实验波形,即关断时也没有考虑 v_{ds} 电压上升导致的器件电流增大。图 2.24 为考虑了 SiC MOSFET 高压转移特性的模型波形与实验波形对比图,在开通过程电流上升阶段,模型的电流波形与实验波形完全重合;在关断过程电流初始下降阶段,电流波形与实验波形也十分吻合。对比波形表明前述 SiC MOSFET 高压转移特性的准确描述对于开关损耗模型精确性的影响至关重要。

仔细对比图 2.24 中模型与实验的电压波形变化过程,模型的 v_{ds} 电压波形变化速度明显大于实验波形。根据前述建模分析可知, v_{ds} 电压在开关过程中的变化是由驱动电流流经反向传输电容 C_{rss} (即 C_{gd}) 给其充放电引起的。所以 C_{rss} 的大小和 v_{ds} 电压的变化率密切相关。

2.3.4 SiC MOSFET 动态反向传输电容分析

传统模型以及用户通常使用的 C_{rss} 为图 2.9 所示的数据手册上提供的 C-V 特性曲线。该特性曲线是通过在器件两端施加电压偏置后,利用高频小幅度的交流激励测量电容阻抗特性得到的结果。如图 2.25(a)所示为 C-V 特性曲线的测量电路示意图(以 C_{rss} 测量电路为例), V_{gs} 电压为 0V 保证器件关断,电压偏置 V_{DD} 加在器件漏源两端,阻抗分析仪或者电容测试仪通过大电容 C_1, C_2 隔离高压直流后接到 C_{rss} 电容两端,并输出高频交流(1MHz, 20mV)测试小信号对 C_{rss} 进行测量即可得到该 V_{DD} 电压下的器件结电容。 V_{DD} 电压从 0 一直扫描到所需测试最大值,如 800V 即可得到一组电容值,连接成线即可得到如图 2.25(b)所示的反向传输电容曲线。

在图 2.25(b)中,将 C_{rss} (即 C_{gd}) 曲线对横轴进行积分,可以得到电荷量 Q_{gd} ,约为

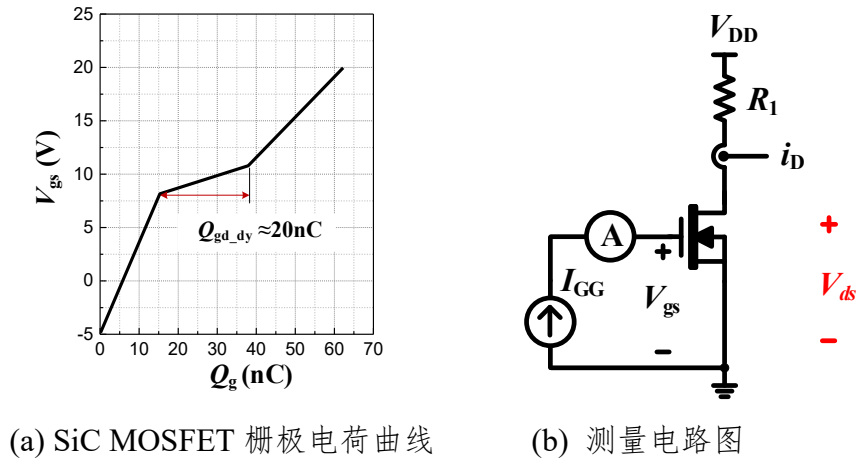


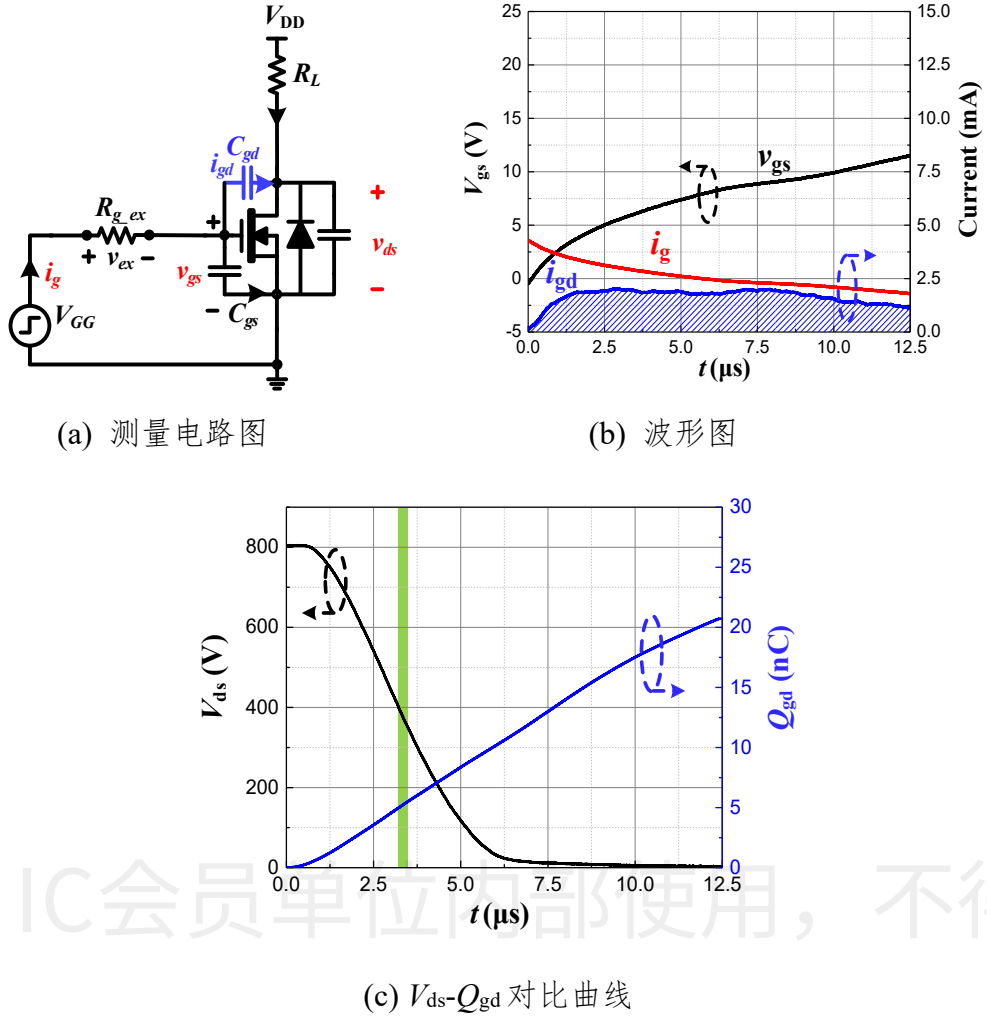
图 2.26 SiC MOSFET 栅极电荷曲线测量 (C2M0080120D)

11nC。如果图 2.25(b)中曲线能够表征 SiC MOSFET 开关过程中的反向传输电容特性, 则 Q_{gd} 即为 SiC MOSFET 在开关过程中 C_{rss} 上的充放电电荷量大小。

事实上, 器件数据手册上通常会给出一个 Q_{gd} 值, 该值是根据图 2.26(a)中的栅极电荷曲线得到的结果。栅极电荷曲线通过图 2.26(b)所示的测量电路测量得到, 测试方法为 V_{DD} (800V) 电压通过电阻 R_1 施加到器件漏源两端, 再用恒流源 (如 100mA) 给器件栅极充电, 测量充电电荷量的大小以及对应的栅极电压变化, 即得到图 2.26(a)中的曲线。曲线分三段式, 其中中间一段为器件器件开通过程, 对应 v_{ds} 电压下降阶段, 该段电荷量定义为 Q_{gd} 。Si MOSFET 中间段很平, 但由于 SiC MOSFET 跨导较小, 随着开始之后器件电流的增加, Q_g 曲线中间段会有一定的上升。考虑到 V_{gs} 电压上升增加的 Q_{gs} , 图 2.26(a)中实际 Q_{gd} 约为 20nC, 由于该电荷量是在 SiC MOSFET 的 v_{ds} 动态变化过程中测得, 所以定义为 Q_{gd_dy} , 该值远大于图 2.25(b)中积分得到的 11nC。

对比图 2.25 和图 2.26 的测量电路, 前者测试时器件始终处于关断状态, 可以认为是一种静态测试的结果, 后者随着 v_{gs} 的上升, 器件由关断逐渐开通, 与器件开关过程类似, 可认为是一种动态测试的结果。两者的区别说明传统器件数据手册中 C-V 曲线不能表征 SiC MOSFET 开关动作时的反向传输电容特性, C-V 曲线中 C_{rss} 值偏小, 代入开关损耗模型之后在相同的栅极电流条件下得到的 v_{ds} 电压变化偏快, 与图 2.24 中对比结果吻合。为使 SiC MOSFET 开关损耗模型得到的结果值更为精确, 需对其动态反向传输电容特性进行测量。

参考栅极电荷曲线测试方法, 搭建如图 2.27(a)所示的测量电路。为简化电路设计, 此处采用电压源串联电阻给 SiC MOSFET 栅极充电, 使其从关断负压一直上升, 负载电阻 R_L 为限流电阻, 设为 33.3Ω (开通后器件电流被限制为 24A)。同时测量电路中 v_{gs} , 外部

图 2.27 SiC MOSFET 动态 Q_{gd} 测量

驱动电阻 R_{g_ex} 两端电压 v_{ex} 以及 v_{ds} 三个电压波形。 v_{ex} 电压除以 R_{g_ex} 即为器件栅极电流 i_g ，再减去流过 C_{gs} 的电流即可得到 i_{gd} 电流，如(2.62)所示。

$$i_{gd} = i_g - C_{gs} \frac{dv_{gs}}{dt} \quad (2.62)$$

在图 2.27(a)的电路中，为提高测量的准确性，减小电流振荡引起的误差等，外加栅极驱动电阻 R_{g_ex} 需要选取比较大的值，如本文中为 $1.5k\Omega$ 。此时栅极驱动电流为 mA 级，加在器件内部栅极寄生电阻 (4.6Ω) 上的电压可以忽略，而且栅极电流变化率极小，在寄生电感上产生的电压也可忽略，所以外部测量得到的 v_{gs} 可认为是加在器件 C_{gs} 两端的真实电压值。图 2.27(b)为测量得到的 v_{gs} , i_g , i_{gd} 波形结果，将 i_{gd} 积分即可得到 Q_{gd} 值，将器件 V_{ds} 和 Q_{gd} 绘制在同一幅图中即可得到图 2.27(c)。在图 2.27(c)中，SiC MOSFET 从 800V 下降到接近 0V，总 Q_{gd} 约为 21nC，该值与图 2.26(a)中的 20nC 十分接近。在图 2.27(c)中，取一小段时间内的电压及电荷变化量进行分析，根据(2.63)即可计算得到所需的动态

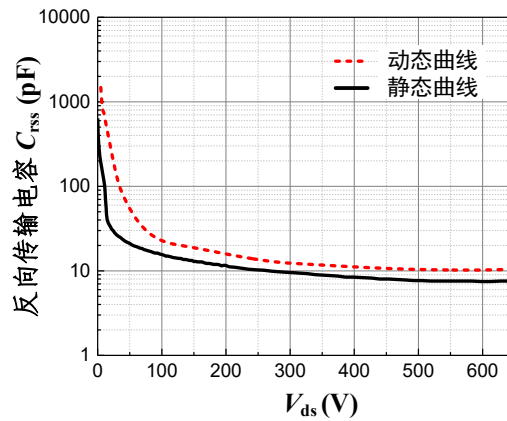


图 2.28 SiC MOSFET 动态与静态反向传输电容曲线对比

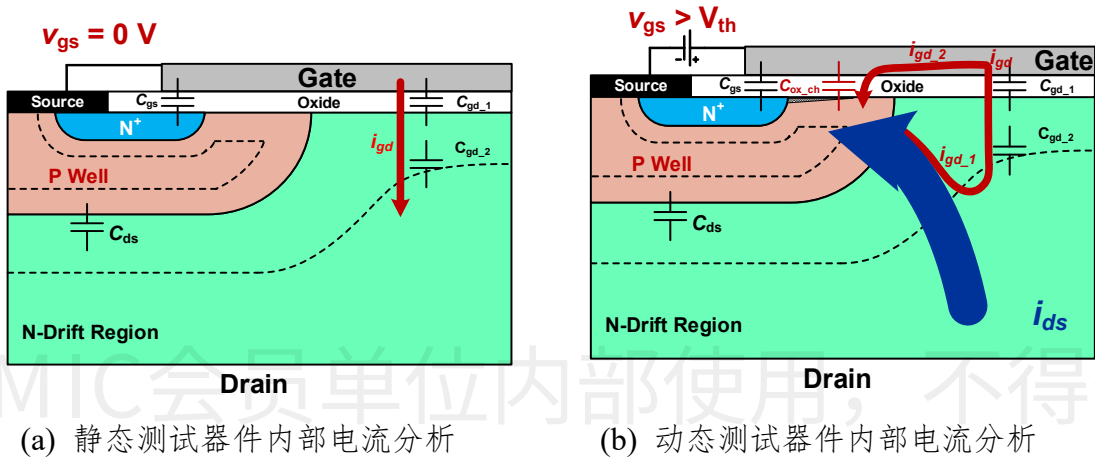


图 2.29 SiC MOSFET 动态与静态反向传输电容差异原因分析

C_{gd} (即 C_{rss}) 值。

$$C_{gd} = \frac{dQ_{gd}}{dV_{ds}} \quad (2.63)$$

图 2.28 为计算得到的 SiC MOSFET 动态反向传输电容与数据手册提供的静态曲线的对比图。测试表明, SiC MOSFET 的动态反向传输电容明显大于通过小信号静态测试方法得到的电容曲线, 如果简单地将静态反向传输电容参数代入 SiC MOSFET 开关损耗模型中, 计算得到的开关波形以及损耗不够精确, 会使得模型结果电压变化速度增大。

本文从器件结构的角度出发简单解释 SiC MOSFET 动态与静态反向传输电容之间的差别。图 2.29 给出了平面栅 SiC MOSFET 的器件结构图, 在静态测试时, 器件处于关断状态, 沟道闭合, 如图 2.29(a)所示。高频测试信号只通过栅氧电容 C_{gd_1} 以及耗尽区电容 C_{gd_2} , 即此时器件反向传输电容只由这两个电容串联组成。但在 SiC MOSFET 开关过程中, 器件沟道处于开通状态, 沟道导通电流如图 2.29(b)中粗箭头所示。此时沟道的栅氧电容 C_{ox_ch} 两端如果存在电位变化, 也会有电流流过, 该电流叠加原来流经 C_{gd_1} 和 C_{gd_2} 的

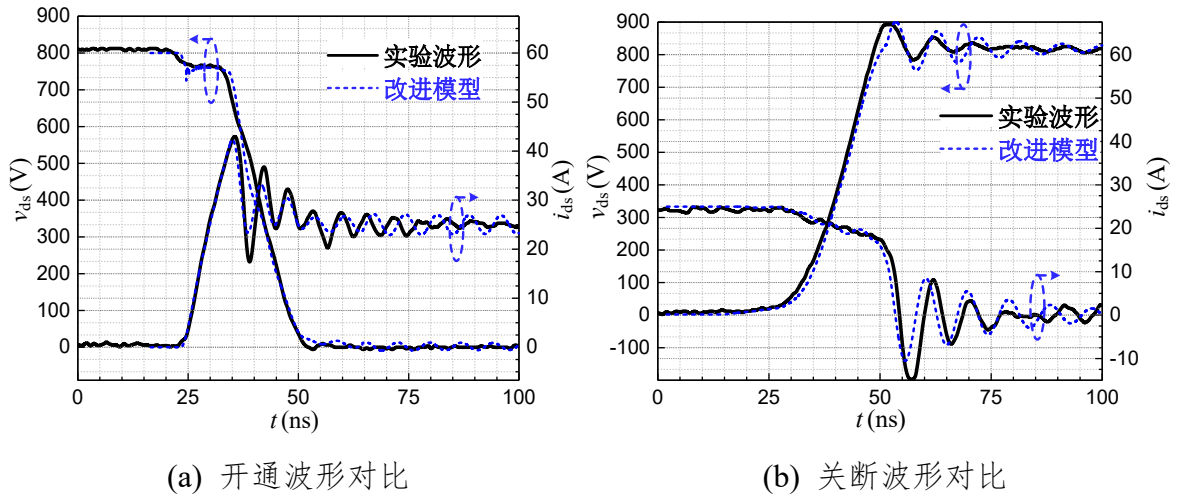


图 2.30 进一步考虑 SiC MOSFET（型号：C2M0080120D）动态反向传输电容的模型波形与实验波形对比

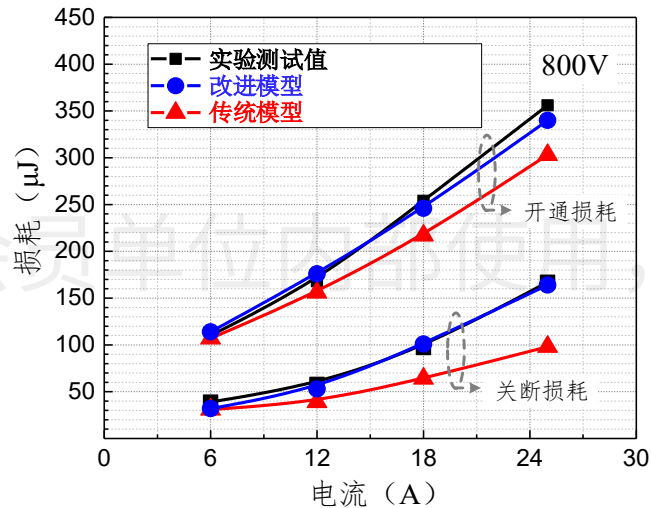


图 2.31 SiC MOSFET（型号：C2M0080120D）开关损耗模型与实验测试损耗值对比

电流才是真实的 i_{gd} 电流。理论上沟道电位更接近源极电位，该电容也可认为是 C_{gs} 电容。本文为简化模型，认为 C_{gs} 电容保持恒定不变，沟道电容的影响统一到 C_{gd} 中进行建模处理，更多更深入的器件结电容参数分析还有待进一步研究论证。

2.3.5 考虑动态反向传输电容特性的开关损耗模型结果对比

将同时考虑了 SiC MOSFET 高压时转移特性以及动态反向传输电容后所建模型的结果和实验波形进行对比，如图 2.30 所示。在器件开通和关断过程中，不论是电流变化阶段还是电压变化阶段，改进后的模型结果和实验波形都十分吻合。

开关损耗模型得到的损耗值与实验测试得到的损耗值对比如图 2.31 所示。其中黑色方点数据为实验测试结果，蓝色圆点为考虑了 SiC MOSFET 高压转移特性与动态反向传

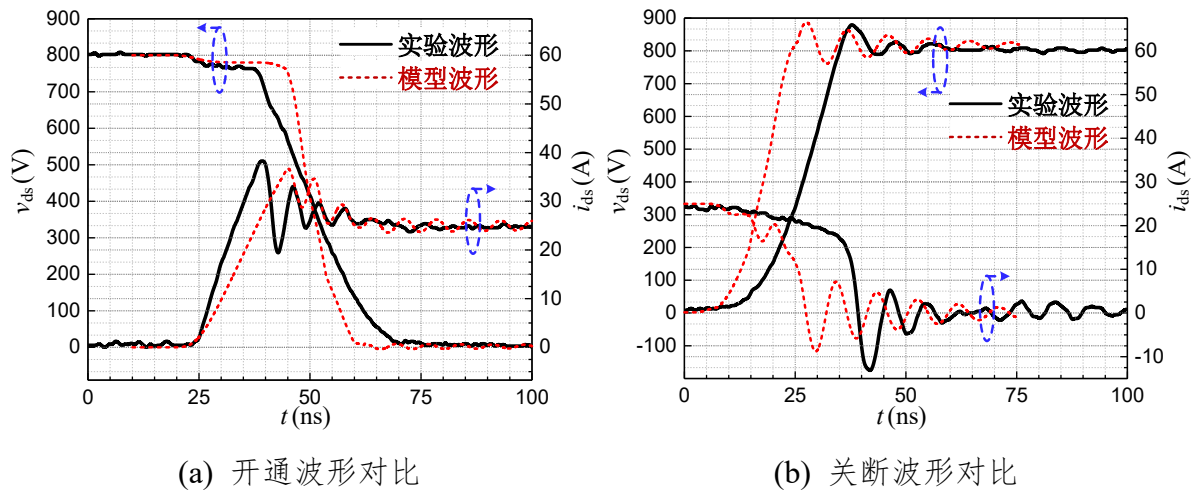


图 2.32 传统开关损耗模型波形与实验波形对比 (型号: LSIC1MO120E0080)

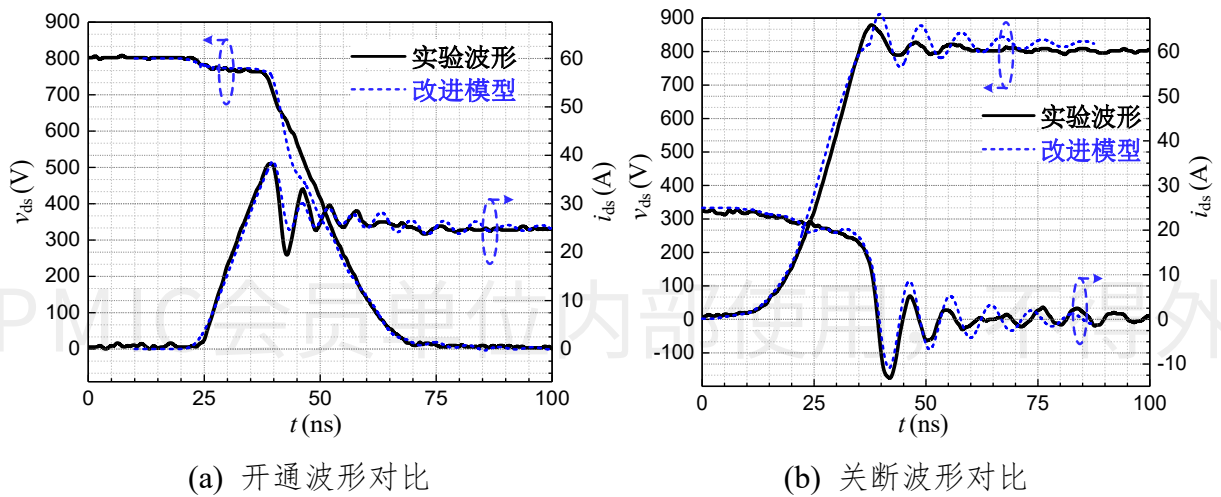


图 2.33 考虑高压转移特性的模型波形与实验波形对比 (型号: LSIC1MO120E0080)

输电容之后的改进模型计算得到的损耗值, 红色三角符号数据为不考虑前述 SiC MOSFET 特性的传统模型计算得到的损耗值。总体上, 改进后的模型结果计算得到的开通损耗、关断损耗值均与实验结果十分重合, 误差均在 5% 以内。对于传统模型结果, 在电流较小时, 模型结果与实验结果相差不大, 随着电流增大, 两者之间的差距逐渐增加, 误差达 10% 以上。特别是关断损耗, 传统模型误差可以达到 30%~40%。零电压开通 (ZVS) 的条件下的 SiC MOSFET 只有关断损耗, 此时如果不考虑 SiC MOSFET 的这两个特性, 采用传统模型计算开关损耗, 30%~40% 的误差将对整个系统的设计带来较大影响。

如前所述, SiC MOSFET 的高压转移特性以及动态反向传输电容特性在 SiC MOSFET 器件中是普遍存在的。除针对表 2.2 中的 SiC MOSFET 进行分析, 本文还选取了 Littelfuse 公司的一款 SiC MOSFET (LSIC1MO120E0080) 进行研究, 其转移特性曲线如图 2.20(b) 中所示。图 2.32 为不考虑其高压转移特性以及动态反向传输电容的传统模型计算得到的

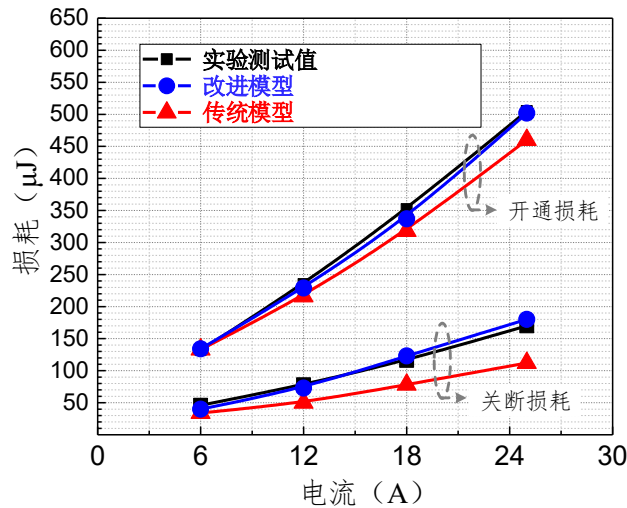


图 2.34 SiC MOSFET (型号: LSIC1MO120E0080) 开关损耗模型与实验测试损耗值对比

波形与实验波形对比, 传统模型的结果在开关过程中, 电压电流变化阶段均与实验波形严重偏离, 图 2.33 为考虑了高压转移特性以及动态反向传输电容的改进模型计算得到的波形与实验波形对比, 在器件电压电流变化阶段, 模型结果与实验结果均十分吻合。开关损耗模型得到的损耗值与实验测试得到的损耗值对比如图 2.34 所示。其中黑色方点数据为实验测试结果, 蓝色圆点为考虑了 SiC MOSFET 高压转移特性与动态反向传输电容之后的改进模型计算得到的损耗值, 红色三角符号数据为不考虑前述 SiC MOSFET 特性的传统模型计算得到的损耗值。总体上, 改进后的模型结果计算得到的开通损耗、关断损耗值均与实验结果十分重合, 误差在 10% 以内。对于传统模型结果, 在电流较小时, 模型结果与实验结果相差不大, 但这只能算作一种巧合, 其波形仍然存在较大差异; 随着电流增大, 两者之间的差距逐渐增加, 误差达 10% 以上。特别是关断损耗, 传统模型误差可以达到 20%~30%。

2.4 本章小结

本章针对 SiC MOSFET IPM 布局紧凑, 器件开关损耗评估困难的问题, 建立了基于器件外特性参数与电路参数的数学解析模型。

建模过程中, 针对 SiC MOSFET 不同漏源电压下的转移特性曲线进行了测量。测试结果表明, 有别于传统 Si MOSFET, 目前来自不同厂商以及采用不同栅极结构的 SiC MOSFET 在高压下的转移特性曲线明显高于低压时的特性曲线。此外, 还测量了动态开关过程中的器件反向传输电容值, 结果表明该动态电容值显著大于器件手册中的静态电容值。本章结合器件结构以及测试条件对这两个现象进行了解释并指出了现有 SiC MOSFET 数

据手册中测量参数的不足。采用传统器件手册中低压转移特性与静态反向传输电容特性的建模结果与实验结果对比，电流变化偏慢而电压变化偏快。考虑了漏源电压影响下的转移特性以及动态反向传输电容特性的改进模型结果与实验结果对比，电流以及电压变化的波形均能够极好地吻合。

在损耗评估方面，考虑了 SiC MOSFET 高漏源电压影响下的转移特性与动态反向传输电容特性的改进模型，其预测值与实验结果对比，误差均在 5%以内，远好于传统模型的 10%（甚至 30%~40%）的误差。

仅限PMIC会员单位内部使用，不得外传

第三章 SiC IPM 驱动输入端干扰分析

SiC IPM 布局紧凑，寄生电感参数极小，可保证器件的快速开关动作，但 SiC IPM 高速开关时产生的 dv/dt 造成了模块内部恶劣的电磁环境。在 SiC IPM 中，驱动芯片信号输入端为小信号，轻微的电压干扰就易导致模块工作异常。功率芯片与驱动芯片共用 DBC 板，DBC 板上下铜层之间存在寄生电容，所以 SiC MOSFET 高速开关过程产生的 dv/dt 可通过寄生电容耦合到驱动芯片输入端。当该干扰信号大到一定程度时，SiC IPM 控制信号将受到干扰，影响其正常工作。

本章对由功率器件开关引起的驱动芯片输入端干扰问题进行了详细的分析，提取了驱动芯片输入端回路参数与 DBC 板寄生电容参数进行建模，明确了造成驱动干扰问题的关键因素。在建模分析的基础上，进一步讨论了所有可能存在的干扰问题及其相关影响，最严重的情况会导致模块的桥臂上下管直通，造成严重的可靠性问题。为抑制该干扰问题，根据驱动回路干扰模型进行了分析，对比了可采用的抑制方法及其效果。

3.1 SiC IPM 干扰现象

如图 3.1(a)为 SiC IPM 与 TO-247-3 封装的对比图，集成了驱动芯片和瓷片电容的 SiC IPM 大小与单颗分立器件大小相近。该 SiC IPM 集成的驱动芯片为非隔离型，其封装 SOT-23 大小仅为 $3 \times 3 \text{ mm}^2$ ，是目前可找到的满足 SiC MOSFET 驱动要求的最小封装驱动芯片。图 3.1(b)为 SiC IPM 的等效电路图。为实现模块的正常开关工作，需为驱动芯片提供隔离供电并对驱动信号进行隔离，在本文设计中均采用外置的方式实现。外置电路电路图如图 3.2 所示，信号隔离采用数字芯片 Si8233 实现。驱动芯片供电采用金升阳的隔离电源模块



图 3.1 SiC MOSFET IPM 实物对比图与等效电路图

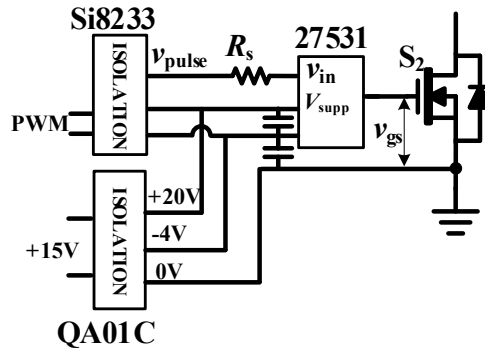


图 3.2 SiC MOSFET IPM 供电与信号隔离

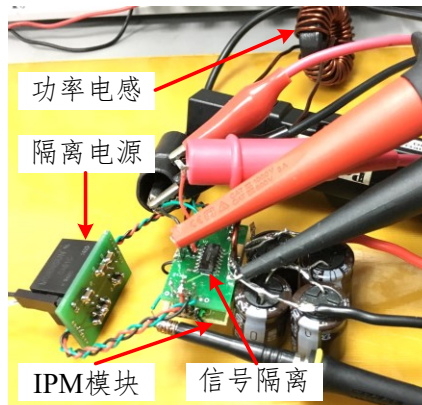


图 3.3 SiC IPM 双脉冲测试实物图

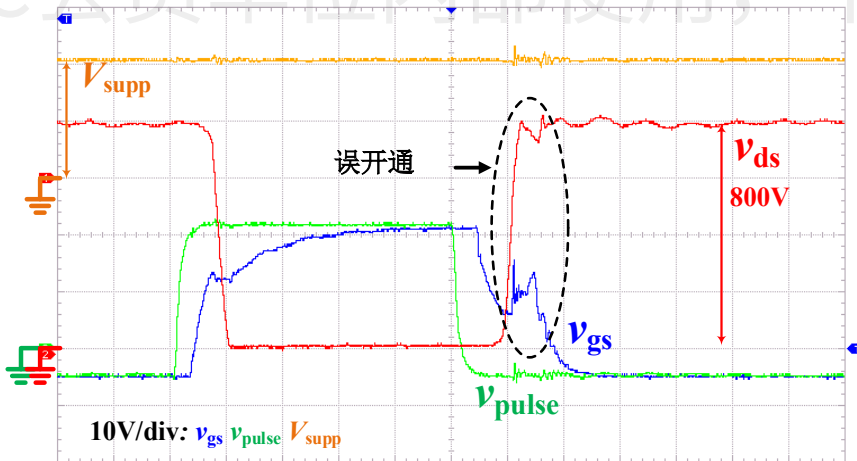


图 3.4 SiC IPM 双脉冲测试波形图（误开通现象）

QA01C，其输入 15V，输出电压为三端结构（+20V/0V/-4V），其中-4V~20V 给数字隔离芯片输出端以及 IPM 中驱动芯片供电，0V 电压直接连接 SiC MOSFET 源极，驱动芯片 UCC27531 输出在-4V~20V 变化，如此即可实现 v_{gs} 的负压关断以及开通，确保 SiC MOSFET 工作的可靠性。为保证供电的稳定，在 IPM 内部集成了驱动供电稳压电容。桥臂上、下管芯片均采用该信号隔离与供电隔离方案。

首先，对 SiC IPM 下管芯片进行了双脉冲测试以验证开关性能，测试电路实物图如图

3.3 所示。从开关波形可以看出，得益于 IPM 的低寄生电感参数，器件的 v_{gs} 和 v_{ds} 波形均没有大幅的振荡现象。但在测试过程中，当器件开关速度达到一定程度时，出了下管芯片误开通的现象，如图 3.4 中虚线框里 v_{gs} 和 v_{ds} 波形所示。误开通严重时 v_{ds} 甚至会完全下降到 0，然后 v_{gs} 再次关断导致 v_{ds} 上升，形成往复的开通关断现象，严重影响电路的正常工作。

3.2 SiC IPM 干扰分析

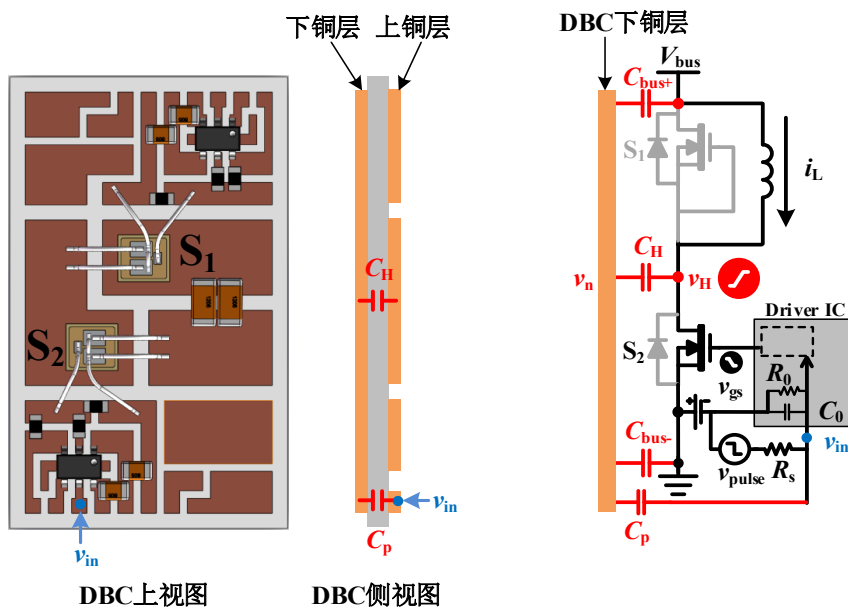
如图 3.4 中所示，除去 v_{gs} 与 v_{ds} ，实验中还测量了驱动芯片的供电电压 V_{supp} 与信号隔离芯片输出电压 v_{pulse} 。 V_{supp} 与 v_{pulse} 虽然在关断过程中有轻微的波动，但不足以导致器件误开通。根据图 3.2 分析可得，干扰问题发生在 V_{pulse} 信号之后，即在 SiC IPM 内部。

关断过程由下管栅极信号控制，而此时上管保持在关断状态，不存在桥臂上管开关引起下管误动作的串扰问题^[102]，所以驱动干扰信号的出现应该是驱动芯片输入端信号 v_{in} 受到干扰，导致驱动芯片输出由关断的低电平突然跳变为高电平，出现了器件误开通现象。

3.2.1 驱动回路分析

由于 SiC IPM 内部驱动芯片与功率芯片位于同一 DBC 板上，所以关断时刻产生的 dv/dt 会通过 DBC 上下层之间的寄生结电容耦合到驱动芯片输入端，进而产生干扰信号。

如图 3.5(a)为 DBC 板上下表面铜层之间寄生电容示意图，上铜层用于电路走线布局，



(a) DBC 板层间电容示意图

(b) 驱动回路分析

图 3.5 SiC IPM 内部 DBC 寄生电容及驱动回路分析

下铜层为整块铜金属层，可通过焊接连到金属基板或散热器。上层金属走线与下层金属之间存在寄生电容，如图 3.5(a)所示，图中给出了桥臂中点以及驱动芯片输入端的寄生电容 C_H 和 C_p 的示意。此外正母线、负母线处也存在寄生电容 C_{bus+} 和 C_{bus-} ，如图 3.5(b)所示。图 3.5(b)给出了 IPM 驱动芯片输入端回路电路图，其中 v_{pulse} 为信号隔离芯片输出信号， R_s 为驱动芯片输入端输入电阻， R_0 和 C_0 分别为驱动芯片内部输入引脚处下拉电阻和输入电容。 C_0 电容典型值约为 20pF，而一般示波器探头电容约为 10~20 pF，直接测试 v_{in} 会影响真实信号，所以图 3.4 没有直接测量 v_{in} 的波形。同理，后续测试为避免直接测量对 v_{in} 的影响，采用观察 v_{gs} 波形以判断干扰现象是否产生。如图 3.5(b)所示，桥臂中点电位变化可通过电容 C_H 和 C_p 耦合到驱动芯片输入端。为分析该干扰问题的产生机理及其影响的严重程度，本文通过建立回路干扰模型进行定量分析。

3.2.2 驱动芯片输入端回路干扰模型

DBC 板层间电容可通过 Ansys Q3D 仿真软件提取。如图 3.6 所示，图中上表面铜层走线与下铜层之间的主要寄生电容值均标注在图上，单位为 pF，同层走线之间的寄生电容极小，在此忽略不计。假设 SiC IPM 实际使用过程中，DBC 下铜层电位浮动（即不接地），下管关断时，桥臂中点电位 v_H 正向跳变，由于寄生电容的存在， v_H 正向跳变会引起下铜层电位 v_n 正向跳变。将驱动芯片输入端回路提取可得到如图 3.7(a)中的等效电路图。干扰

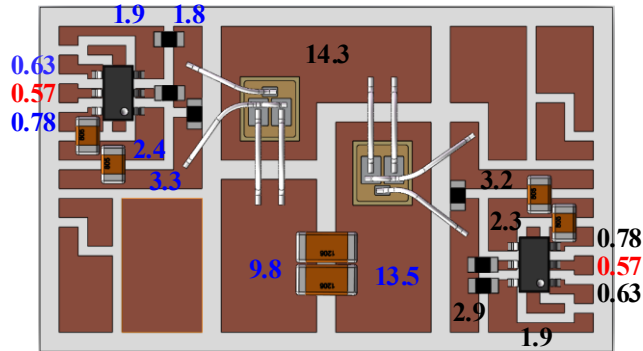


图 3.6 DBC 板层间寄生电容

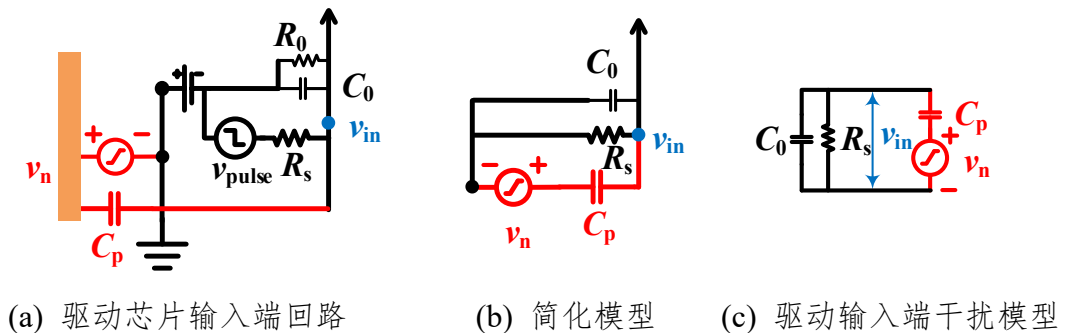


图 3.7 驱动芯片输入端回路干扰模型

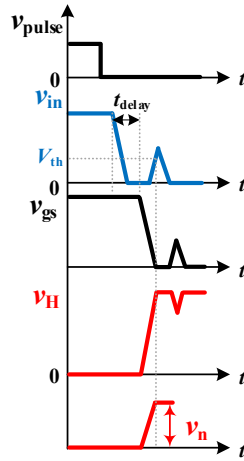
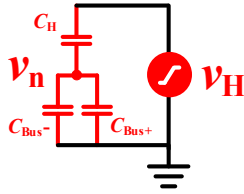


图 3.8 IPM 驱动输入端干扰波形示意图

图 3.9 DBC 下铜层电压 v_n 与桥臂中点电压 v_H 变化关系

产生的瞬间电压源相当于短路, R_0 电阻为驱动芯片输入端下拉电阻, 阻值为 $230\text{ k}\Omega$, 在干扰产生的瞬间相当于开路, 根据图 3.4 可知信号隔离输出 v_{pulse} 关断后电压稳定, 即始终拉低, 所以在此瞬间也相当于短路, 如此即可得到图 3.7(b)所示的干扰瞬间简化模型。将图 3.7(b)重新整理后得到图 3.7(c)的驱动输入端干扰等效模型。

由图 3.6 可知, C_p 为 0.57 pF , 远小于 C_0 (20 pF), 所以 v_n 一般会有几百伏的跳变, 而 v_{in} 只有几伏的干扰。即可认为 C_p 上的电压变化与 v_n 大小相同, 方向相反, 此时 C_p 上产生的干扰电流可表示为 $C_p \cdot dv_n/dt$ 。进一步可得到 v_{in} 干扰电压的表达式如(3.1)所示, 其中 σ 表示 dv_n/dt 。

$$v_{\text{in}} = C_p \cdot \sigma \cdot R_s (1 - e^{-t/R_s C_0}) \quad (3.1)$$

整个驱动干扰现象产生的过程可简单地由图 3.8 表示。当关断信号 v_{pulse} 产生后, 驱动芯片输入端电压 v_{in} 下降, 经过一定的延时 t_{delay} 驱动芯片输出端产生关断信号使 v_{gs} 电压下降, 关断 SiC MOSFET, v_{ds} (即 v_H) 电压上升, 引起 v_n 电压上升, 在 v_{in} 处产生正向的干扰电压信号, 一旦该干扰电压达到驱动芯片输入端开启阈值电压, 驱动芯片输出即会产生一个高电平的开通信号, 导致器件误开通。

在实际测试过程中, v_n 相关的寄生电容仅有几十 pF , 与示波器探头电容值相近, 难以直接测量。而 v_n 是由 v_H 引起的, 可通过测量 v_H 来评估干扰电压信号的大小及影响。

在干扰发生时, v_n 和 v_H 的瞬态变化关系可表示成如图 3.9 所示的等效电路, 即 v_H 的瞬态变化经过寄生电容串并联分压之后产生 v_n 。寄生电容主要可分为 C_H 、 C_{bus+} 、 C_{bus-} 三大类, 其中 C_{bus+} 、 C_{bus-} 的一端分别为正、负母线。正、负母线电压在瞬态变化时保持恒定, 等效于短路, 在图 3.9 可短接在一起。 σ 可表示成(3.2), 其中 λ 为 $C_H/(C_H+C_{bus+}+C_{bus-})$, σ' 表示 dv_H/dt 。

$$\sigma = \frac{dv_n}{dt} = \lambda \cdot \frac{dv_H}{dt} = \lambda \cdot \sigma' \quad (3.2)$$

从图 3.6 的寄生电容仿真结果可得, C_{bus+} 为 13.5pF, 与负母线电位关联总的 C_{bus-} 为图中蓝色数值所示, 总值为 20.61pF, 同理, C_H 为 26.01pF。所以 λ 等于 0.4326。 σ' 在开关过程中基本保持不变, 则(3.1)中 v_{in} 随时间增加而增大, 所以当 v_{ds} 电压变化到最大电压 v_{H_max} 时 v_{in} 有 v_{in_max} , 如(3.3)所示。

$$v_{in_max} = C_p \cdot \lambda \cdot \sigma' \cdot R_s (1 - e^{-v_{H_max}/(\sigma' \cdot R_s \cdot C_0)}) \quad (3.3)$$

(3.3)显示最大干扰电压 v_{in_max} 与 SiC MOSFET 电压变化速度相关, 在该式中, C_p 、 λ 、 C_0 均已知, R_s 根据驱动芯片要求选取为 150Ω 。于是, 可得到 800V 母线电压时 v_{in_max} 与 σ' 的关系曲线如图 3.10 所示。从图 3.10 可知, v_{in_max} 随着器件开关时 v_{ds} 电压变化率 σ' 的增大逐渐增大, 而驱动芯片输入端的开启阈值电压在 1.8V~2.2V 之间, 一旦 v_{in_max} 超过 1.8V, 即会导致器件误开通, 此时对应的 v_{ds} 电压变化率 σ' 约为 50V/ns。

SiC MOSFET 关断时的 v_{ds} 电压变化率 σ' 不仅与栅极驱动电流有关, 而且与负载电流 i_L 也有一定关系, 通过简单地改变 i_L 大小得到不同 σ' 下的关断波形。如图 3.11 为不同 σ' 时的关断波形, $P_1 \sim P_6$ 分别对应图 3.10 中的不同 σ' 点。图 3.11(a)~(c) 中 σ' 小于 50V/ns 时均没有出现 v_{gs} 误开通的干扰波形, 而图 3.11(d)~(f) 中 σ' 大于等于 50V/ns 时 v_{gs} 开始出

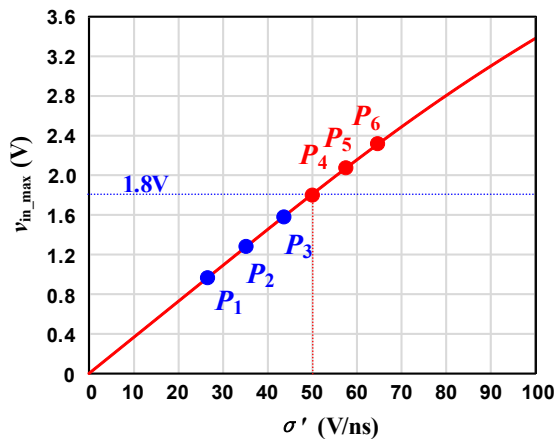
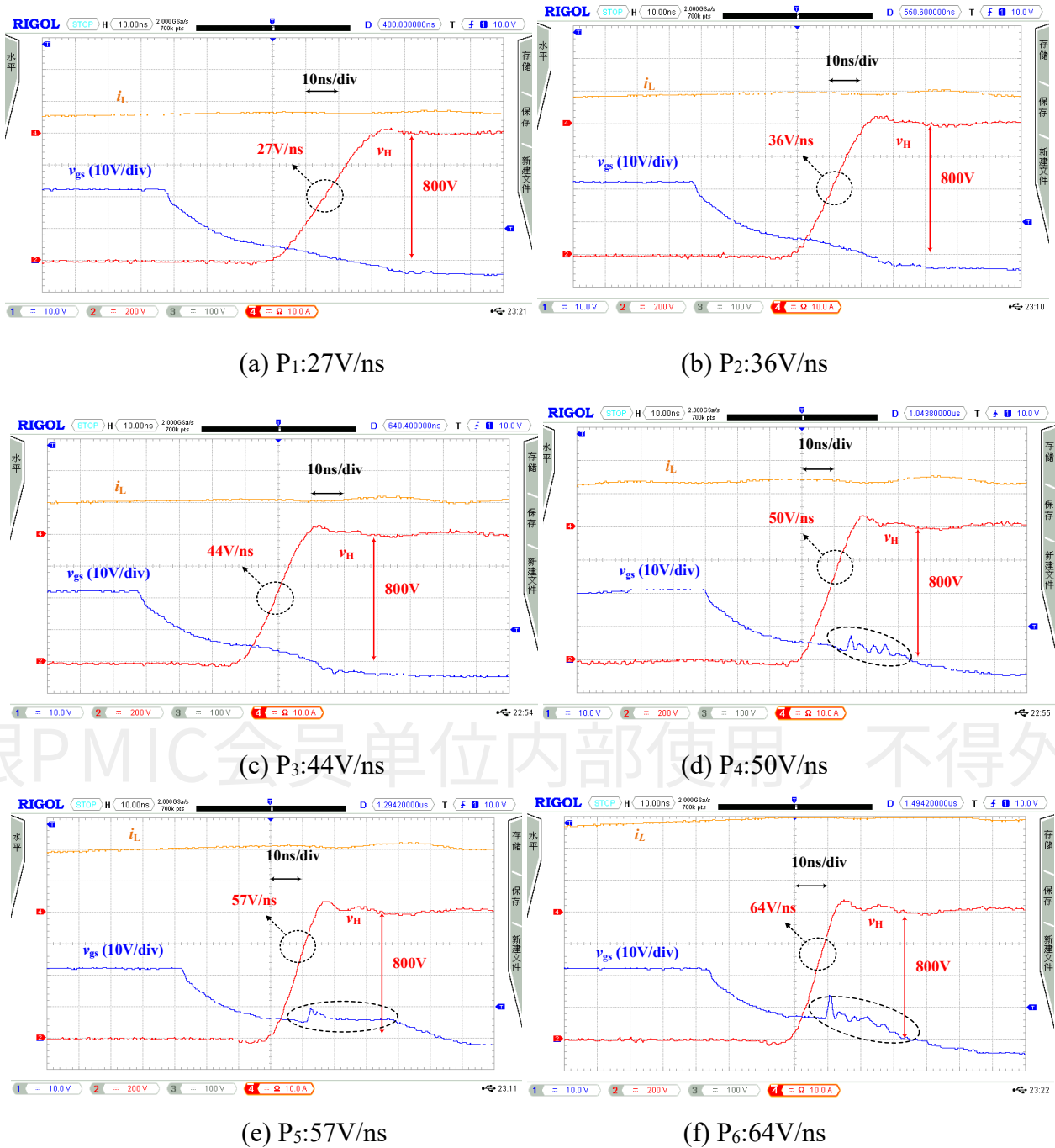


图 3.10 驱动芯片输入端干扰电压最大值与 v_{ds} 电压变化率关系曲线

图 3.11 不同 v_{ds} 变化率时驱动干扰情况波形

现误开通的现象，而且随着 σ' 的增大，干扰现象越加明显。图 3.11 的实验波形验证了前述干扰模型的准确性，在实际 SiC IPM 设计中可作为初步参考以防止误开关动作的产生。

上述分析均针对下管关断时在下管驱动芯片输入端产生的干扰现象进行分析，该干扰的影响直接体现在下管关断之后发生误开通的现象。类似的，下管关断时桥臂中点电位 v_H 的变化同样会在上管驱动芯片输入端产生相应的干扰问题。如图 3.12 为桥臂上管驱动芯片输入端回路的干扰信号模型，经过相同的简化处理可得到图 3.12(c)的干扰模型，与图

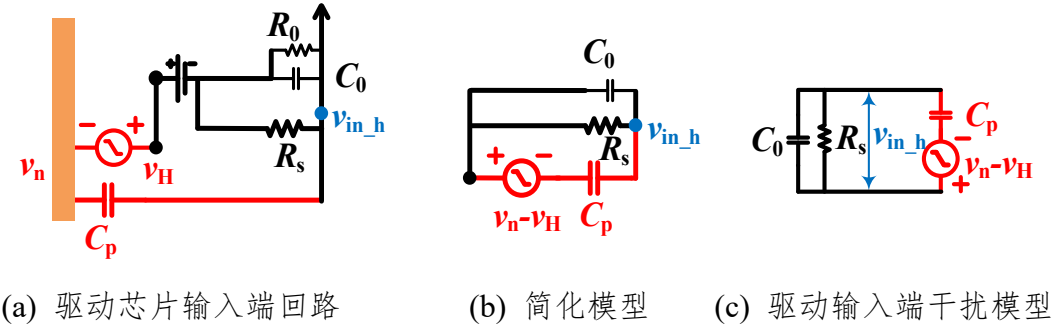


图 3.12 上管驱动芯片输入端回路干扰模型

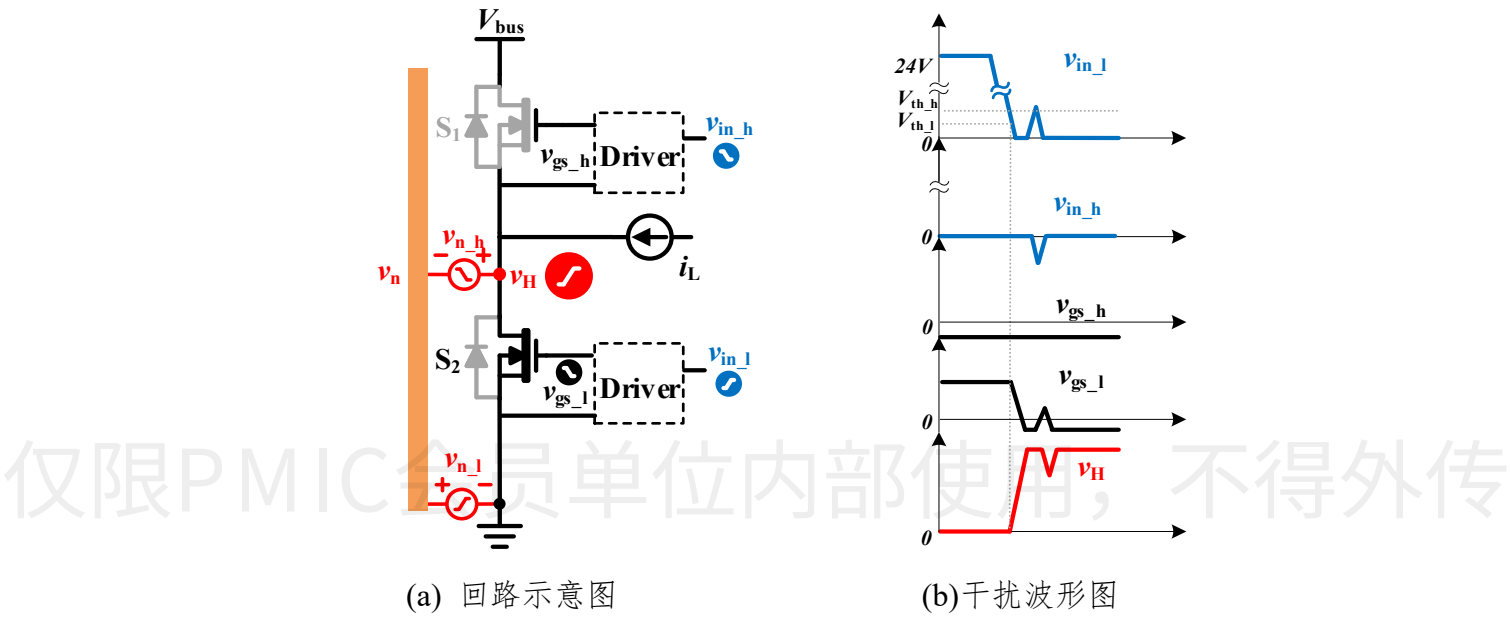


图 3.13 桥臂中点正向跳变时驱动芯片输入端干扰示意图

表 3.1 桥臂中点电位变化对驱动芯片输入端干扰影响

v_H 变化	上管驱动芯片输入端干扰	下管驱动芯片输入端干扰

3.7(c)中下管的驱动输入端干扰信号模型相同，只是此时的干扰源电压为 v_n-v_H ，在上管驱动芯片信号输入端会产生负向的干扰电压信号。此时上管处于关断状态，产生的负压干扰不会改变电路的工作状态，但需要注意的是驱动芯片输入端有负压耐受极限（该芯片为-6.5V），一旦负向干扰超过该值，易导致驱动芯片输入端损坏，影响电路工作。

综上，可总结如下：电路初始状态如图 3.13(a)所示，负载电流 i_L 流入桥臂中点，下

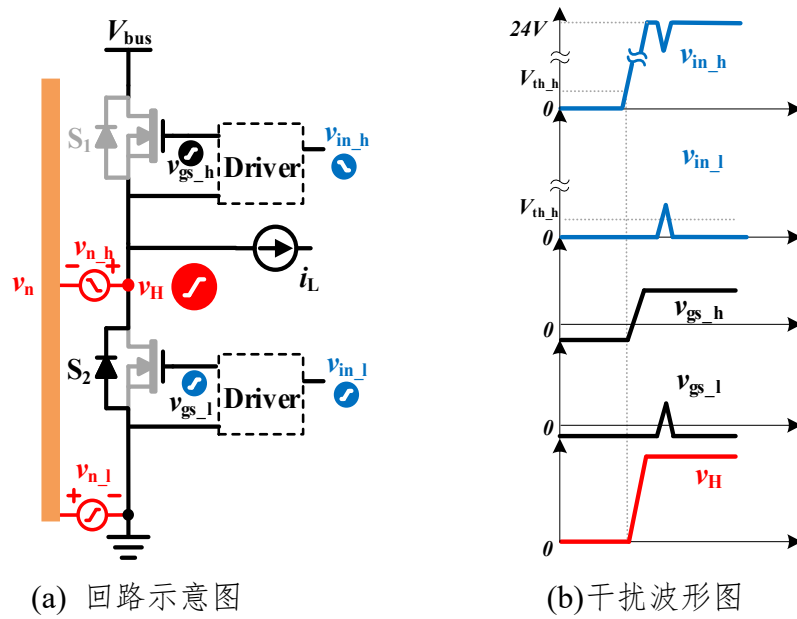


图 3.14 另一种桥臂中点正向跳变情况下驱动芯片输入端干扰示意图

管导通，当下管关断信号来临后下管硬关断，桥臂中点电位 v_H 正向跳变，该跳变通过 DBC 层间电容耦合到下管以及上管驱动芯片输入端引脚，引起下管驱动芯片输入端产生正向的干扰电压，一旦超过驱动芯片输入端开启阈值电压，下管误开通，而上管驱动芯片输入端的负向干扰电压不会改变器件开关状态，但可能导致驱动芯片损坏，整个过程的干扰波形如图 3.13(b)所示。

同理，桥臂中点电位 v_H 的负向跳变时会通过寄生电容耦合到驱动芯片输入端，造成上管驱动芯片输入端产生正向的干扰电压，在下管驱动芯片输入端产生负向的干扰电压，如表 3.1 中总结所示。

3.2.3 不同电路初始状态时开关动作引起的干扰问题分析

前述分析的桥臂中点电位正向跳变是由于下管硬关断造成的，如图 3.13 所示。除此之外，还有一种桥臂中点电位正向跳变的情况，如图 3.14 所示。电路初始状态如图 3.14(a)所示，初始时刻负载电流 i_L 流出桥臂中点，通过下管体二极管续流，当上管开通过程中桥臂中点电位正向跳变。图 3.14(b)为上管开通过程中桥臂中点电位正向跳变引起的驱动芯片输入端干扰波形示意图。此时的 v_H 正向跳变会在下管驱动芯片输入端造成正向的干扰电压，一旦超过驱动芯片输入端的开启阈值电压，则会导致下管的误开通，即出现桥臂上下管直通现象。直通时间长会导致损耗剧增，电路工作失控，桥臂损坏等问题，即使直通时间较短，但在开关过程中反复出现该问题，对于电路长期工作的可靠性也将造成严重影响。此时的 v_H 正

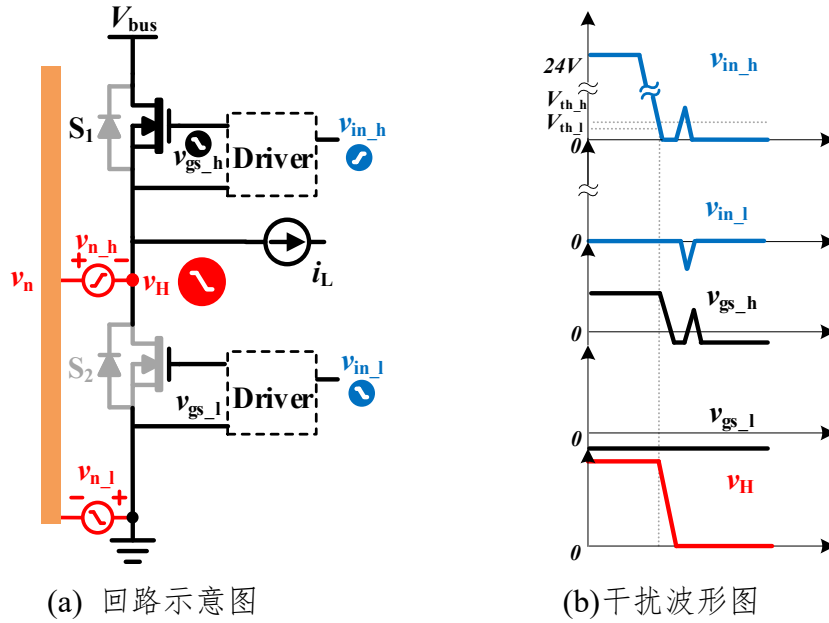


图 3.15 上管硬关断时桥臂中点负向跳变引起的驱动芯片输入端干扰示意图

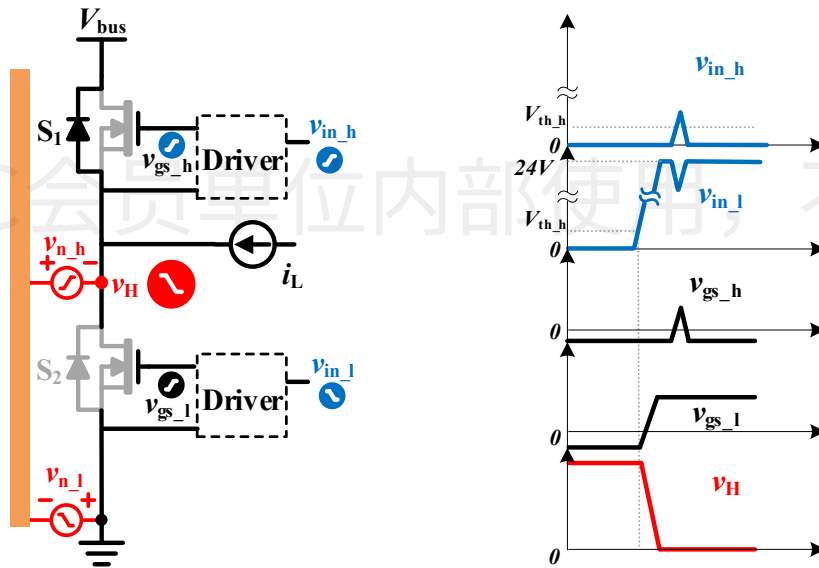


图 3.16 下管硬开通时桥臂中点负向跳变引起的驱动芯片输入端干扰示意图

向跳变也会在上管驱动芯片输入端造成负向的干扰电压，由于本文驱动芯片输入端信号高电平为 24V，负向几伏的干扰电压信号不足以达到输入端的关断阈值电压（0.8~1.2V），即上管的干扰电压不会造成上管的误关断。但若驱动芯片输入端高电平电压为 5V 或者 3.3V 时，则该干扰电压也有可能造成上管误关断动作。

如表 3.1 中所示，桥臂中点电位 v_H 的负向跳变时也会通过寄生电容耦合到驱动芯片输入端，同样的分析方法也可以应用在 v_H 负向跳变时。

v_H 负向跳变的第一种情形如图 3.15 所示。图 3.15(a)为电路初始状态等效电路图，负载电流 i_L 流出桥臂中点，上管沟道导通，当上管关断信号来临后器件发生硬关断，上管 v_{ds}

上升, 桥臂中点电位 v_H 发生负向跳变。由于 DBC 层间寄生电容的存在, 该电位负向跳变会在上管驱动芯片输入端产生正向的干扰电压信号, 一旦该干扰电压超过阈值开启电压, 则会引起上管的误开通。同时, 在下管驱动芯片输入端会产生负向的干扰电压信号, 但由于此时下管处于关断状态, 所以负向的干扰电压不会引起下管的误开通, 但同样需要注意该负向干扰电压不能超过该引脚的极限值, 否则会造成芯片损坏。

v_H 负向跳变的另一种情形如图 3.16 所示。图 3.16(a)为电路初始状态等效电路图, 负载电流 i_L 流入桥臂中点, 上管体二极管续流, 当下管开通过程中桥臂中点电位负向跳变引起的驱动芯片输入端干扰波形示意图。此时的 v_H 负向跳变会在上管驱动芯片输入端造成正向的干扰电压, 一旦超过驱动芯片输入端的开启阈值电压, 则会导致上管的误开通, 即出现桥臂上下管直通现象。直通时间长会导致损耗剧增, 电路工作失控, 桥臂损坏等问题, 即使直通时间较短, 但在开关过程中反复出现该问题, 对于电路长期工作的可靠性也将造成严重影响。此时的 v_H 负向跳变也会在下管驱动芯片输入端造成负向的干扰电压, 由于本文驱动芯片输入端信号为 24V, 负向几伏的干扰信号不足以达到驱动芯片输入端的关断阈值电压 (0.8~1.2V), 即下管的干扰电压不会造成下管的误关断。但若驱动芯片输入端高电平电压为 5V 或者 3.3V 电压时, 则该干扰电压也有可能造成下管误关断动作。

所以在桥臂开关器件硬开关动作的过程中, 均有可能造成开关器件的误动作, 影响电路的稳定运行。

3.2.4 DBC 下铜层接地分析

前面的分析是基于 DBC 下铜层电位浮动(未接地)的情况下得到的。如图 3.17 所示, SiC IPM 在实际应用过程中, 需要紧贴散热器进行散热, 其中 DBC 和散热器之间需要介面材料填充空隙以减小热阻。如果 DBC 与散热器的介面采用的是硅脂绝缘材料, 则此时可认为 DBC 板下铜层电位浮动, 前述分析可适用。在某些应用场景中, SiC IPM 可通过焊接等方式与散热器直接相连, 且一般散热器会再连到装置机壳接保护地, 则此时的

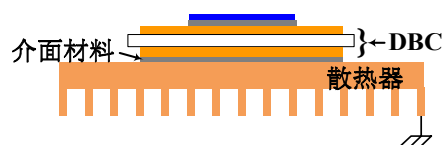


图 3.17 SiC IPM 散热示意图

DBC 下铜层的电位接地。

此时当桥臂中点电位变化，DBC 下铜层与 IPM 负母线之间基本不会有电压跳变。以下管关断时桥臂中点电压 v_H 正向跳变为例进行分析，如图 3.18(a)所示，此时模型中下管的干扰源电压 $v_n=0$ ，根据(3.1)可得，下管驱动芯片输入端产生的干扰信号 v_{in_l} 为 0，即不会产生误开通的问题。但是，对于上管，原来的干扰电压源由增加 v_n-v_H 变化到 $-v_H$ ，幅值增加，如图 3.18(b)所示。根据(3.3)可得此时上管驱动芯片输入端负向干扰信号的最大绝对值增大，如图 3.19 中蓝色虚线 $|v_{in_h}'|$ 所示，其幅值远大于 DBC 下铜层电位浮动时的最大绝对值。

如图 3.20 所示，此时上管驱动芯片信号输入端电压为 0，由于桥臂中点正向跳变在该处引起的负向干扰电压信号一旦大到该引脚的极限负压 ($-6.5V$)，则会造成驱动芯片损坏。根据图 3.19，当 v_{ds} 电压变化率 σ' 大于 $80 V/ns$ 时， $|v_{in_h}'|$ 超过 $6.5V$ ，即上管驱动芯片输入端负向干扰大于 $-6.5V$ ，会导致驱动芯片损坏，因此需要避免该问题的发生。

如果桥臂中点电位正向跳变是由于上管开通引起的干扰，如图 3.21 所示，同样在下管驱动芯片输入端不会产生干扰电压，即桥臂直通的问题不会发生。此时在上管驱动芯片

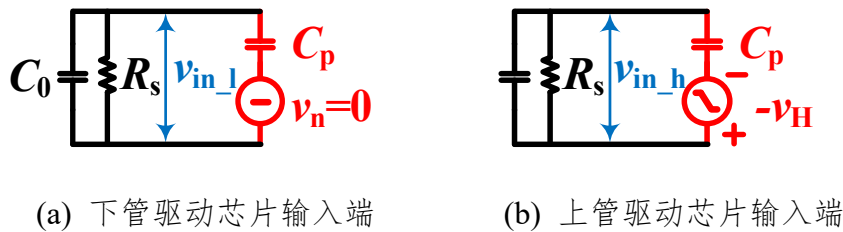


图 3.18 DBC 下铜层接地后的干扰模型

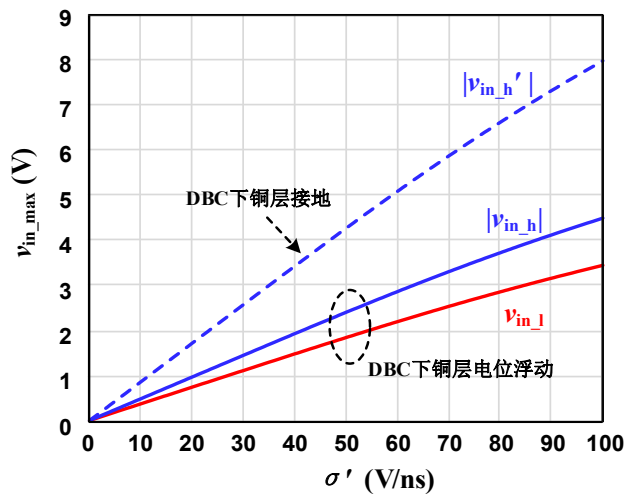


图 3.19 驱动芯片输入端干扰电压最大绝对值与 v_{ds} 电压变化率关系曲线

输入端引起的负向干扰电压信号产生的影响则与其高电平电压相关，本文中驱动芯片输入端高电平电压为 24V，图 3.19 中的最大干扰信号不足以使其下降到关断的阈值电压，所以不会产生开关误动作。但如果某些应用中驱动输入端高电平电压仅为 5V 甚至 3.3V，当 v_{ds} 电压变化率 σ' 大于约 30 V/ns 时，就会导致上管出现误关断的现象。

类似的分析过程同样可以应用于桥臂中点电位负向跳变的电路模态分析。

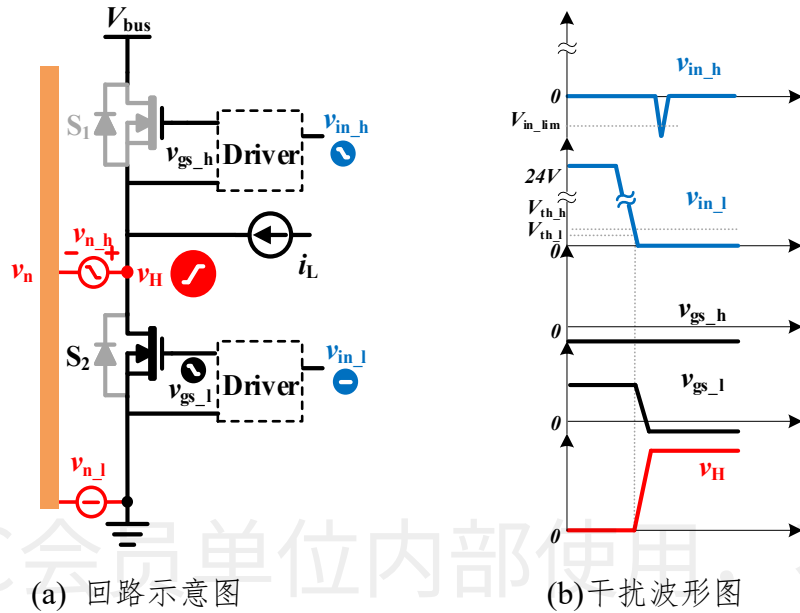


图 3.20 下管关断时桥臂中点正向跳变引起的驱动芯片输入端干扰示意图
(DBC 下铜层接地)

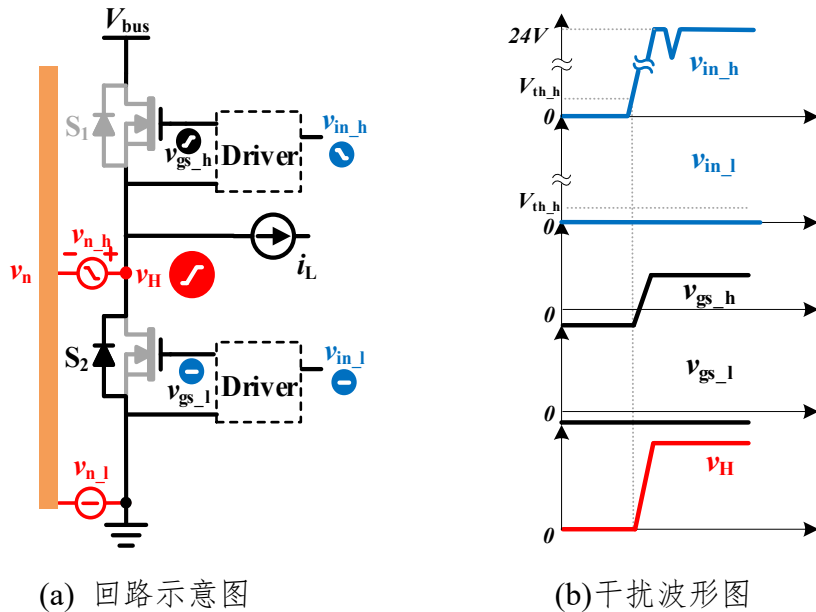


图 3.21 上管开通时桥臂中点正向跳变引起的驱动芯片输入端干扰示意图
(DBC 下铜层接地)

其中一种桥臂中点电位负向跳变的情形如图 3.22 所示。在图 3.22(a)中, 初始时电流流出桥臂中点, 上管沟道导通, 上管关断信号来临之后, 器件 v_{ds} 上升, 桥臂中点电位 v_H 负向跳变。在 DBC 下铜层接地的情况下, 桥臂中点电位负向跳变在下管驱动芯片输入端不会产生干扰信号, 但在上管驱动芯片输入端造成正向的干扰电压, 一旦超过输入端的开启阈值电压, 则会导致上管的误开通。由图 3.19 可知, 当 v_{ds} 电压变化率 σ' 仅仅大于 20

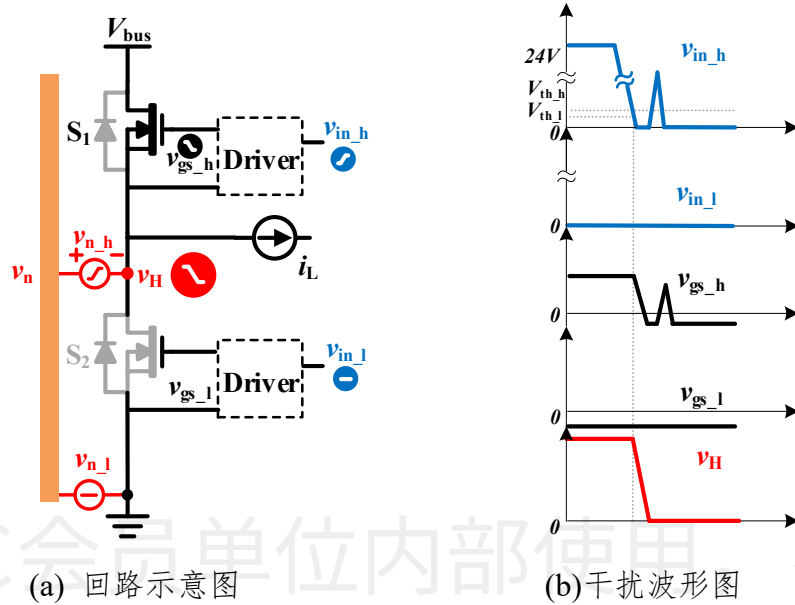


图 3.22 上管关断时桥臂中点负向跳变引起的驱动芯片输入端干扰示意图
(DBC 下铜层接地)

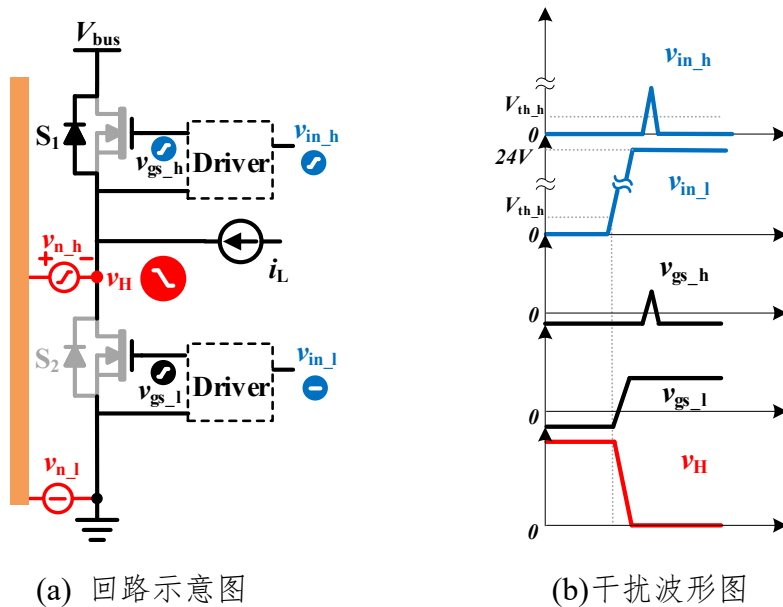


图 3.23 下管开通时桥臂中点负向跳变引起的驱动芯片输入端干扰示意图
(DBC 下铜层接地)

V/ns 时即会造成驱动芯片输入端达到开启电压，器件误开通产生。

另外一种桥臂中点电位负向跳变的情形如图 3.23 所示。在图 3.23 (a)中，初始时电流流入桥臂中点，上管体二极管续流导通，当下管开通信号来临之后，器件硬开通，其 v_{ds} 下降，桥臂中点电位 v_H 负向跳变。在 DBC 下铜层接地的情况下，桥臂中点电位负向跳变在下管驱动芯片输入端不会产生干扰信号，但在上管驱动芯片输入端造成正向的干扰电压，一旦超过输入端的开启阈值电压，则会导致上管的误开通，即出现直通的情况，如图 3.23 (b)中干扰波形示意图所示。由图 3.19 可知，当 v_{ds} 电压变化率 σ' 大于 20 V/ns 时即会造成驱动芯片输入端达到开启电压，造成半桥直通。

所以，在 DBC 下铜层接地的情况下，桥臂中点的电位跳变虽然不再引起下管驱动芯片输入端的干扰问题，但是无法消除对于上管驱动芯片输入端的干扰。此外，由于上管干扰源电压幅值的增加，上管反而更容易受到影响，如在 v_{ds} 电压变化率 σ' 较小时(20~30V/ns)就会产生器件的误开通甚至直通现象， v_{ds} 电压变化率 σ' 较大(80V/ns)时甚至会引起驱动芯片输入端引脚的损坏。因此，在设计 SiC IPM 时应综合考虑布局设计以减小乃至消除该干扰的影响。

3.3 SiC IPM 驱动干扰的抑制方法

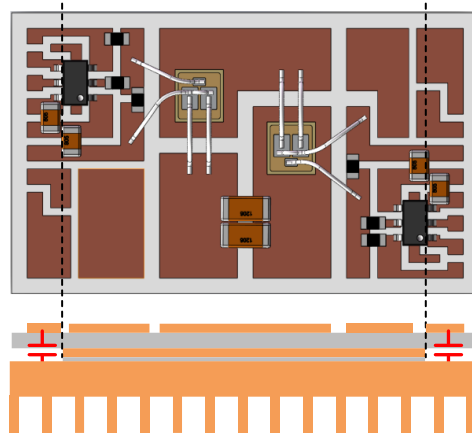
3.3.1 抑制方法分类

为保证 SiC IPM 的稳定可靠工作，需要对其驱动干扰进行抑制。具体方法可依据图 3.7(c)的干扰模型与公式(3.3)进行分析。

电磁干扰的三要素为干扰源、传播途径以及敏感单元。在图 3.7(c)的驱动芯片输入端回路干扰模型中， v_n 相当于干扰源， C_p 属于传播途径， C_0 和 R_s 为共同构成敏感单元。对于电磁干扰的抑制方法可以从抑制或消除干扰源，切断传播途径，隔离或改进敏感单元三个方面进行。

干扰源

SiC IPM 驱动的干扰源来自 DBC 下铜层与驱动地之间电位的跳变，如图 3.7(c)中的 v_n 和图 3.12(c)中的 v_n-v_H 。干扰源的大小与 DBC 下铜层的电位 v_n 以及桥臂中点电位 v_H 均相关。在图 3.13~图 3.16 中，由于 DBC 下铜层电位浮动，所以 v_n 的变化也是由 v_H 引起的。图 3.10 也显示出驱动芯片输入端干扰电压信号的大小随着 v_{ds} 电压变化率 σ' 的增加而不断增大。所以在实际使用过程中可以通过减小 SiC IPM 的开关速度来降低 v_{ds} 电压变

图 3.24 减小寄生电容 C_p 的一种方案

化率 σ' ，进而减小驱动芯片输入端干扰电压的幅值，使其不超过该引脚的开启阈值电压。但 SiC IPM 开关速度的降低会带来开关损耗的增加等问题，而 SiC MOSFET 的快速开关特性也没有得到充分的发挥。

在图 3.20~图 3.23 中，虽然可以通过 DBC 下铜层接地的方法使 v_n 减小到 0，进而消除下管驱动芯片输入端的干扰电压信号，但是上管驱动芯片输入端的干扰问题反而变得更加严重。综上，减小干扰源的方法需要牺牲 SiC MOSFET 的开关速度，这与 SiC IPM 的设计初衷不符。

传播途径

从图 3.7(c)的干扰模型与公式(3.3)可知， C_p 是驱动芯片输入端干扰传播途径中的一个关键参数。理想条件下 C_p 为 0，则(3.3)数值为 0，干扰可以完全消除。 C_p 值的大小与驱动芯片输入端处的铜走线面积大小、陶瓷的厚度以及介电常数等均相关。而本文设计的 SiC IPM 的驱动芯片输入端位置铜走线面积只有 1.65mm^2 ， C_p 值仅有 0.57pF ，已非常小。在该有限空间还需要焊接驱动芯片引脚以及外部引线端子，因此走线面积无法再进一步减小，而陶瓷厚度的增加带来的寄生电容减小效果十分有限，并且会增大模块整体的热阻。如图 3.24 所示为一种方案，即 DBC 在驱动芯片输入端铜走线位置对应的下铜层位置采用镂空设计，此时增加了 DBC 上铜层走线与散热器等金属的间距，相当于增大了平板电容器的间距，在一定程度上可以减小 C_p 值。例如本文中电容平板间距可由原来的 0.38mm 再增加 0.3mm (Cu- 0.2mm /焊锡- 0.1mm)，理论上 C_p 值可减小接近一半。但在实际模块制作过程中，增加的间隙可能会被焊锡溢出填补。因此通过减小 C_p 值的方法效果也十分有限。

敏感单元

从图 3.7(c)的干扰模型可知敏感单元由驱动芯片输入端引脚内部的输入电容 C_0 以及

驱动 v_{pulse} 到输入引脚上的电阻 R_s 共同构成。 C_0 值与驱动芯片的设计相关, 本文的 SiC IPM 采用的驱动芯片 C_0 典型值仅为 $20\text{pF}^{[103]}$ 。小电容的设计是为了提升开关速度, 减小信号延时。因此, 根据(3.3), 可以通过在驱动芯片输入端并联电容的方法来减小干扰电压信号。如图 3.25 中黑色虚线 v_{in}' 所示为额外并联 60pF 之后根据(3.3)绘出的干扰电压最大值与 v_{ds} 电压变化率 σ' 之间的关系, 其结果均在最小阈值电压 1.8V 以下, 因此可以有效抑制驱动干扰问题。

从理论上分析, 减小串联电阻 R_s 也可以有效减小干扰电压, 但在实际电路设计中还需要考虑驱动芯片的具体使用需求。由芯片数据手册^[103]可知, 该驱动在设计时采用了一种特殊的信号输入端结构, 使得该芯片能够承受较大的负压 (-6.5V), 提升了抗干扰性能, 但也对实际应用提出了一些限制要求: 当输入端开关信号幅值 $>15\text{V}$ 并且输入端开关信号速度 $>2\text{V/ns}$ 时, 建议串联至少 150Ω 的电阻以限制流入输入端引脚的电流。在图 3.2 中, 为简化供电方案, 驱动芯片输入端开关信号幅值与数字隔离芯片供电相同, 均为 24V 。图

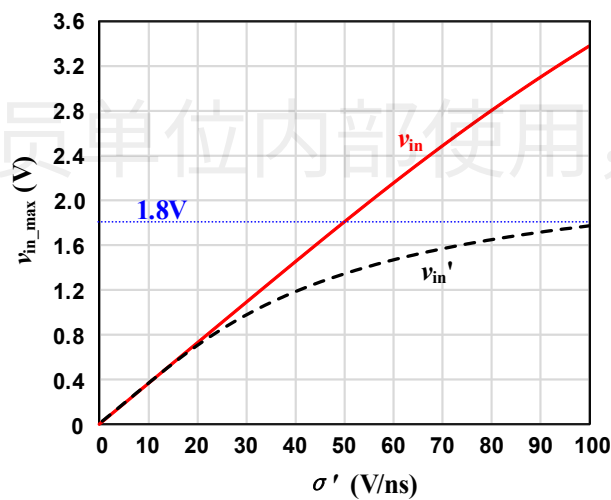


图 3.25 驱动芯片输入端并电容前后 (60pF) 干扰电压最大绝对值与 v_{ds} 电压变化率关系曲线对比

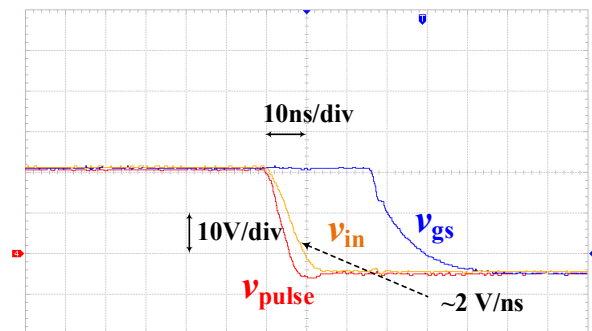


图 3.26 驱动芯片输入端信号波形

3.26 给出了驱动芯片输入端各信号波形图, 考虑示波器电压探头的电容负载效应之后驱动芯片输入端电压的开关速度已经达到 2V/ns , 因此在本文设计的 SiC IPM 中, 驱动芯片输入端串联电阻 R_s 至少为 150Ω 。

以上分析是以本文设计的 SiC IPM 为基础进行的, 综合来看, 通过在驱动芯片输入端并联电容的方式是最简单可行的方案。在不同的设计中, 需要综合考虑驱动芯片要求, DBC 板陶瓷厚度, 不同走线布局等多种因素进行分析。干扰模型的建立为这类分析提供了一种简单快捷的评估方法, 能够有效指导实际的产品设计。

屏蔽层

除上述的方法外, 还可以通过屏蔽的方法来抑制甚至消除驱动芯片输入端的干扰影响。

根据本章最开始的分析, 图 3.7(c) 的干扰模型中 C_p 上的电压变化与 v_n 大小相同, 方向相反, 此时 C_p 上产生的干扰电流 $C_p \cdot dv_n/dt$ 流入驱动芯片输入端造成了干扰问题。如图 3.27 中蓝色虚线描绘出了在器件开关动作时干扰传导的简要路径分析, 在干扰的传导路径上, C_p 是重要的一环。

受图 3.20~图 3.23 的启发, 可以通过构造屏蔽层的方法切断 C_p 和 DBC 下铜层之间的电位连接, 彻底解决该干扰问题。如图 3.28 所示, 通过在 DBC 上铜层的驱动芯片输入端走线处与 DBC 下铜层之间增加一层屏蔽层, 并将屏蔽层和对应的驱动芯片供电地线相连接。为简便起见, 将下管的屏蔽层与功率地相连, 上管的屏蔽层与桥臂中点相连。添加的屏蔽层使得驱动芯片输入端的寄生电容不再与 DBC 板下铜层相连, 而是与驱动芯片供

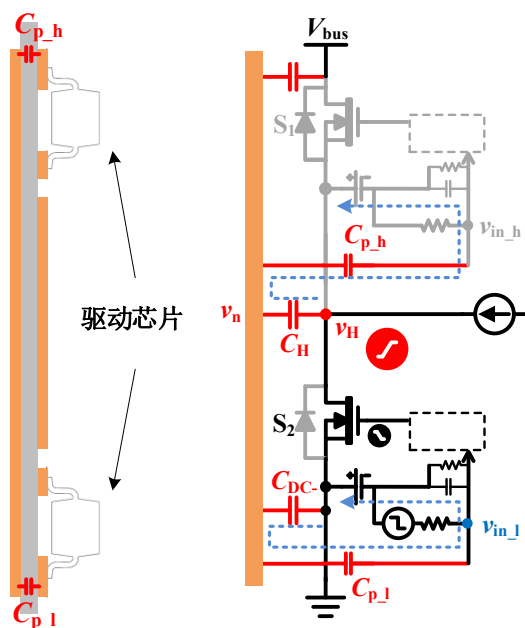


图 3.27 器件开关动作时干扰传导的路径分析

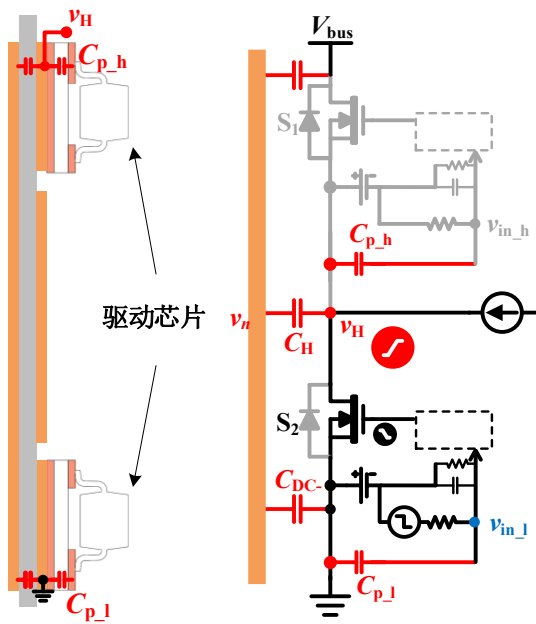


图 3.28 构造屏蔽层示意图



图 3.29 构造屏蔽层实物模块样机图

电地相连，在器件开关过程中， C_{p_h} 和 C_{p_l} 的两端均不再有大的电压变化，可以彻底抑制干扰的发生。本文采用的屏蔽层是通过在驱动芯片位置处再焊接了一块 DBC 板实现的，在后续改进中可以通过只在输入端引脚位置加工绝缘膜再敷铜的办法进行设计。

3.3.2 抑制方法效果对比分析

通过上述分析可知，本文的 SiC IPM 驱动芯片输入端干扰有效抑制方法有并联电容与构造屏蔽层，其中并联电容的方法只能抑制干扰电压的幅值使其不超过开启阈值电压，而构造屏蔽层的方法可以从根本上消除干扰的影响。

此外，并电容的方法相当于增大驱动芯片输入端电容 C_0 值，这与驱动芯片实现开关信号传输的低延时的初衷相违背。如图 3.30 所示，如果定义驱动信号 v_{pulse} 下降到 90% 到 v_{gs} 下降到 90% 为模块驱动信号传输延时，则图 3.30(a) 中未并电容时延时仅为 29ns。而参考图 3.25 中并联 60 pF 电容后的驱动信号波形如图 3.30(b) 所示，延时增加到 82ns，降低

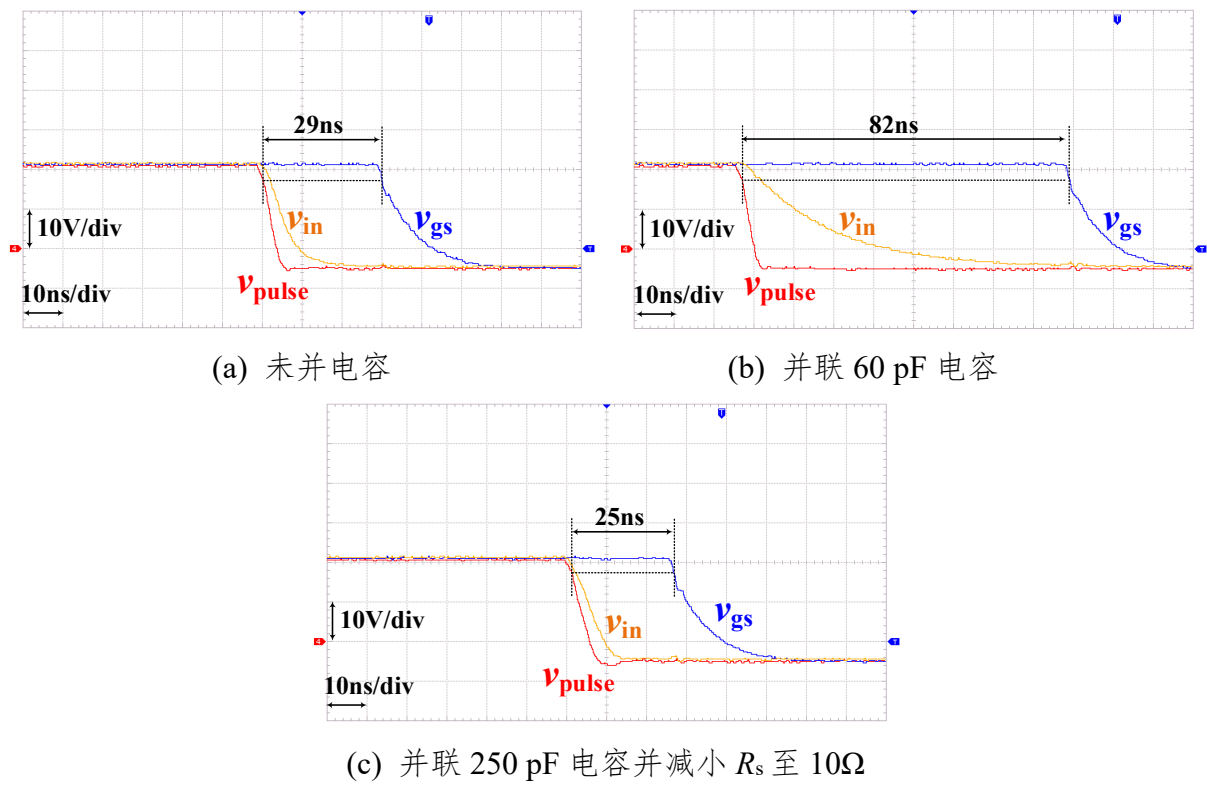


图 3.30 驱动芯片输入端并联电容前后驱动信号波形对比

表 3.2 不同驱动信号干扰抑制方法对比

抑制方法	效果及其局限	
减小 C_p	效果有限	受 DBC 板布局限制
并联电容	有效抑制，信号延时增加	符合驱动芯片设计要求情况下可两者有效结合
减小 R_s	受限于驱动芯片要求	
构造屏蔽层	彻底消除	DBC 设计复杂度略有增加

了 SiC MOSFET 开关动作的响应时间，在一些高频开关应用的场合，会带来一些控制上的滞后等问题，可能会影响电路的正常工作等。

如果不受驱动芯片输入端引脚电流的限制，可以在并联电容的同时减小 R_s 以减小驱动信号的延时，如图 3.30(c)中额外并联 250pF 电容并减小 R_s 至 10Ω 以保持 v_{in} 电压变化率在 2V/ns，此时驱动延时仅有 25ns。

表 3.2 对比了不同的驱动信号干扰抑制方法之间的区别，从表中可以看出，构造屏蔽层的方法能够彻底消除干扰的影响，使其不受 SiC IPM 开关速度的限制，最大程度利用 SiC MOSFET 的高速开关特性。该方法并不影响器件正常的开关速度与延时，不会增加额外的损耗或者降低模块总体效率。

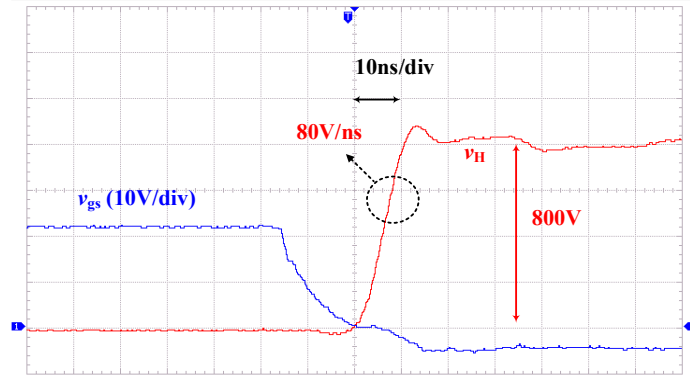


图 3.31 消除驱动芯片输入端干扰后的 SiC IPM 关断波形

如图 3.31 所示为采用屏蔽的方法消除干扰后的 SiC IPM 关断波形图,为充分利用 SiC MOSFET 的快速开关特性,此处将 SiC MOSFET 外接驱动电阻减小到 2Ω , SiC MOSFET 关断时的桥臂中点电位 v_H (即下管 v_{ds} 电压) 变化率达到 $80V/ns$, v_{gs} 波形仍然正常,没有误开通的现象再次出现。

3.4 本章小结

本章针对 SiC IPM 模块内部驱动信号干扰现象进行了详细的研究。通过建立了干扰传输模型对干扰问题带来的影响进行了分析,并依据模型针对性地进行了解决方案的探讨。

在 SiC IPM 中,器件开关动作时桥臂中点的电位跳变会通过 DBC 板上下铜层之间的寄生电容耦合到驱动芯片输入端,产生干扰电压,一旦干扰电压达到驱动芯片输入端的阈值电压,就会导致器件的误开关动作。通过对电路工作模态的分析与 DBC 寄生参数的提取,建立了干扰传输的数学模型,模型显示干扰电压的大小与传输回路中的相关电路参数密切相关,而且随着 SiC IPM 开关速度的增大而增大。在此干扰模型的基础上,进一步分析了 SiC IPM 在不同初始状态以及开关动作情况下干扰现象带来的影响,轻者造成器件的短暂误开通现象,严重时甚至会导致桥臂直通,甚至损坏驱动芯片输入端引脚,造成不可逆的电路损坏。

基于干扰模型,本章从电磁干扰的三要素(干扰源、传播途径以及敏感单元)出发,同时结合实际驱动芯片的设计使用要求对相应的干扰抑制方法进行了分析。分析表明通过在驱动芯片输入端引脚并联电容以及构造屏蔽层的方法可有效解决该干扰问题。其中构造屏蔽层的方法能够彻底解决干扰问题的产生。

本章对于 SiC IPM 模块内部驱动信号干扰现象的分析为相关的干扰问题提供了详细的分析参考,有助于 SiC IPM 的优化设计与性能提升。

第四章 基于隧道磁电阻传感器的 SiC IPM 电流采样

电力电子装置中经常需要使用电流采样来实现过流保护、短路保护以及相关的控制操作。如第一章所述，目前的 SiC IPM 产品均集成了电流检测的功能引脚，但实际上的电流采样还需要借助 IPM 外接采样电阻得到，所以目前的 SiC IPM 并没有集成完整的电流采样功能。外接采样电阻增加了电路的损耗，降低了 SiC IPM 的整体效率，在高功率密度模块中增加了散热的设计需求。而且 SiC MOSFET 的短路耐受时间远小于 Si IGBT，因此其电流采样的响应速度越快越好。如果能够在 SiC IPM 内部集成完整的电流采样及相关保护功能能够极大地提升模块的可靠性。

隧道磁电阻（TMR，Tunnel Magnetoresistance）传感器是一款基于隧道磁电阻效应设计的感应电流周围磁场的传感器，其具有体积小、带宽高、温漂小、布局方便等优点，具有良好的集成应用前景。本文首先分析了 SiC IPM 对于集成电流采样功能的需求，分析对比了现有电流采样方法各自的特点以及 TMR 的优势。针对 TMR 的实际应用进行了深入的研究，通过实验结合仿真的方式给出了 TMR 实际应用时的电路布局注意事项以及采样干扰问题的解决方案。最后，将优化后的 TMR 测量方案用于图腾柱 PFC 的电感电流采样并实现了电路的开关控制，同时应用优化后的 TMR 测量方案准确地采样了 SiC IPM 内部器件电流，为后续在 SiC IPM 中集成 TMR 作为电流采样功能提供了参考。

4.1 SiC IPM 集成电流采样

4.1.1 SiC IPM 集成电流采样特点分析

SiC IPM 布局紧凑，如果要在 IPM 内部集成完整的电流采样功能，对电流传感器的大

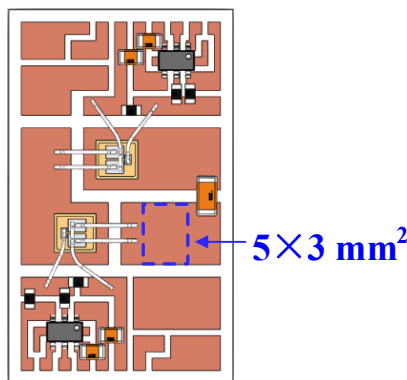


图 4.1 本文 SiC IPM 电流采样传感器可用空间位置

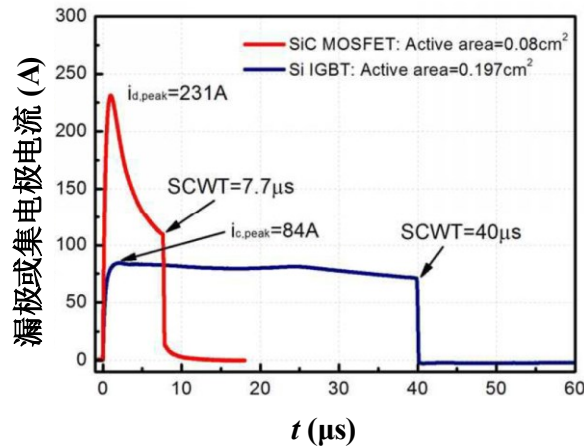


图 4.2 SiC MOSFET 与 Si IGBT 短路耐受时间对比 (25°C, 600V 短路电压)

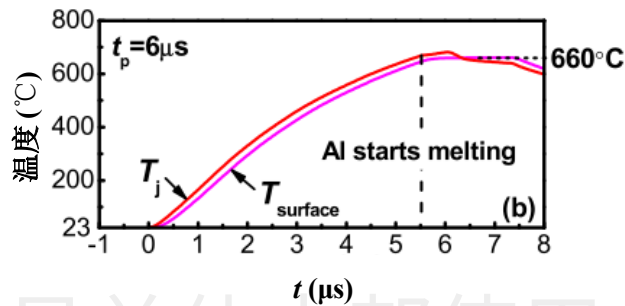


图 4.3 SiC MOSFET 短路时芯片温度变化曲线

小有着严格的要求,如图 4.1 所示,如果要保持本文设计的 SiC IPM 模块现有尺寸不变,留给电流采样传感器的空间位置约为 $5 \times 3 \text{ mm}^2$,大小极其有限。

图 4.2 为相同电压电流等级 (1200V、25A 左右) TO-247 封装中 SiC MOSFET 与 Si IGBT 的短路耐受时间 (SCWT, Short-Circuit Withstand Time, 指器件在短路后不发生失效的最长耐受时间) 对比图。当短路发生时, Si IGBT 的短路峰值电流仅为 84A 且后续保持稳定,其短路耐受时间约 40 μs ,而 SiC MOSFET 在发生短路时其电流迅速上升至 231A 峰值 (接近正常额定电流的 10 倍),其短路耐受时间仅有 7.7 μs ^[70],目前商业 SiC IPM 的短路耐受时间仅有 3.8 μs ^[76]。图 4.2 中 SiC MOSFET 芯片有源区面积为 0.08 cm^2 ,仅为 Si IGBT 有源区面积 (0.197 cm^2) 的 40%,因此,短路时更大的功率加在更小的芯片面积上,会导致 SiC MOSFET 芯片温度的迅速上升。如图 4.3 所示, SiC MOSFET 在不到 2 μs 的时间内芯片温度就会上升至 200°C,大约 5.5 μs 的时间其温度就可达到表面铝金属的熔点^[71]。不断重复的短路问题会导致芯片表面金属的退化变形,进而影响芯片性能,造成失效等问题。因此,对 SiC IPM 的短路保护越快越好,在尽可能短的时间内关闭器件,保护芯片。集成在 SiC IPM 中的电流传感器需要有尽量小的延时以快速响应保护电路。

SiC MOSFET 适合高频开关应用，如用于车载充电机的前级 PFC 电路（开关频率>300kHz）^[104]，因此若要使用 SiC IPM 内部电流采样来实现电流波形控制，则需要相应的电流传感器有较高的带宽以保证采样波形的可靠性。

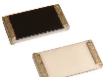
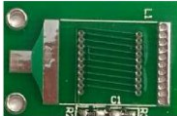
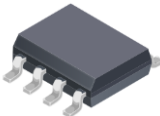
因此，若要在 SiC IPM 内部集成电流采样功能，首先电流传感器所占的尺寸需要比较小，此外其延时应尽量小（为确保短路保护及控制的快速响应，延时越小越好），带宽应尽量高（如>1MHz）等。此外，最好自带隔离和低损耗特性。

4.1.2 现有电流检测方案对比

表 4.1 为目前在电力电子装置中常用的一些电流传感器对比（以采样电流 20A 进行分析），如采样电阻、电流互感器、罗氏线圈以及霍尔传感器等。下面从其尺寸、布局要求、损耗大小等方面进行简单的介绍。

采样电阻是电流测量中最常用也最简单的形式，是基于欧姆定律，通过测量电阻上的电压来计算电流大小的一种采样方法。使用采样电阻测量电流需要串入被测电流线路当中，且损耗较高。如果要将采样电阻集成在 SiC IPM 中，一方面需要为其专门改变模块布局预留焊接位置，另一方面较高的损耗则需要较大封装形式的采样电阻，如额定功率为 1W 的 2512 电阻，其封装大小为 6.4×3.2 mm²，增加的损耗也对散热提出了更高的要求，显然不适合通过集成的方式封装在 SiC IPM 中。

表 4.1 现有常见的电流传感器对比

电流传感器	采样电阻	电流互感器	罗氏线圈	霍尔	TMR
实物图					
型号	2512	CU8965-AL	PCB	ACS730	FFW-010
尺寸	6.4×3.2 mm ²	7×5 mm ²	>10×10 mm ²	6×5 mm ²	3×3 mm ²
是否串入电路	是	是	是	是	否
损耗大小	>1W	>0.1W	<0.1W	>0.5W	0.05W
是否隔离	✗	✓	✓	✓	✓
直流检测功能	✓	✗	✗	✓	✓
延时大小	/	/	7ns	0.2μs	<100ns
带宽大小	/	16k~1MHz	7.1k~100MHz	1 MHz	10 MHz

电流互感器也是一种常用的电流采样元件,相当于一个小型变压器,可将原边大电流等比例耦合到副边得到一个小电流再进行测量。由于磁芯的存在,其封装尺寸较大,如表 4.1 给出的线艺的 CU8965-AL^[105],其尺寸有 $7\times 5\text{ mm}^2$,高度为 3mm,而且同样需要串入电路中进行测量,因此并不适合 SiC IPM 的封装集成应用。此外,电流互感器无法测量直流分量,无法准确测量带有直流偏置的电流。

罗氏线圈 (Rogowski Coil) 是一种利用电磁感应原理测量电流的传感器^[106-107]。其通过多匝空心线圈围绕在被测电流导线周围,由于电流变化产生的磁场变化会在空心线圈中产生对应的感应电动势,围绕被测电流完整一圈的感应电动势的叠加与被测电流的变化率成正比。所以将罗氏线圈两端的电压通过积分电路的方式就可以得到总的电流变化,进而得到电流大小。罗氏线圈因为没有磁芯,所以不存在饱和的问题,而且可以通过在 PCB 板上集成,具有损耗低、延时小、成本低、带宽高等一系列优点,常常用于大功率模块的电流保护^[108]。但罗氏线圈也只能检测交流电流,对于带有直流分量的电流无法准确测量电流的大小,而且对于 SiC IPM,若要实现围绕被测电流导线一圈基本难以实现。

霍尔电流传感器是利用霍尔效应制作的一种电流传感器,通导体中的电子在磁场作用下受洛伦兹力作用向导体一侧偏移,使得导体在该方向上产生电位差。电位差的大小与导体中所通过的电流大小成正比,通过测量电位差即可得到电流大小。为增加传感器的灵敏度以及降低外界磁场的干扰,霍尔传感器通常会在内部集成永磁体来会聚磁场,所以通常其封装尺寸不会太小。表 4.1 中的贴片封装形式的霍尔元件 (ACS730)^[109]尺寸为 $6\times 5\text{ mm}^2$,显然也不适合于集成在 SiC IPM 内部。磁芯带来的磁滞损耗和通流导体的涡流损耗也限制了其带宽和响应时间。目前的霍尔元件带宽普遍小于 1MHz,大量程(百安培以上)的霍尔传感器响应时间均在 $2\mu\text{s}$ 以上^[110],对于 SiC MOSFET 的高频应用以及短路保护略显不足。霍尔元件的市场价格也限制了其广泛的使用,会增加系统的总体成本。

单从上述电流传感器的封装尺寸来看,均不适合集成在 SiC IPM 内部。而且上述的四种电流传感器均需要串入被测电流线路中进行采样测量,这意味着现有 SiC IPM 必须做出线路布局调整,也将导致总体封装尺寸的进一步增加。在损耗、直流检测能力以及带宽等方面,上述方案分别存在一定的不足。

表 4.1 还列出了一种基于隧道磁电阻效应的电流传感器 TMR (FFW-010),实验样品由宁波希磁电子科技有限公司提供。在该传感器尺寸 $3\times 3\text{ mm}^2$,在如此小的封装内集成了 TMR 芯片 ($0.2\times 0.2\text{ mm}^2$) 以及后级运算放大器。TMR 通过感受通流导线周边的磁场输出电压信号,只需靠近被测电流导线而无需串入其中。其损耗几乎可以忽略,而且具有隔离

和直流检测的能力，延时在 100ns 以内，带宽可达 10MHz。因此，从封装尺寸、损耗、响应速度、带宽等各方面考虑，TMR 均可满足 SiC IPM 集成封装的要求。

4.2 基于隧道磁电阻传感器的电流检测方案

4.2.1 隧道磁电阻传感器简介

TMR 属于磁电阻的其中一种，其他的磁电阻还有各向异性磁电阻（Anisotropic MagnetoResistance, AMR）和巨磁电阻（Giant MagnetoResistance, GMR）^[111]。相比于 AMR 和 GMR，TMR 具有损耗更低，芯片面积更小、灵敏度更高、线性度更好、电阻变化范围更宽、温漂更低等一系列优点。

TMR 的基本组成单元如图 4.4 所示，专业术语称为磁性隧道结（Magnetic Tunnel Junction, MTJ）。MTJ 主要是由自由层、隧道屏障层和钉扎层组成的三明治结构，每层厚度在 0.1nm~100nm 之间。其中自由层和钉扎层均是铁磁材料，隧道屏障层通常是由 MgO 或者 Al₂O₃ 构成的绝缘层。自由层和钉扎层的区别在于自由层的磁化方向是自由的，可随所处位置磁场方向变化而变化，而钉扎层和其下的抗铁磁层构成的复合结构使得其磁化方向为单一方向，在图 4.4 左图中使用大箭头表明两层的磁化方向。最后上下层直接和非磁性的金属材料连接并引出电极^[111]。

隧道屏障层虽然是绝缘材料，但电子有一定的机率隧穿通过该层，而其隧穿的机率则和两层铁磁材料之间的磁化方向有关。若两层材料磁化方向正向平行时，电子隧穿机率最大，反向平行时隧穿机率最小。如果通过外界欧姆表测量或者在两端施加电压时，MTJ 会表现出变化的电阻特性。如图 4.5 所示为 MTJ 随外加磁场强度的电阻变化示意图，在一定的磁场强度范围内，其电阻值随着磁场的变化而线性变化，因此可将其等效成一个随着

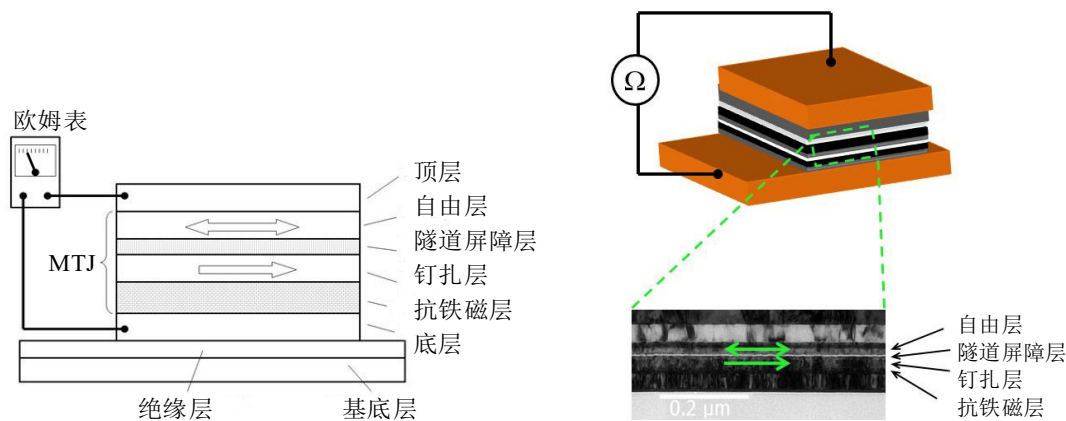


图 4.4 磁性隧道结（MTJ）结构示意图（左）与剖面图（右）

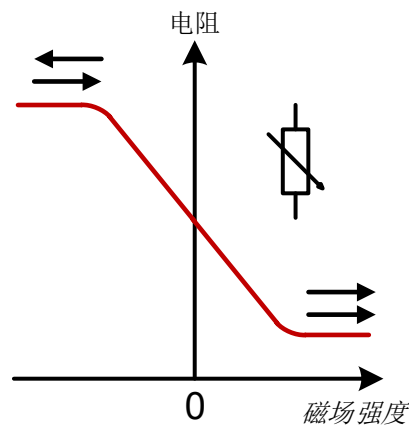


图 4.5 磁性隧道结（MTJ）电阻随所加磁场大小的变化示意图

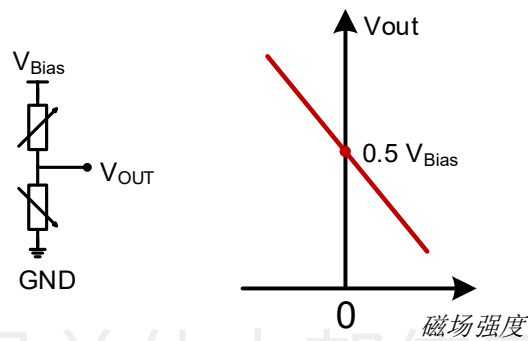


图 4.6 两个磁性隧道结（MTJ）串联的半桥结构及输出电压随磁场变化曲线

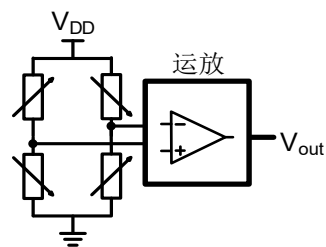


图 4.7 采用差分放大的 TMR 芯片结构示意图

磁场强度线性变化的可变电阻。

如图 4.6 所示，如果将两个相同的 MTJ 结构串联组成半桥结构，其中一个相对于另一个旋转 180°。则在同一磁场中，随着磁场的增大或减小，其中一个磁电阻线性增大，而另一个则线性减小，串联之后半桥串联总电阻不变。当半桥两端施加电压偏置 V_{bias} 之后，半桥中的电流保持恒定不变，桥臂中点电压值与桥臂下部电阻成正比，如此则可得到如图 4.6 右图所示的输出电压随所在位置磁场线性变化的关系曲线。而通导体周围的磁场与电流大小成正比的线性关系，即实现了电流值的检测。

如图 4.7 所示，两个上下磁电阻互换的 MTJ 半桥结构可组成一个惠斯通电桥形式的

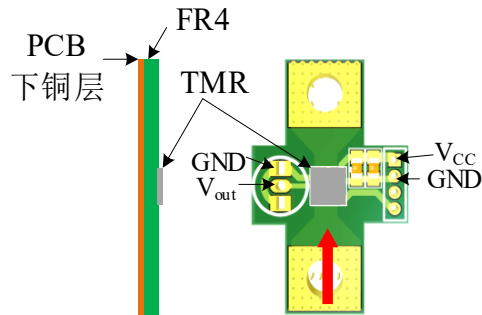


图 4.8 TMR 测试板

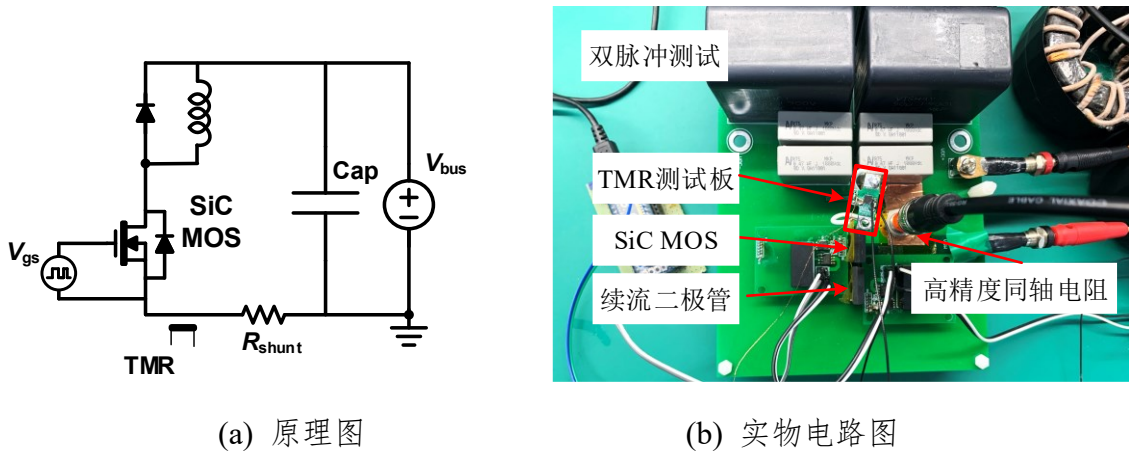


图 4.9 TMR 测试板串入双脉冲电路中进行波形测量对比

电路。在磁场作用下，两个桥臂中点电位变化大小相等，方向相反，可以得到两倍的电压变化信号。为提高信号输出，后面再接一级差分放大将采样信号进行放大即可输出给控制器进行处理。图 4.7 中所有元件被封装在一起即可得到如表 4.1 中所示的 $3\times3\text{ mm}^2$ 大小的芯片。

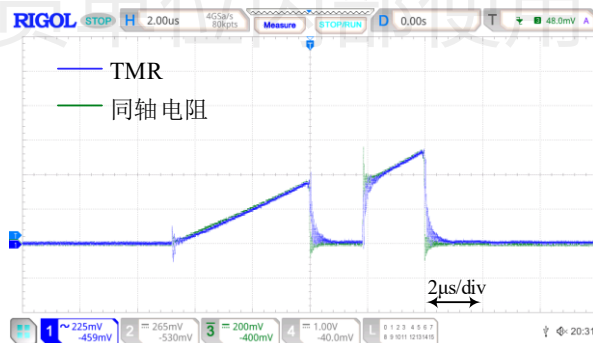
4.2.2 隧道磁电阻输出回路干扰分析

在集成 TMR 到 SiC IPM 内部之前，需对其检测特性进行验证。因此设计了如图 4.8 所示，用于测试 TMR 特性的 PCB 测试板，表贴 TMR 元件布局在 PCB 板上表面，供电电容与高频解耦电容紧贴 TMR 摆放。由于该芯片集成了 TMR 及运算放大电路因此只需为其提供 3.3V~5V 的供电即可得到检测输出信号。PCB 板另一面为通流导线，为使通流导线产生的磁场较为集中，减小开关时刻高频电流引起的涡流对磁场分布的干扰，此处参照厂商的布线建议将通流导线宽度逐渐收窄到 TMR 芯片下部，并使 TMR 对应位置的导线宽度为 2mm，略小于 TMR 自身的尺寸。

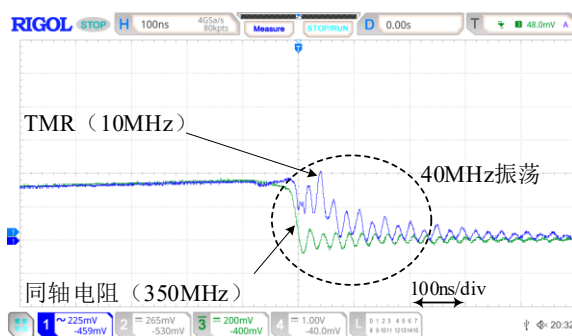
将 TMR 测试板串入 SiC MOSFET 双脉冲测试电路中进行电流的测量，如图 4.9 所示。TMR 测试板串入被测 SiC MOS 源极，紧接着串入高精度同轴电阻（带宽 1.2GHz，

15.013m Ω), 最后再连接到负母线。电路原理图如图 4.9(a)所示, 实物如图 4.9(b)所示, 为确保 TMR 测试板信号的准确性, TMR 的供电由双绞漆包线连接到辅助电源, TMR 的输出信号采用直径为 0.81mm 的射频同轴线从最靠近板端的焊盘引出再接 BNC 接头到示波器。高精度同轴电阻带宽高, 精度高, 自身寄生参数极小, 因此可将其测试得到的电流作为 SiC MOSFET 的实际电流, 以此为参考验证 TMR 电流检测的精确性。

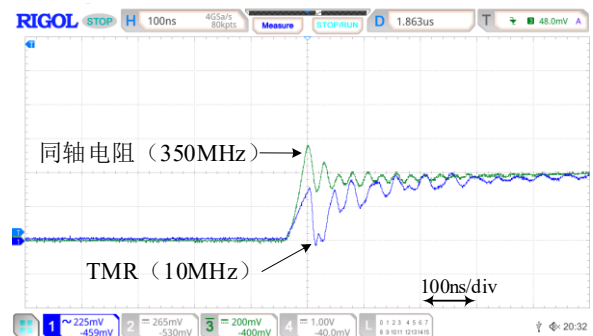
TMR 的电流测试波形与高精度同轴电阻的波形对比如图 4.10 所示, 测试电压为 800V, 电流约 25A。TMR 芯片内部集成的运算放大器经编程可使得其输出固定为一定电压偏置 (1.65V), 本文为显示方便, TMR 采用交流输入连接示波器。图 4.10(a)显示 TMR 测试的 SiC MOSFET 开关电流波形与同轴电阻测试的开关电流波形对比, 电流波形大体重合, 说明 TMR 测量输出电压能够比较好地跟随被测电流变化, TMR 测量灵敏度为 16.7mV/A。图 4.10(b)为 SiC MOSFET 关断时刻的电流波形展开图, 同轴电阻波形显示在电流关断时存在频率约为 40MHz 的振荡。考虑到同轴电阻带宽 1.2GHz, 示波器带宽为 350MHz, 所以同轴电阻测试系统的总带宽为 350MHz, 该 40MHz 电流波形应为 SiC MOSFET 关断时刻真实的电流振荡。而本文采用的 TMR (FFW-010) 带宽仅为 10MHz (受限于集成运放



(a) 波形对比



(b) 关断波形展开



(c) 开通波形展开

图 4.10 TMR 电流测试波形与高精度同轴电阻波形对比

带宽), 原理上其检测出的 40MHz 电流波形应被明显衰减甚至无法在示波器被观测到, 但图 4.10(b)显示 TMR 波形也有 40MHz 振荡, 而且该振荡幅度明显大于同轴电阻测量结果。图 4.10(c)中的 SiC MOSFET 开通电流波形也有类似问题。因此, 可初步判定 TMR 的电流振荡不是 TMR 检测电流得到的结果, 而应该是 TMR 输出上产生的干扰。

TMR 芯片测试板输出回路如图 4.11(a)所示, 红色箭头为被测电流正方向。芯片的输出 V_{out} 为其两个焊盘之间的实际电压, 但 V_{out} 与实际测量点 (或控制器采样的输入点) 之间存在一个很小的回路, 其面积约为 5.1mm^2 。该回路靠近被测电流导线 (在其 PCB 对侧), 通流导线产生的磁场穿过该输出回路。随着被测电流随时间的变化, TMR 输出回路上的磁通也发生变化。根据电磁感应定律, 输出回路上会产生一定的感应电动势叠加在实际测试的 TMR 信号电压上。图 4.11(b)为被测电压信号的简要分析, 即此时测量得到的电压信号 V_m 为 TMR 实际输出 V_{out} 与输出回路上感生电动势 V_{loop} 之和, 如(4.1)所示。

$$V_m = V_{out} + V_{loop} \quad (4.1)$$

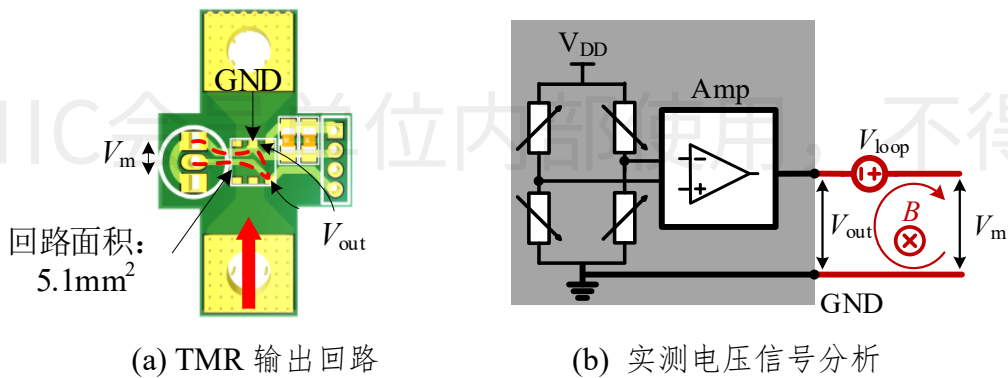


图 4.11 TMR 测试板输出回路分析

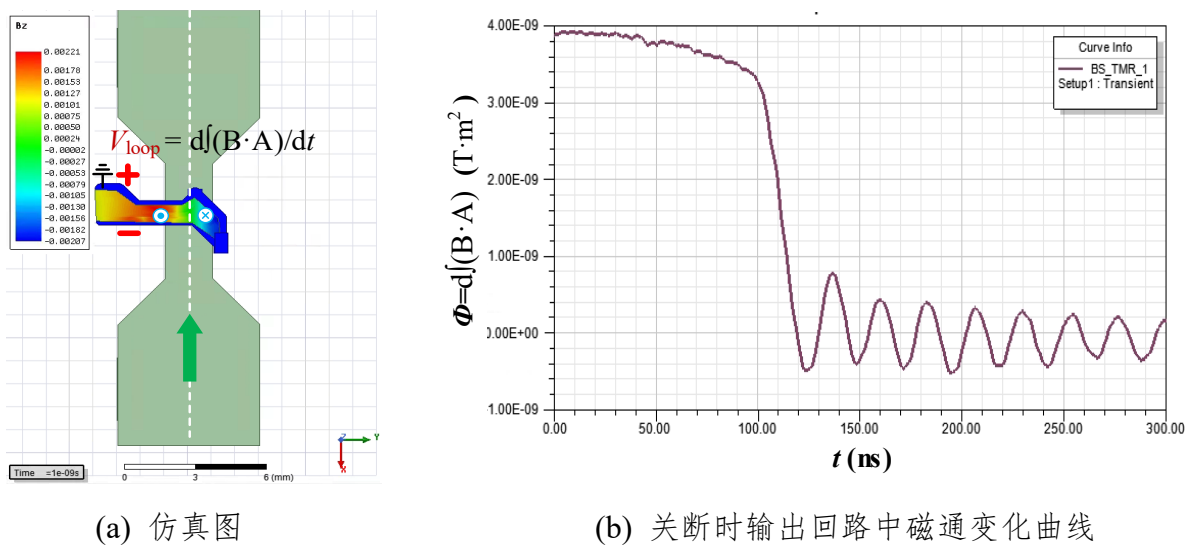


图 4.12 TMR 测试板输出回路磁通仿真

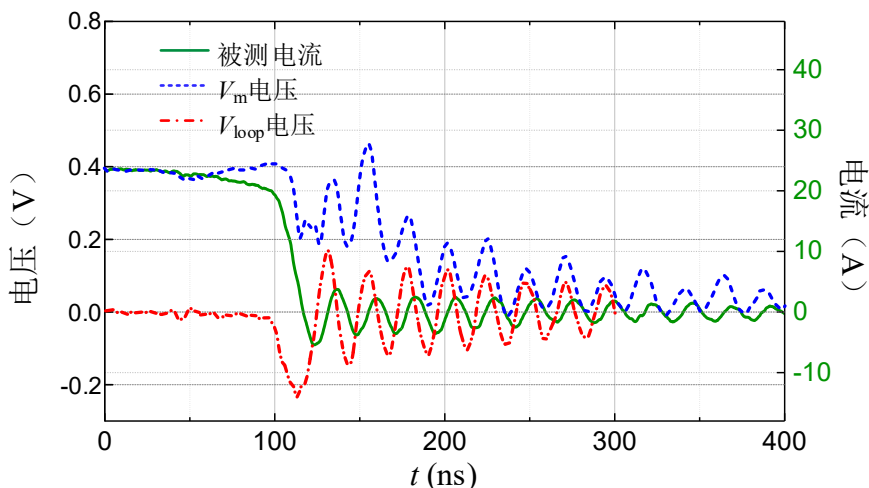
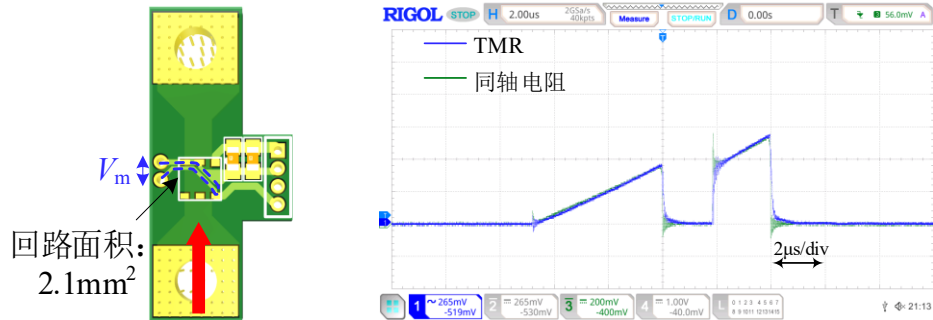


图 4.13 仿真得到的 V_{loop} 干扰电压与被测电流以及 TMR 测量电压 V_m 波形对比

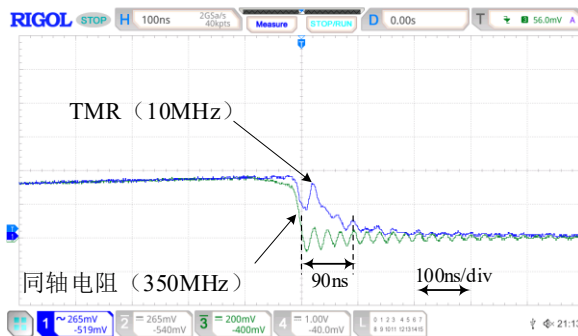
通流导线周围磁场分布比较复杂,可借助有限元软件进行仿真。将 TMR 测试板的 PCB 导入 Ansys Maxwell 软件中,并以同轴电阻测量的 SiC MOSFET 关断时刻电流代入仿真软件中进行瞬态仿真。仿真图如图 4.12(a)所示,电流方向为箭头所示方向,PCB 所在平面为 X-Y 平面,垂直纸面向外为 Z 轴正方向。以图中被测通流导线中心白色虚线为界,电流在中心线右侧产生的磁场穿过回路向里,在中心左侧产生的磁场穿过回路向外。通过积分的方式可以计算得到整个输出回路的总磁通大小,如图 4.12(b)所示。由图可知,此时输出回路中总的磁通为垂直纸面向外,所以当关断时刻来临,电流下降,输出回路中磁通量减小,在输出回路中会感应出逆时针方向的感应电动势。在图 4.12(a)中,输出回路上端接 TMR 的地,感应电动势上正下负,即产生的实际回路干扰电压在电流下降时为负向的干扰电压。

磁通的变化率即为感应电动势,所以将图 4.12(b)中的磁通量对时间微分即可得到输出回路上的感应干扰电压,如图 4.13 中红色曲线 V_{loop} 所示。图 4.13 中绿色波形为关断时刻被测电流波形,蓝色波形为示波器测得的 TMR 电压波形 V_m 。 V_m 和 V_{loop} 在电流关断时刻的振荡频率以及幅度均接近,证明 TMR 测试板上输出回路上确实有干扰电压影响了电流的测量结果。干扰峰值在该测试中有近 200mV,对应电流接近 12A,远大于实际振荡电流峰值 (<5A),而且该干扰大小与电流变化率成正比,若被测电流 di/dt 增大,则干扰会更加严重。

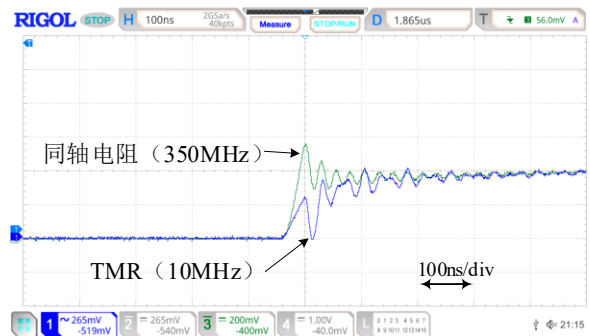
为减小 TMR 测试板输出回路的感应电动势带来的干扰影响,可进一步优化 TMR 的输出回路面积。如图 4.14(a)所示,改进的 TMR 测试板采用更小的线宽及线间距工艺使得输出回路面积由原来的 5.1mm^2 减小到仅有 2.1mm^2 。如图 4.14(b)所示,此时 TMR 测试板



(a) 输出回路面积优化后 TMR 测试波形对比



(b) 关断波形展开



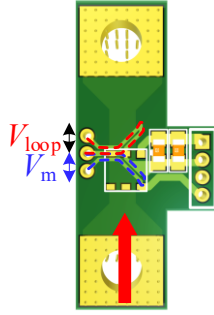
(c) 开通波形展开

图 4.14 TMR 电流测试波形与高精度同轴电阻波形对比

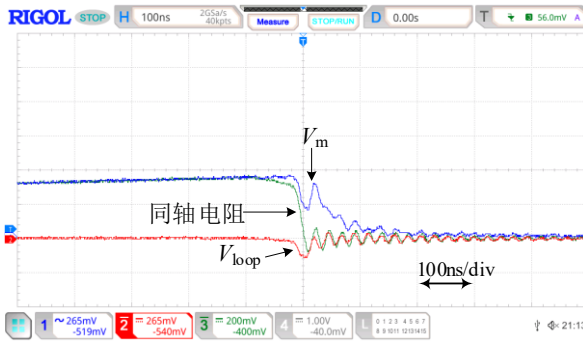
的干扰电压与原先测试板相比明显减小。如果以电流变化到 90% 到采样电压变化到 90% 定义为 TMR 的延时, 则此时 TMR 的检测延时仅有 90ns。同理, 图 4.14(c) 所示的 SiC MOSFET 开通时的电流检测干扰电压也有明显减小。

在优化 TMR 测试板输出回路的基础上, 可通过构造输出回路的镜像回路直接测量干扰电压波形。如图 4.15(a) 的红色虚线所示, 其关于 TMR 原来的输出回路沿垂直于通流导线的对称轴镜像而得。通流导线在这两个回路上的磁通分布也是镜像的, 所以其磁通大小相等, 被测电流减小时均会在回路端子上产生上正下负的感应电压。示波器探头共地端接在中间焊盘上, 又由于感应电动势均为上正下负, 所以此时测得的镜像回路干扰电压与 TMR 输出回路干扰电压大小相等, 符号相反。为方便直接观察, 此处将镜像回路测得的电压值进行反相, 得到如图 4.15(b) 和 (c) 的对比实验波形。对比波形显示, 测得的干扰电压 V_{loop} 与 V_m 上的电压干扰振荡在频率与幅值上均十分吻合, 即从实验直接测量的方法中验证了 TMR 输出回路布局对测试结果的影响。因此, 在进行 TMR 的使用过程中, 应尽量减小芯片的输出回路面积以减小回路感应电动势对测量的干扰。

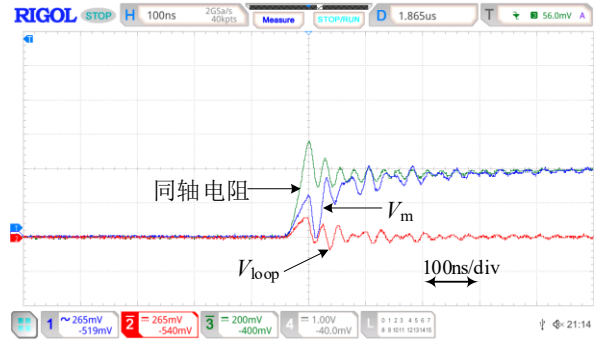
(4.1) 中采样输入示波器的电压为 TMR 的真实测量信号及其输出回路干扰信号 (即噪声信号) 叠加的结果。在 TMR 的量程范围内可通过尽量提高信噪比的方式来减小输出干



(a) 构造的输出回路镜像的测试板

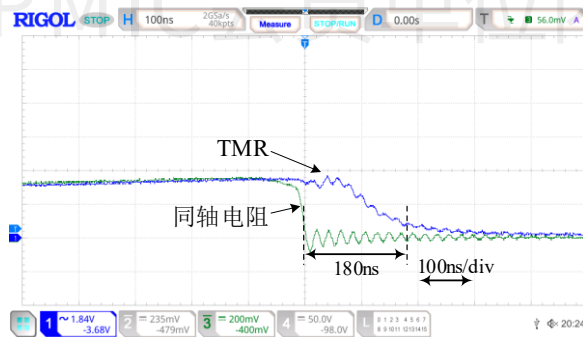


(b) 关断波形展开

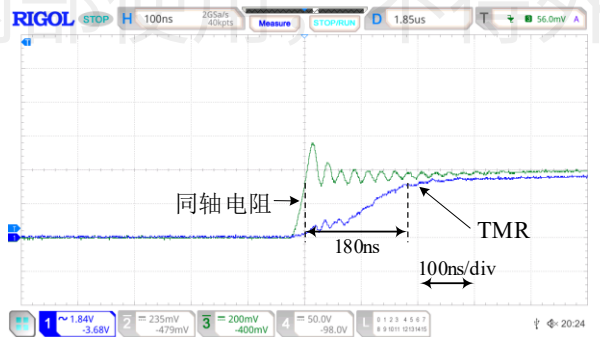


(c) 开通波形展开

图 4.15 构造镜像输出回路直接测量干扰电压 V_{loop}



(a) 关断波形展开



(b) 开通波形展开

图 4.16 提高 TMR 测试板信噪比后的波形对比（测量灵敏度 138mV/A）

扰对真实被测信号的影响。例如图 4.10 中的 TMR 测量灵敏度为 16.7mV/A，在供电电压 3.3V、输出偏置 1.65V 的情况下，其量程约为 $\pm 100A$ ，范围较宽。若电路工作只需十几安培的量程情况下，可通过增大 TMR 内部可编程运放的增益以增大其测量灵敏度。如图 4.16 所示，在最初图 4.10 中的 TMR 测试板基础上，增大其内部运放增益并将供电电压调节为 5V（偏置电压仍固定为 1.65V）后，其信号测量灵敏度增大到 138mV/A。此时被测电流以及输出回路均未改变，所以 TMR 的输出信号 V_{out} 增大而输出回路干扰 V_{loop} 没有变化，表现在测试波形上即如图 4.16，真实的电流测量信号十分吻合实际电流而噪声干扰的比例

则明显减小,提高了 TMR 检测的抗干扰能力。但此时 TMR 的延时有所增加,为 180ns,对于大多数电流采样场合已经足够。

综上, TMR 在应用时其输出回路的感应电动势会叠加在被测电流信号上造成干扰,因此在布局时应尽可能地减小输出回路的面积,同时在不影响量程的情况下尽量增大 TMR 的测量灵敏度以提高信噪比,减小干扰电压对电流检测的影响。

4.2.3 隧道磁电阻受被测电流导线电场的干扰分析

实际的电力电子线路布局各不相同,被测电流走线无法完全满足图 4.8 所示的设计,特别是高功率密度的开关电源设计中对布局空间大小极其敏感,注重封装尺寸的 SiC IPM 也无法保证类似的布局。因此,为验证 TMR 的通用性,设计了如图 4.17 所示的 TMR 测试小板, TMR 和供电电容分别焊接在 PCB 板两侧,只需将测试小板紧贴被测电流导线即可实现电流的测量,如图 4.17 右图中所示。

图 4.18(a)为同轴电阻与 TMR 同时接示波器时的双脉冲电流测试波形对比, TMR 的测试波形与同轴电阻波形十分吻合,能够很好地检测真实的器件电流。但当同轴电阻断开示波器,如图 4.18(b)所示,此时 TMR 的测试波形在原有测量波形的基础上增加了幅度较为明显的 3MHz 振荡现象。图 4.18(a)与(b)的区别仅仅在于同轴电阻是否接入示波器,其余测试条件完全相同。

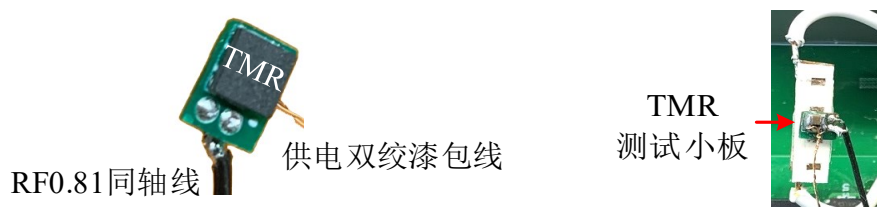
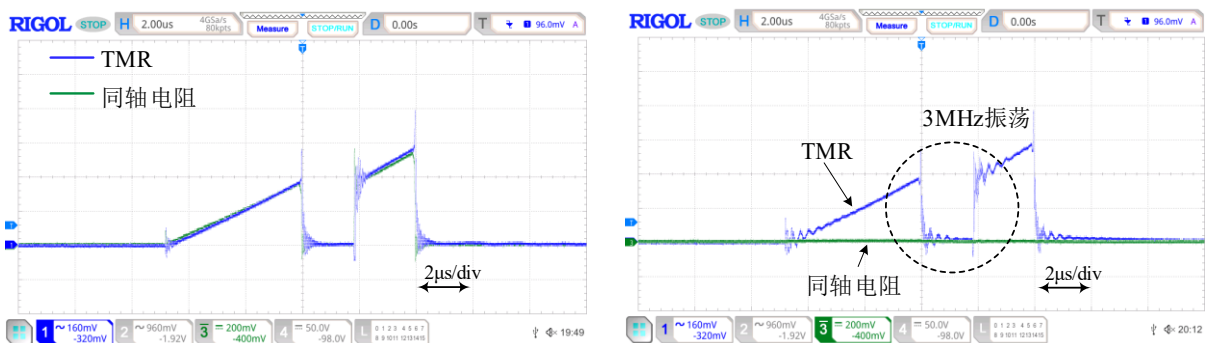


图 4.17 TMR 测试小板 (左: 小板样式图; 右: 电路测试图)



(a) 同轴电阻与 TMR 同时接示波器 (b) 同轴电阻不接示波器时的 TMR 测试波形

图 4.18 同轴电阻接与不接示波器时的 TMR 测试波形对比



图 4.19 同轴电阻接与不接示波器时电流检测对比



图 4.20 不同 TMR 测量灵敏度时的干扰以及 TMR 与被测导线间的电压噪声

图 4.9 测试电路原理图中 TMR 与同轴电阻测试部分提取出来如图 4.19 所示。当同轴电阻与 TMR 同时测量时，由于示波器通道地线电位相连，即此时 TMR 的信号地与其测量的电流导线电位相同，不存在电位差；当同轴电阻断开示波器后，TMR 的信号地与其测量的电流导线的电位则不一定相同，图 4.20 测量了此时两者之间的电位差，可以看出在器件开关时刻，两者的电位差 V_{noise} 存在明显的振荡现象（最大峰-峰值 100V），而且振荡频率（3MHz）与幅度变化和 TMR 检测波形的干扰均相似。此外，图 4.20 对比了不同测量灵敏度（12mV/A 和 72mV/A）的 TMR 芯片测量得到的波形，波形显示振荡干扰随着测量灵敏度的增加而等比例增加。以上实验结果表明，TMR 信号地与其被测的通流导线之间的电位差会可能通过电场产生干扰影响测量结果，而且干扰应该是耦合到 TMR 芯片内部（运算放大器前级）。

为验证上述猜测，本文设计了如图 4.21-图 4.22 的对比实验。高频信号源（3MHz，峰-峰值 20V）加在长直通流导线两端，并在长直通流导线中间串接一个极大的电阻（2M Ω ）以减小通流导线中电流（峰-峰值 20 μ A）对测试的影响。将 TMR 分别置于 P_1 、 P_2 、 P_3 的位置测量其输出信号，其中 P_1 靠近信号源接地端，所以示波器测量波形时信号源地与 TMR 信号地通过示波器短接在一起，如图 4.22(a)所示。 P_2 靠近信号源输入正端，所以此处电压信号与 TMR 信号地之间存在与信号源幅值相同的电压变化。 P_3 也靠近信号源输入正端，但此处 TMR 与导线之间增加了一层铜皮作为屏蔽层并与 TMR 信号地相连。使用示波器

同时观察信号源电压，与 TMR 输出电压波形。图 4.22(a)显示当被测电流导线与 TMR 信号地之间不存在电压变化时，TMR 的输出没有干扰现象出现；图 4.22(b)则显示当被测电

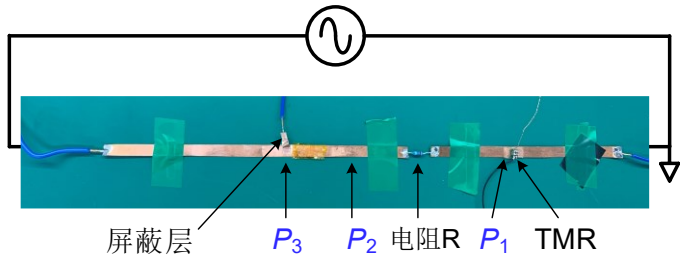
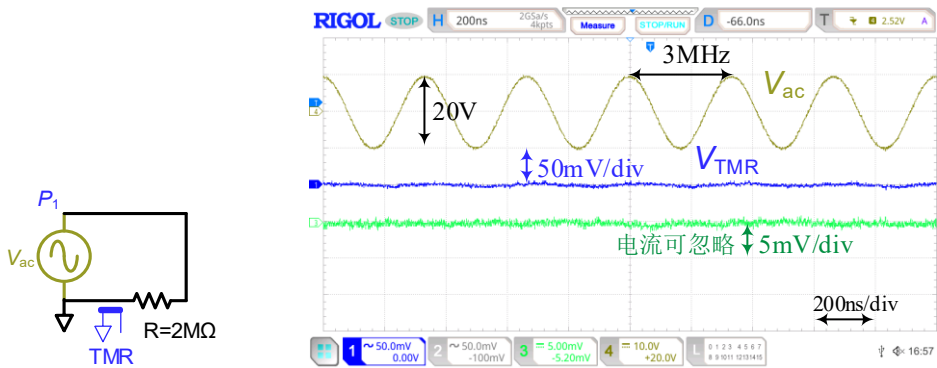
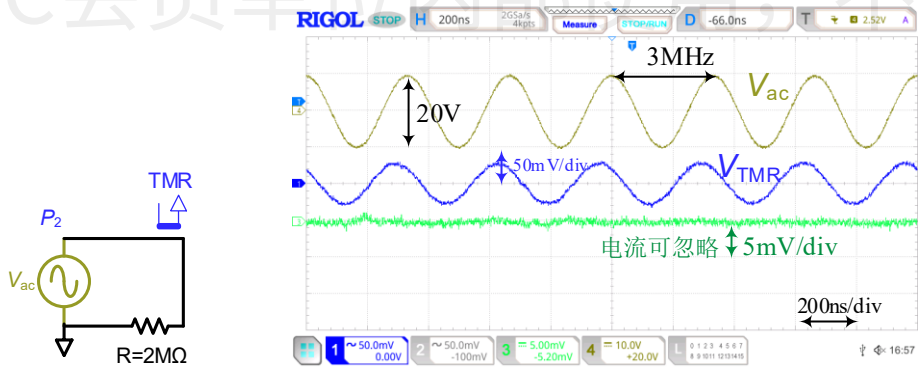


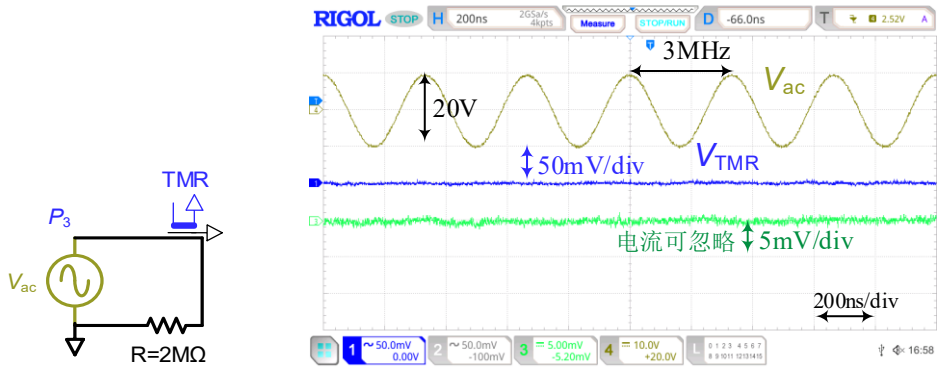
图 4.21 长直通流（电流可忽略）导线不同位置示意图



(a) TMR 位于长直导线接地端



(b) TMR 位于长直导线输入信号正端



(c) TMR 位于长直导线输入信号正端并在两者之间增加屏蔽层

图 4.22 TMR 位于导线不同位置输出波形

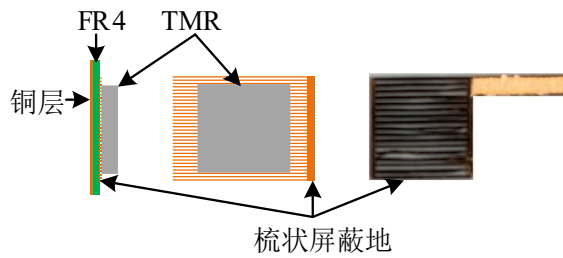


图 4.23 梳状屏蔽地设计



图 4.24 增加梳状屏蔽地后 TMR 测量波形

流导线与 TMR 信号地之间存在电压变化时，TMR 的输出受到的两者之间电压变化的影响，出现了同频率的输出电压波形。

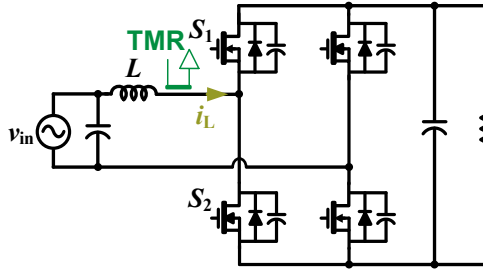
电压干扰需要通过空间电容耦合到 TMR 芯片内部，通过增加屏蔽层并与 TMR 信号地连接以保持两者之间电位相同，则此时干扰噪声电压产生的干扰均通过屏蔽层流入信号地中。如图 4.22(c) 波形所示，屏蔽层能有效抑制噪声电压造成的干扰问题。

开关时刻器件电流中的高频分量会在屏蔽层中产生相应的涡流，涡流产生的磁场会影响被测电流的磁场分布，所以在设计屏蔽层时可考虑如图 4.23 中的梳状屏蔽层接地设计。梳状地的设计可将涡流限制在宽度极小的梳齿内，其产生的磁场对被测电流的磁场影响较小。

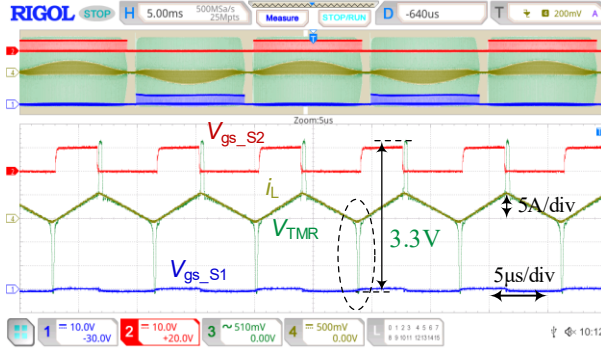
图 4.24 为在 TMR 和被测通流导线之间增加屏蔽层之后的测量波形，对比图 4.18(b) 和图 4.20 的波形，在测量灵敏度为 12mV/A 以及 72mV/A 的情况中，3MHz 的干扰现象均得到了很好地抑制。

4.2.4 隧道磁电阻传感器在图腾柱 PFC 中的应用

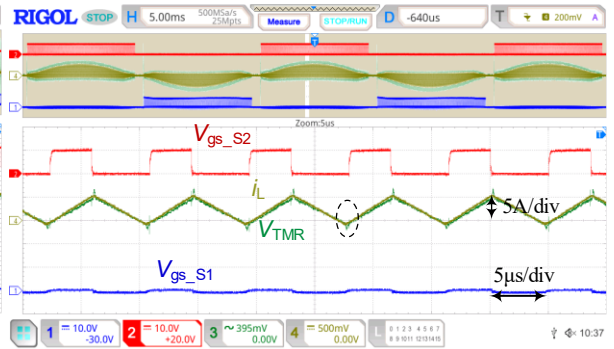
文献^[112]针对高效率图腾柱 PFC 的交错并联控制策略进行了分析及优化，采用了 CRM（Critical Conduction Mode 临界导通模式）的闭环交错控制策略，并提出了双 ZCD（Zero Current Detection 零电流检测）策略。双 ZCD 策略使用电感电流采样的方式检测电流过零



(a) TMR 置于电感靠近桥臂中点的一端



(b) TMR 未使用屏蔽层



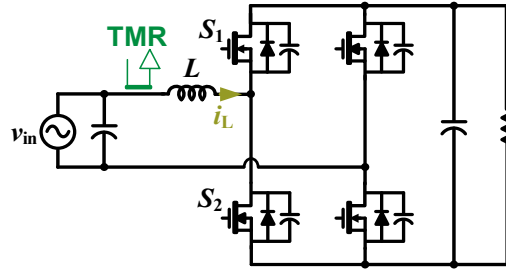
(c) TMR 采用梳状地屏蔽层

图 4.25 置于电感靠近桥臂中点一侧的 TMR 测量波形

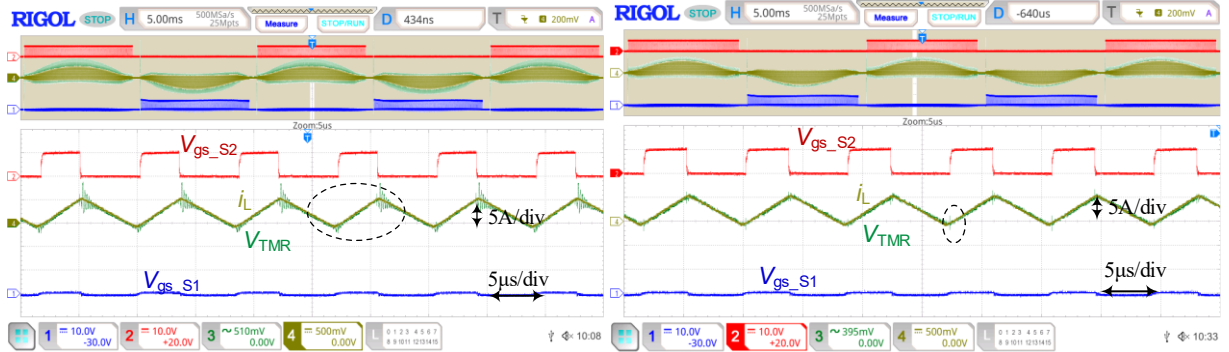
点关断续流管，并使用辅助绕组 ZCD 方案来确保主开关管的软开通。其电流采样使用的为 1MHz 带宽霍尔传感器，成本高，封装大。为减小该图腾柱 PFC 电流采样电路的封装尺寸、降低成本，同时进一步验证 TMR 的采样及控制能力，本文使用 TMR 取代霍尔传感器进行 ZCD 检测功能。

为检测 TMR 的电流采样功能，首先使图腾柱 PFC 工作在体二极管续流导通的模式下。图 4.25 为图腾柱 PFC 的电路示意图以及工频电压正半周时的电感电流波形。如果 TMR 置于电感靠近桥臂中点的一端，如图 4.25(a)所示。由于桥臂中点电位在开关时刻有极高 dv/dt ，会以电场的形式通过空间电容耦合到 TMR 芯片内部。图 4.25(b)为未使用屏蔽层时的 TMR 采样波形 (V_{TMR}) 与电感电流探头波形 (i_L) 对比，如图中虚线所示，在开关时刻，TMR 采样波形有极大的干扰信号，开通及关断时正负干扰的总幅值已经与供电电压相等 (3.3V)。图 4.25(c)为采用梳状地屏蔽层之后的波形对比，此时 TMR 采样波形的干扰信号得到了明显的抑制，总体采样波形与电流探头测试结果相同。

为减小高 dv/dt 对 TMR 检测的干扰，建议将采样位置置于电感靠近工频母线的一端，如图 4.26(a)所示。图 4.26(b)为未使用屏蔽层时的 TMR 采样波形 (V_{TMR}) 与电感电流探头波形 (i_L) 对比，在开关时刻，TMR 采样波形仍有一定的干扰信号，说明 PFC 内部电路存



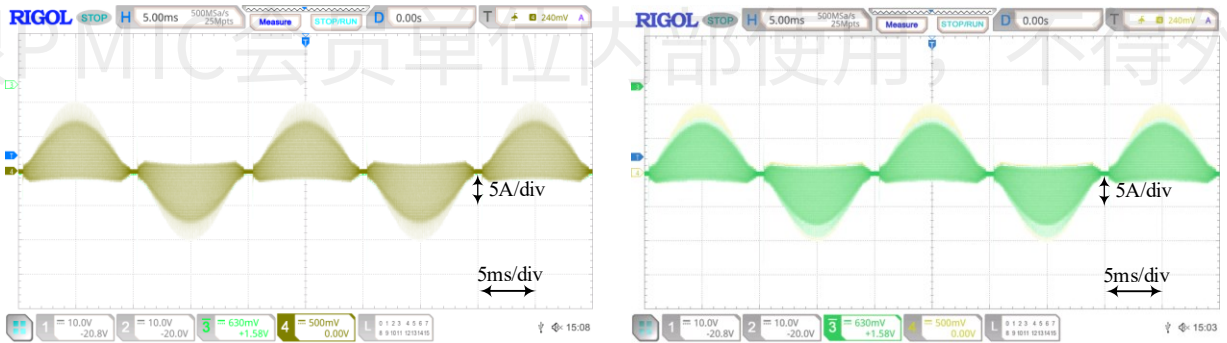
(a) TMR 置于电感靠近工频电压母线的一端



(b) TMR 未使用屏蔽层

(c) TMR 采用梳状地屏蔽层

图 4.26 置于电感靠近工频母线一侧的 TMR 测量波形



(a) 电流探头测得的电流波形 i_L

(b) TMR 测得的电流波形

图 4.27 图腾柱 PFC 电路电感电流检测波形

在一定的共模干扰电压，但相比于图 4.25(b)的波形已经得到了极大的减小。图 4.26(c)为采用梳状地屏蔽层之后的波形对比，此时 TMR 采样波形的干扰信号得到了明显的抑制，总体采样波形与电流探头测试结果几乎完全重合。

综上，在使用 TMR 检测电流时，优先选择放置于 dv/dt 较小的位置，如电压母线附近，尽量远离如桥臂中点等 dv/dt 较大的导线附近。同时，由于电路中存在较大的共模干扰，在使用 TMR 时建议增加屏蔽地以减小共模电压带来的干扰问题。图 4.27 为该图腾柱 PFC 在输入交流电压 150V，输出电压 400V，输出功率 300W 时的电流波形。对比图 4.27(a)中电流探头测试的电流波形与图 4.27(b)中 TMR 检测得到的电流波形，两者在整个工频周

期范围内电流包络几乎完全重合。

在上述实验中, TMR 已经能够较为准确地采样电感电流, 因此可用于双 ZCD 检测中电感电流过零采样实现关断续流二极管的控制功能。CRM 下同步管续流导通模式时工频正半周电路波形示意图如图 4.28(a)所示, t_3 时刻, 续流管 S_1 沟道反向开通以减小续流导通损耗, 在 t_4 时刻电感电流过零时需要及时关断续流管 S_1 沟道以确保后续的控制。 $t_3 \sim t_4$ 时刻的电路模态图如图 4.28(b)所示。在该图腾柱 PFC 输入电压 220V, 输出电压 400V, 功率 900W 时的电路测试波形如图 4.29 所示, 图中 TMR 测试波形与电流波形完全重合。

将工频电压正半周电流波形展开如图 4.30 所示, 此时 S_1 为续流管, 所以在 TMR 检测到电感电流正向过零时需要反馈 ZCD 信号到 DSP 控制器并使其输出续流管 S_1 的关断信号。图 4.30(a)和(b)分别为工频正半周电压过零点附近及峰值电压附近 TMR 的 ZCD 检测展开波形, 波形显示在 TMR 检测到过零后, DSP 控制输出了 S_1 的关断信号。

同理, 将工频电压负半周电流波形展开如图 4.31 所示, 此时 S_2 为续流管, 所以在 TMR 检测到电感电流反向过零时需要反馈 ZCD 信号到 DSP 控制器并使其输出续流管 S_2 的关

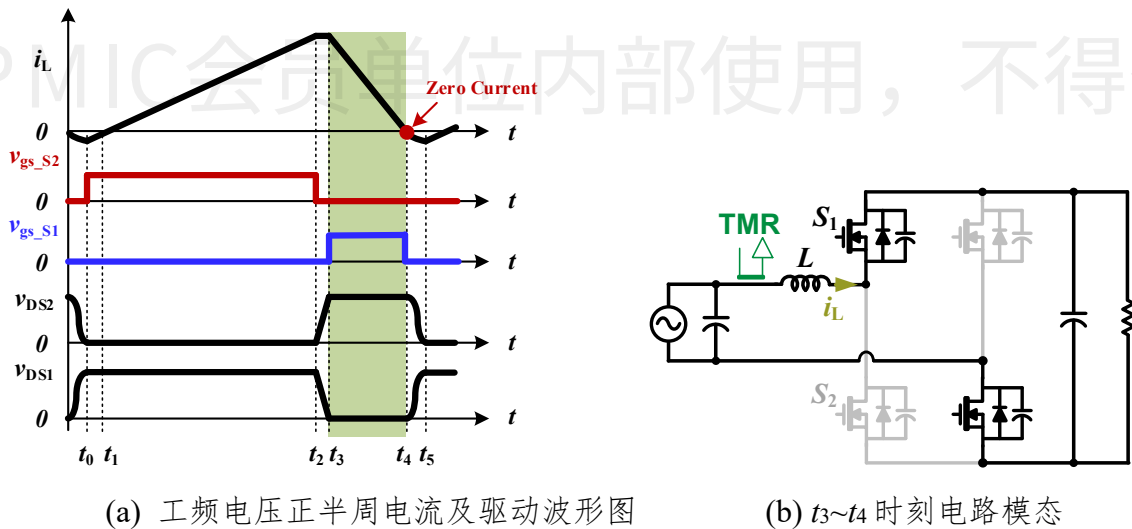


图 4.28 CRM 同步管导通续流模式时工频正半周电路波形及续流时电路模态

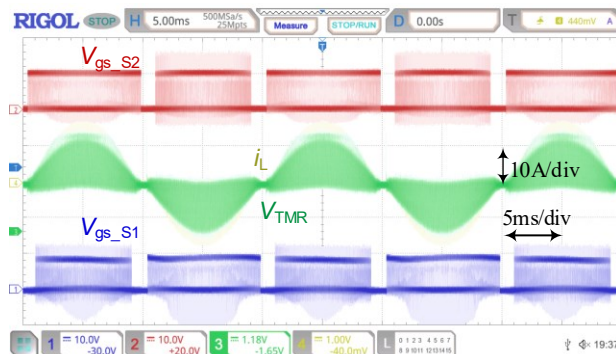
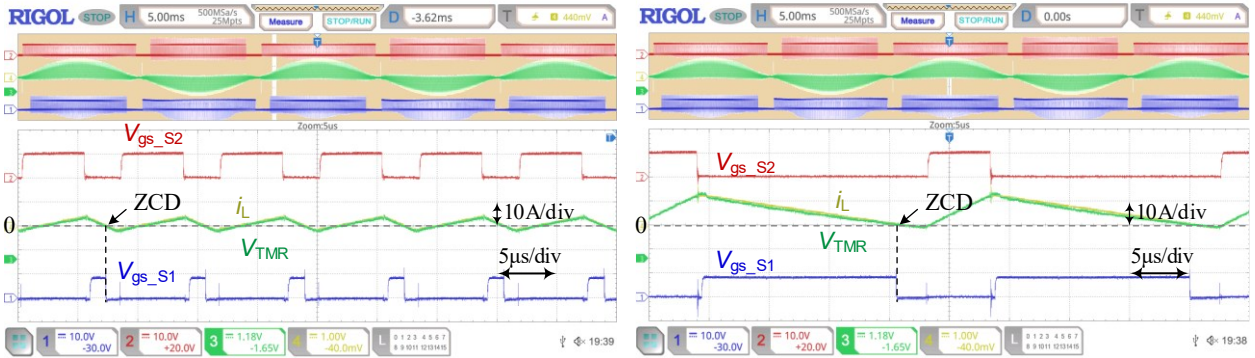


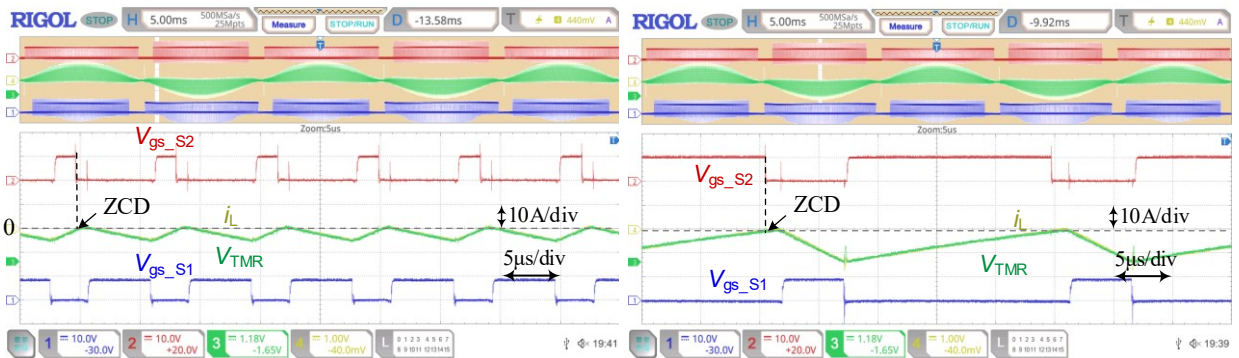
图 4.29 输入电压 220V, 输出电压 400V, 功率 900W 时波形图



(a) 工频正半周电压过零点附近 ZCD 检测

(b) 工频正半周电压峰值点附近 ZCD 检测

图 4.30 工频电压正半周波形展开



(a) 工频负半周电压过零点附近 ZCD 检测

(b) 工频负半周电压峰值点附近 ZCD 检测

图 4.31 工频电压负半周波形展开

断信号。图 4.31(a)和(b)分别为工频负半周电压过零点附近及峰值电压附近 TMR 的 ZCD 检测展开波形，波形显示在 TMR 检测到电流反向过零后，DSP 控制输出了 S_2 的关断信号。

本文利用前述减小输出回路和临近导线电压干扰的 TMR 优化方案在图腾柱 PFC 中进行电流采样实现了 ZCD 检测，并完成了续流管关断的控制策略，进一步证明了 TMR 检测的准确性与应用于控制的可行性。

4.2.5 隧道磁电阻传感器在 SiC IPM 中的应用测试

为验证 TMR 在 SiC IPM 中集成应用的可能性，搭建了如图 4.32 所示的测试电路。在图 4.32 中，为方便电路焊接与调试，SiC IPM 由焊接 SiC MOSFET 的 DBC 板及焊接驱动芯片的 PCB 共同组成。该 SiC IPM 再焊接在一块母板上，为方便测量 SiC MOSFET 器件电流，暂时将集成的瓷片电容焊接在母板上，SiC IPM 与母板母线之间通过导线连接，可用极细直径的罗氏线圈探头穿过导线测量。

图 4.33 为基于该 SiC IPM 在 400V 母线电压下的双脉冲实验波形，黄色波形为穿过

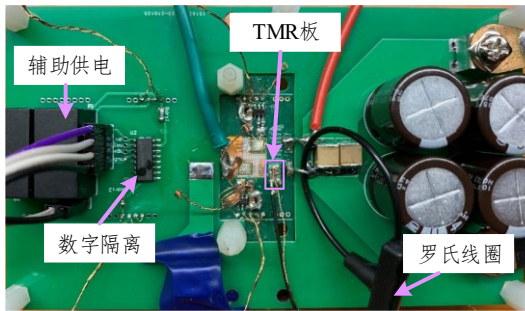


图 4.32 TMR 置于 SiC IPM 中进行电流采样

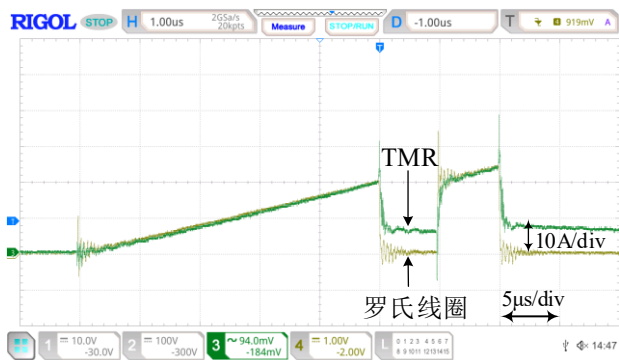


图 4.33 SiC IPM 双脉冲测试波形对比

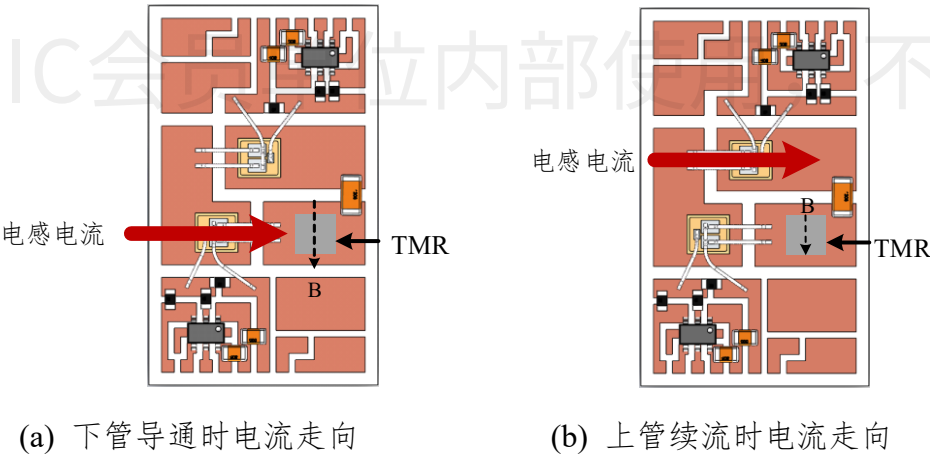


图 4.34 SiC IPM 处于不同开关状态时电流走向示意图

下管源极的罗氏线圈测得的电流波形，绿色为 TMR 的测试波形，在电感电流上升阶段，TMR 测试波形与罗氏线圈波形比较吻合。但在 SiC MOSFET 关断后，罗氏线圈检测到电流下降到 0，而 TMR 中仍然有能检测到电流信号，这是因为 TMR 此时检测到了 SiC IPM 正母线上的电流。

如图 4.34(a)所示，当 SiC IPM 下管导通电流时其电流走向流过下管到负母线，电流在 TMR 感应方向上产生磁场（如图中黑色虚线所示），TMR 检测到下管电流。当下管关断后，电感电流此时由上管体二极管续流或者上管沟道开通续流到正母线，如图 4.34(b)

中红色粗实线所示。此时下管没有电流在 TMR 处产生磁场，但由于正母线与负母线并列靠近布置，正母线中流过的电流在 TMR 处也会产生较小的磁场，即在图 4.33 中 TMR 在下管关断时检测到的电流为上管处的电流波形（均为电感电流波形）。基于此，可根据 SiC IPM 内部电流直线布局实施一些特定的电流检测方案以及保护控制策略等。

除双脉冲测试，本文还应用该 SiC IPM 搭建了 Buck 电路进行了简单的实验测试，如图 4.35 所示， V_{in} 为输入电压， C_{O1} 和 C_{O2} 为输出电容， S_1 和 S_2 导通占空比分别为 0.5，负载为 0。图 4.36 为基于该 SiC IPM 的 Buck 电路开关波形及其展开图，输入电压 400V，开关频率 50kHz，电感电流峰值为 $\pm 4A$ 。以桥臂下管为例可以看出此 SiC IPM 开关波形几

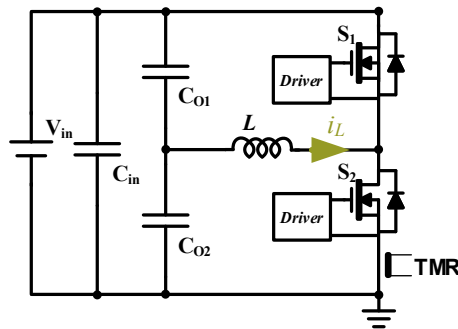
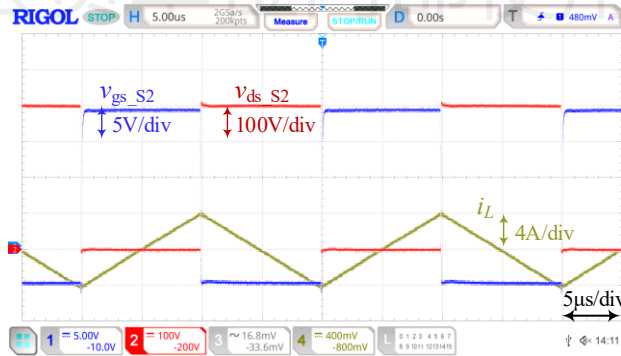
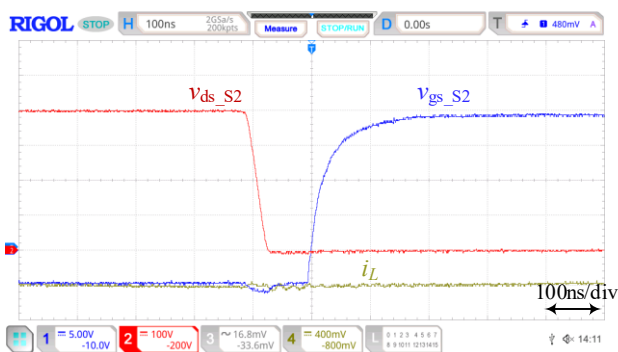


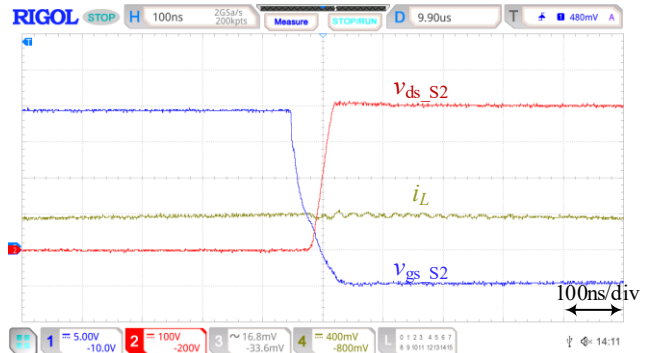
图 4.35 基于 SiC IPM 的 Buck 电路（空载）



(a) 输入电压 400V，开关频率 50kHz



(b) 下管开通波形展开图



(c) 下管关断波形展开图

图 4.36 基于 SiC IPM 的 Buck 电路开关波形图



图 4.37 基于 SiC IPM 的 Buck 电路电流测量波形图

乎无波形振荡现象出现。

在此基础上,测量了 TMR 置于下管源极位置处(图 4.34 所示)的电流波形并与罗氏线圈测量的波形进行对比,从图 4.37 可以看出,开关频率由 50kHz 增加到 200kHz 的过程中,在下管导通,电感电流正向增加的过程中,TMR 检测的电流波形均能迅速准确地跟随器件电流,确保后续 TMR 集成在 SiC IPM 中能够做到及时的过流保护或者峰值电流检测等功能。

前述基于 SiC IPM 的 Buck 电路均工作在 0 负载的状态下,此时 SiC MOSFET 均为硬关断和零电压开通。为进一步验证 SiC IPM 工作带负载及硬开通时 TMR 检测电流波形的准确性,作了如图 4.38(a)中所示的实验测试。由于带负载测试时,器件以及电感电流平均值不再为 0,含有一定的直流偏置,所以此时罗氏线圈无法准确测量器件电流或者电感电流,改由电流探头测试的电感电流作为与 TMR 检测波形的参考依据。

图 4.38 的电路工作在 400V 输入,开关频率恒定在 200kHz,改变开关管 S_2 的占空比,由 0.5 减小 0.4、0.3。对比电流探头测试波形与 TMR 测试的电流波形可以看出,在下管导通,电感电流正向增加的过程中,TMR 检测的电流波形均能迅速准确地跟随器件电流,

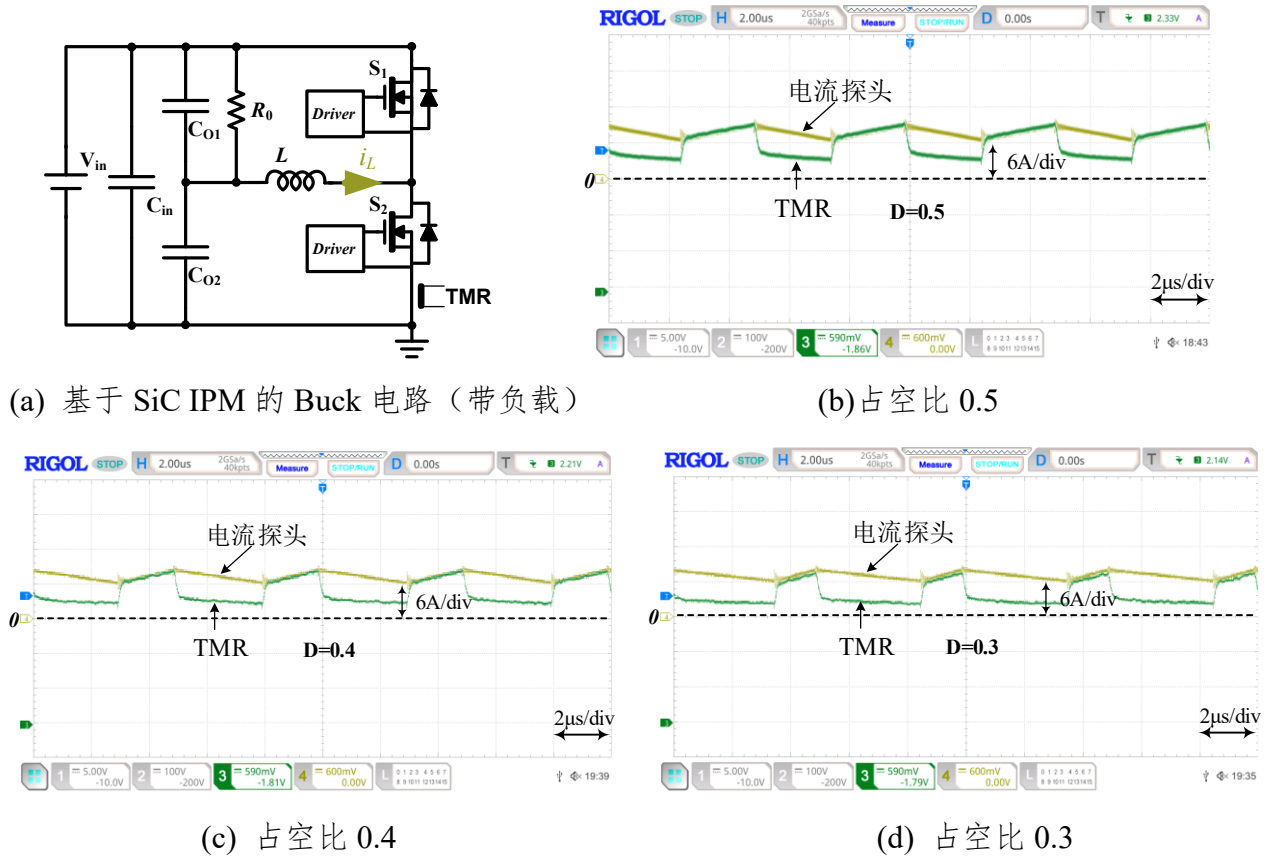


图 4.38 基于 SiC IPM 的 Buck 电路开关波形图（400V 输入，200kHz，带负载）
进一步说明的 TMR 用于 SiC IPM 进行电流采样的准确性。

通过上述一系列的实验，初步验证了 TMR 用于 SiC IPM 集成的可行性。TMR 凭借极小的封装尺寸、高带宽、低延时、极低的损耗、电压隔离等一系列优点，极其有望在 SiC MOSFET 集成封装中得到集成应用。

4.3 本章小结

本章主要研究了如何在 SiC IPM 中集成电流采样功能来实现模块保护以及电路控制。对比现有的电流采样方案，TMR 传感器以其极小的尺寸、高带宽、低延时等一系列优点成为最有可能的集成方案。

在 TMR 检测实际应用过程中，结合输出回路感应电感干扰仿真及优化回路布局，本章证明被测电流产生的磁场会在 TMR 采样输出回路中产生感应电动势，造成干扰。此外，被测电流导线中的电位变化也会通过电场耦合到时 TMR 内部，造成干扰。针对磁场在回路中的干扰问题，建议 TMR 输出回路面积越小越好，并且在量程合适的情况下应尽量提高被测信号幅值（增大信噪比）等方式减小干扰的影响。针对电场耦合干扰问题，建议 TMR 布局在电位变化较小（如直流母线等）的导线附近并增加梳状屏蔽地减小电场的干扰问题。

本章使用优化后的 TMR 检测方案对图腾柱 PFC 的电感电流进行采样,结果表明 TMR 采样的电流信号与实际电感电流波形几乎完全重合,并能实现 PFC 续流管 ZCD 检测与关断控制功能。最后,将 TMR 运用在 SiC IPM 中进行了电流采样的实验验证,结果表明不论是硬开关还是软开关,TMR 在高达 200kHz 的变化电流条件下均能够迅速响应被测开关管的电流信号,证明了将 TMR 集成在 SiC IPM 中实现电流采样的可行性。

仅限PMIC会员单位内部使用，不得外传

第五章 总结与展望

5.1 本文工作总结

SiC MOSFET 相比于同等电压电流等级的硅器件具有开关速度快、损耗低、耐高温、导热率高等一系列优点。随着器件工艺的不断优化进步,确保器件上述特性充分发挥的封装形式也在不断改进与完善。对于 SiC MOSFET,集成驱动以及多功能保护控制的封装形式能够极大地减小封装寄生电感参数,实现快速的控制响应与电路保护。本文针对小功率 SiC IPM 在损耗评估(热)、内部干扰分析与抑制(电)、电流采样集成(保护与控制)等几个方面进行了研究与探讨,研究内容和创新点包括以下几个方面:

- 针对 SiC IPM 高度集成封装中器件开关损耗无法直接测量的问题,本文建立了考虑 SiC MOSFET 特有的高压转移特性以及动态反向传输电容特性的动态开关损耗计算模型,显著提高了开关波形预测的准确性、减小了损耗评估的误差。

针对 SiC IPM 内部布局极其紧凑,无法通过准确测量器件电压电流的方式来计算损耗,本文第二章提出了基于实际电路参数以及 SiC MOSFET 器件特性的开关过程损耗模型,并且具有普遍适用性。

不同于传统硅器件以及其他的开关过程损耗计算模型,本文提出的模型针对 SiC MOSFET 的特有的高压转移特性与动态反向传输电容特性进行了改进。由于在 SiC MOSFET 中普遍存在的短沟道效应,漏极电压会引起沟道势垒降低,导致 SiC MOSFET 在较高的漏源电压时器件电流明显增加,本文针对该现象进行了不同漏源电压下转移特性曲线的测量并代入模型进行修正。同时针对 SiC MOSFET 动态开关过程中的反向电容特性设计了测量电路并将测量结果代入模型进行修正。结果表明,结合上述两点 SiC MOSFET 特性的动态开关损耗模型相比于传统模型对器件开关波形的预测更加精准,评估的损耗误差更小,建议 SiC MOSFET 器件数据手册中这两项参数的测量结果以供用户参考。

- 针对 SiC IPM 内部驱动芯片输入端的干扰问题,本文建立了基于干扰回路参数与寄生电容等的数学模型,定量分析了干扰造成的误开通甚至桥臂直通问题,并基于该模型提出了在保证器件开关速度情况下减小或消除干扰的解决方案。

SiC IPM 内部结构紧凑,加上 SiC MOSFET 的高 dv/dt 和 di/dt ,其内部存在一定的电磁干扰问题。其中,驱动芯片输入端的信号易受到器件开关过程中的 dv/dt 的影响。本文

针对 SiC IPM 内部驱动芯片输入端的误开通干扰问题分析建立了数学模型, 模型结果表明该干扰问题在电路处于不同开关状态时可能导致误开通或者桥臂直通的危险, 严重影响电路工作。依据模型中干扰的关键参数, 本文从噪声源、干扰路径、敏感单元三个方面分别分析了相关的抑制方法并进行了对比, 其中添加屏蔽层旁路寄生电容的方式能够彻底解决驱动芯片输入端的干扰问题而不影响器件的开关速度以及其他相关参数设计。

➤ 针对 SiC IPM 电流采样集成方案, 本文分析并解决了基于隧道磁电阻 (TMR) 检测时的输出回路感应电动势干扰以及电场干扰问题, 并实现了在图腾柱 PFC 中的 ZCD 检测控制以及在 SiC IPM 中的电流精确采样。

目前的 SiC IPM 虽然在集成驱动控制芯片上留有过流保护的采样接口, 但实际的电流采样电路还需要要 IPM 模块外部使用采样电阻搭建。SiC MOSFET 的短路特性以及控制均需要电流采样能够快速准确地响应, 可通过在 SiC IPM 中集成电流采样功能来实现。传统的电阻采样、电流传感器或者霍尔等元件由于封装尺寸大、损耗高等一系列问题不适合集成在 SiC IPM 内部。

本文提出了利用 TMR 进行 SiC IPM 电流采样的封装集成方案, 对 TMR 在实际应用中出现的输出回路干扰问题以及临近通流导线的电压噪声干扰问题进行了详细地分析。为减小输出回路的感应电压干扰问题, 可采用尽量减小输出回路面积并最大程度提高输出信噪比的解决思路。为减小临近通流导线的电压噪声干扰可采用将 TMR 布局在电位较为稳定的导线附近并增加屏蔽层的解决方案。基于上述优化的 TMR 方案, 本文对图腾柱 PFC 进行了电流采样, 得到的波形与实际电感电流波形几乎完全重合, 实现了电感电流的 ZCD 检测并及时关断续流管。优化后的 TMR 方案同样可以准确检测 SiC IPM 中被测器件电流波形, 为后续进一步集成提供了参考。

5.2 后续研究展望

SiC MOSFET 器件的一系列优秀特性能够提高电路的开关速度, 有效减小系统的体积, 提升功率密度。集成封装能够提高碳化硅模块的功率密度, 实现电路的快速保护与控制功能, 有助于充分发挥器件特性, 实现系统功率密度的跨越式提升。本文针对 SiC IPM 进行了一部分的研究工作, 初步探索并尝试解决了集成封装中可能会遇到的一些问题, 仍然有许多问题和后续工作有待进一步探索研究。其中包括但不止于:

- 本文对 SiC IPM 集成 TMR 电流采样功能进行了初步的探索, 目前只是使用采样小板形式进行了初步的电流检测实验。后续若要正式集成在 SiC IPM 中还需要进行内部磁

场分布的仿真及实验分析，针对具体应用优化而设计。对于集成后内部可能产生的新的电磁干扰问题进行建模分析并提出相应的解决方案等。

- 目前的 SiC IPM 驱动芯片供电采用外置双辅助电源供电方案，较为复杂。传统的桥臂上管自举驱动方案对于目前普遍需要负压关断的 SiC MOSFET 不适用，目前商业 SiC IPM 中的 SiC MOSFET 均经过优化设计，使得其栅极开启阈值电压较高，所以可以采用 0V 关断电压，但在一定程度上也牺牲了器件的部分导通性能。针对 SiC IPM 驱动电路的辅助供电方案还有待进一步优化。
- 本文设计的 SiC IPM 目前只作了初步的双脉冲测试以及简单的 Buck 电路实验，后续还可在此基础上构建 PFC 电路或者电机驱动电路等进一步探索其性能。
- 本文暂未涉及模块的热特性以及各种可靠性测试等内容，这些内容对于 SiC IPM 的正式应用必不可少，后续还有大量相关工作需要展开进行深入研究。

仅限PMIC会员单位内部使用，不得外传

参考文献

- [1] 习近平.在第七十五届联合国大会一般性辩论上的讲话[EB/OL]. http://www.xinhuanet.com/politics/leaders/2020-09/22/c_1126527652.htm.
- [2] 习近平.在气候雄心峰会上的讲话（全文）[EB/OL]. http://www.xinhuanet.com/2020-12/12/c_1126853600.htm.
- [3] Dogmus E, Slimane S B, Chiu P. Power SiC 2020: Materials, Devices and Applications [EB/OL]. <http://www.yole.fr/>.
- [4] UAES与罗姆成立“SiC技术联合实验室”并举行启动仪式[EB/OL]. https://www.rohm.com.cn/news-detail?news-title=2020-12-08_news_uaes-sic&defaultGroupId=false.
- [5] ST to supply SiC power electronics to Renault-Nissan-Mitsubishi for high-speed on-board chargers in next-gen EVs[EB/OL]. http://www.semiconductor-today.com/news_items/2019/sep/st-100919.shtml.
- [6] CoolSiC™ CIPOS™ Maxi: World's first 1200 V transfer molded IPM with SiC [N/O L]. <https://www.infineon.com/cms/en/about-infineon/press/market-news/2020/INFIPC202011-023.html>.
- [7] Zhong X, Wu X, Zhou W, et al. An all-SiC high-frequency boost DC-DC converter operating at 320°C junction temperature[J]. IEEE Transactions on Power Electronics, 2014, 29(10): 5091-5096.
- [8] Chen Z. Electrical Integration of SiC Power Devices for High-Power-Density Applications [D]. Blacksburg: Virginia Polytechnic Institute and State University, 2013:46-75.
- [9] Wang J, Chung H S and Li R T. Characterization and Experimental Assessment of the Effects of Parasitic Elements on the MOSFET Switching Performance[J]. IEEE Transactions on Power Electronics, 2013.28(1):573-590.
- [10] 朱楠.功率半导体模块电、热特性分析及应用[D].杭州: 浙江大学, 2017: 7.
- [11] Seal S, Glover M D and Mantooth H A. 3-D Wire Bondless Switching Cell Using Flip-Chip-Bonded Silicon Carbide Power Devices [J]. IEEE Transactions on Power Electronics, 2018.33(10):8553-8564.
- [12] Chen Z, Yao Y, Boroyevich D, et al. An ultra-fast SiC phase-leg module in modified hybrid packaging structure[C]. IEEE Energy Conversion Congress and Exposition (ECCE), 2014:2880-2886.
- [13] Chen C, Chen Y, Li Y, et al. An SiC-Based Half-Bridge Module with an Improved Hybrid Packaging Method for High Power Density Applications[J]. IEEE Transactions on Industrial Electronics, 2017, 64(11):8980-8991.
- [14] Beckedahl P, Buetow S, Maul A, et al. 400 A, 1200 V SiC power module with 1nH commutation inductance[C]. International Conference on Integrated Power Electronics Systems (CIPS), 2016:1-6.
- [15] Narazaki A, Shirasawa T, Takayama T, et al. Direct beam lead bonding for trench MOSFET & CSTBT[C]. International Symposium on Power Semiconductor Devices and ICs (ISPSD), 2005:75-78.
- [16] Chang H, Bu J, Kong G, et al. 300A 650V 70 um thin IGBTs with double-sided cooling[C]. International Symposium on Power Semiconductor Devices and ICs (ISPSD), 2011:320-323.

- [17] Temple V, Waldron J, Azotea J, et al. High Frequency SiC Majority Carrier Modules[C]. International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management (PCIM Europe), 2015:1-7.
- [18] Weidner K, Kaspar M, Seliger N. Planar Interconnect Technology for Power Module System Integration[C]. International Conference on Integrated Power Electronics Systems (CIPS), 2012:1-5.
- [19] Gillot C, Schaeffer C, Massit C, et al. Double-sided cooling for high power IGBT modules using flip chip technology[J]. IEEE Transactions on Components and Packaging Technologies, 2001, 24(4):698-704.
- [20] Cao X, Lu G, Ngo K D T. Planar Power Module With Low Thermal Impedance and Low Thermomechanical Stress[J]. IEEE Transactions on Components, Packaging and Manufacturing Technology, 2012, 2(8):1247-1259.
- [21] Nakatsu K, Nishihara A, Sasaki K, et al. A novel direct water and double-sided cooled power module and a compact inverter for electrified vehicles[C]. European Conference on Power Electronics and Applications (EPE), 2013:1-6.
- [22] Grassmann A, Geitner O, Hable W, et al. Double Sided Cooled Module concept for High Power Density in HEV Applications[C]. International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management (PCIM Europe), 2015:1-7.
- [23] Wang Y, Li Y, Dai X, et al. Thermal design of a dual sided cooled power semiconductor module for hybrid and electric vehicles[C]. IEEE Applied Power Electronics Conference and Exposition (APEC), 2017:3068-3071.
- [24] Liang Z. Integrated double sided cooling packaging of planar SiC power modules[C]. IEEE Energy Conversion Congress and Exposition (ECCE), 2015:4907-4912.
- [25] Liang Z. Planar-bond-all: A technology for three-dimensional integration of multiple packaging functions into advanced power modules[C]. IEEE International Workshop on Integrated Power Packaging (IWIPP), 2015:115-118.
- [26] Liang Z, Ning P, Wang F, et al. A Phase-Leg Power Module Packaged With Optimized Planar Interconnections and Integrated Double-Sided Cooling[J]. IEEE Journal of Emerging and Selected Topics in Power Electronics, 2014, 2(3):443-450.
- [27] Yang F, Wang Z, Liang Z, et al. Electrical Performance Advancement in SiC Power Module Package Design with Kelvin Drain Connection and Low Parasitic Inductance[J]. IEEE Journal of Emerging and Selected Topics in Power Electronics, 2019, 7(1):84-98.
- [28] Dimarino C, Johnson M, Mouawad B, et al. Design of a novel, high-density, high-speed 10 kV SiC MOSFET module[C]. IEEE Energy Conversion Congress and Exposition (ECCE), 2017:4003-4010.
- [29] Mouawad B, Skuriat R, Li J, et al. Development of a highly integrated 10 kV SiC MOSFET power module with a direct jet impingement cooling system[C]. International Symposium on Power Semiconductor Devices and ICs (ISPSD), 2018:256-259.
- [30] Dimarino C, Mouawad B, Johnson C M, et al. Design and Experimental Validation of a Wire-Bond-Less 10-kV SiC MOSFET Power Module[J]. IEEE Journal of Emerging and Selected Topics in Power Electronics, 2020, 8(1):381-394.

- [31] Dimarino C M, Mouawad B, Johnson C M, et al. 10-kV SiC MOSFET Power Module with Reduced Common-Mode Noise and Electric Field[J]. IEEE Transactions on Power Electronics, 2020, 35(6):6050-6060.
- [32] Press-pack IGBT, Towards the next generation of super switch [EB/OL]. <https://fhi.nl/app/uploads/sites/38/2014/01/KWx-IXYS-UK-IGBT-june14.pdf>
- [33] Mounting instructions for StakPaks [N/OL]. <http://new.abb.com/semiconductors/stakpak>
- [34] Zhu N, Mantooth H A, Xu D, et al. A Solution to Press-Pack Packaging of SiC MOSFETS[J]. IEEE Transactions on Industrial Electronics, 2017, 64(10):8224-8234.
- [35] Chang Y, Luo H, Iannuzzo F, et al. Compact Sandwiched Press-Pack SiC Power Module With Low Stray Inductance and Balanced Thermal Stress[J]. IEEE Transactions on Power Electronics, 2020, 35(3):2237-2241.
- [36] Yin J, Liang Z, Wyk J D V. High Temperature Embedded SiC Chip Module (ECM) for Power Electronics Applications[J]. IEEE Transactions on Power Electronics, 2007, 22(2):392-398.
- [37] Boettcher L, Karaszkievicz S, Manassis D, et al. Development of embedded power electronics modules[C]. Electronic System-Integration Technology Conference (ESTC), 2012:1-6.
- [38] Ostmann A, Boettcher L, Manassis D, et al. Power modules with embedded components[C]. European Microelectronics Packaging Conference (EMPC), 2013:1-4.
- [39] Herbsommer J A, Noquil J, Lopez O, et al. Innovative 3D integration of power MOSFETs for synchronous buck converters[C]. IEEE Applied Power Electronics Conference and Exposition (APEC), 2011:1273-1274.
- [40] Vagnon E, Jeannin P-O, Crebier J-C, et al. A Bus-Bar-Like Power Module Based on Three-Dimensional Power-Chip-on-Chip Hybrid Integration[J]. IEEE Transactions on Industry Applications, 2010, 46(5):2046-2055.
- [41] Regnat G, Jeannin P, Lefevre G, et al. Silicon carbide power chip on chip module based on embedded die technology with paralleled dies[C]. IEEE Energy Conversion Congress and Exposition (ECCE), 2015:4913-4919.
- [42] Sheng K. Maximum Junction Temperatures of SiC Power Devices[J]. IEEE Transactions on Electron Devices, 2009, 56(2):337-342.
- [43] Haumann S, Rudzki J, Osterwald F, et al. Novel bonding and joining technology for power electronics - Enabler for improved lifetime, reliability, cost and power density[C]. IEEE Applied Power Electronics Conference and Exposition (APEC), 2013:622-626.
- [44] Boettge B, Naumann F, Klengel R, et al. Packaging material issues in high temperature power electronics[C]. European Microelectronics Packaging Conference (EMPC), 2013:1-6.
- [45] Marengo N, Kontek M, Reinert W, et al. Copper ribbon bonding for power electronics applications[C]. European Microelectronics Packaging Conference (EMPC), 2013:1-4.
- [46] 王征, 刘文, 梅云辉, 等. 宽禁带电力电子器件关键封装材料研究进展[J]. 电力电子技术, 2017, 51(8): 82-85.
- [47] Passmore B S, Lostetter A B. A review of SiC power module packaging technologies: Attaches, interconnections, and advanced heat transfer[C]. IEEE International Workshop On Integrated Power Packaging (IWIPP), 2017:1-5.
- [48] Yong L X. Sinter paste for power packages[C]. IEEE Electronics Packaging Technology Conference (EPTC), 2014:458-462.

- [49] 陈寰贝, 王子良, 庞学满, 等. 大功率高可靠电子封装研究发展趋势[J]. 真空电子技术, 2018(04): 8-12.
- [50] 陈大钦, 林锋, 肖来荣, 等. DBC电子封装基板材料研究进展[J]. 材料导报, 2004, 18(6): 76-82.
- [51] AMB覆铜陶瓷载板 [EB/OL]. <http://www.ferrotec.com.cn/products/productlistinfo/220.html>.
- [52] Easy 1B/2B Automotive Power Modules [EB/OL]. <https://www.infineon.com>.
- [53] FS03MR12A6MA1LB, datasheet [EB/OL]. <https://www.infineon.com>.
- [54] Chen Z, Yao Y, Boroyevich D, et al. A 1200-V, 60-A SiC MOSFET Multichip Phase-Leg Module for High-Temperature, High-Frequency Applications[J]. IEEE Transactions on Power Electronics, 2014, 29(5):2307-2320.
- [55] Wang M, Luo F, Xu L. A Double-End Sourced Wire-Bonded Multichip SiC MOSFET Power Module with Improved Dynamic Current Sharing[J]. IEEE Journal of Emerging and Selected Topics in Power Electronics, 2017, 5(4):1828-1836.
- [56] Wang Z, Yang F, Campbell S L, et al. Characterization of SiC Trench MOSFETs in a Low-Inductance Power Module Package[J]. IEEE Transactions on Industry Applications, 2019, 55(4):4157-4166.
- [57] Mantooth H A, Glover M D, Shepherd P. Wide Bandgap Technologies and Their Implications on Miniaturizing Power Electronic Systems[J]. IEEE Journal of Emerging and Selected Topics in Power Electronics, 2014, 2(3):374-385.
- [58] Wang Z, Shi X, Tolbert L M, et al. A high temperature silicon carbide mosfet power module with integrated silicon-on-insulator-based gate drive[J]. IEEE Transactions on Power Electronics, 2015, 30(3):1432-1445.
- [59] Mitsubishi Electric. Mitsubishi Electric Launches SiC Power Semiconductor Modules [EB/OL]. <https://www.mitsubishielectric.com/news/2013/0509-a.html>.
- [60] Baek M, Lee M, Han S, et al. New 1200V SiC MOSFET intelligent power module[C]. International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management (PCIM Europe), 2019: 874-878.
- [61] LMG5200 80V、10A GaN 半桥功率级[EB/OL]. <https://www.ti.com.cn/zh-cn/power-management/gallium-nitride/products.html>.
- [62] NV6128, datasheet [EB/OL]. <https://navitassemi.com/download/>.
- [63] Okamoto M, Yao A, Sato H, et al. First Demonstration of a Monolithic SiC Power IC Integrating a Vertical MOSFET with a CMOS Gate Buffer[C]. International Symposium on Power Semiconductor Devices and ICs (ISPSD), 2021:71-74.
- [64] Wamuro N, Harada Y, Yamazaki T, et al. A new vertical IGBT structure with a monolithic over-current, over-voltage, and over-temperature sensing and protecting circuit[J]. IEEE Electron Device Letters, 1995, 16(9):399-401.
- [65] Berthou M, Godignon P, Millán J. Monolithically Integrated Temperature Sensor in Silicon Carbide Power MOSFETs[J]. IEEE Transactions on Power Electronics, 2014, 29(9):4970-4977.
- [66] Liang Z, Ning P, Wang F. Development of Advanced All-SiC Power Modules[J]. IEEE Transactions on Power Electronics, 2014, 29(5):2289-2295.
- [67] Van Erp R, Soleimanzadeh R, Nela L, et al. Co-designing electronics with microfluidics for more sustainable cooling[J]. Nature, 2020, 585(7824):211-216.

- [68] Hoene E, Ostmann A, Marczok C. Packaging Very Fast Switching Semiconductors[C]. International Conference on Integrated Power Electronics Systems (CIPS), 2014:1-7.
- [69] Otsuki M, Watanabe M, Nishiura A. Trends and opportunities in intelligent power modules (IPM)[C]. International Symposium on Power Semiconductor Devices & IC's (ISPSD), 2015:317-320.
- [70] Sun J, Xu H, Wu X, et al. Short circuit capability and high temperature channel mobility of SiC MOSFETs[C]. International Symposium on Power Semiconductor Devices and IC's (ISPSD), 2017:399-402.
- [71] Sun J, Yang S, Xu H, et al. High-Temperature Characterization of a 1.2-kV SiC MOSFET Using Dynamic Short-Circuit Measurement Technique[J]. IEEE Journal of Emerging and Selected Topics in Power Electronics, 2020, 8(1):215-222.
- [72] Majumdar G. Power module technology for home power electronics[C]. International Power Electronics Conference (IPEC-ECCE Asia), 2010:773-777.
- [73] Lee M, Baek M, Lee J, et al. A New Smallest 1200V Intelligent Power Module for Three Phase Motor Drives[C]. International Power Electronics Conference (IPEC-ECCE Asia), 2018:1141-1144.
- [74] Wang Y, Watabe K, Sakai S, et al. New Transfer Mold DIIPM utilizing silicon carbide (SiC) MOSFET[C]. International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management (PCIM Europe), 2016:1-6.
- [75] Shibata S, Kato M, Zhang H. New Transfer-Molded SLIMDIP for white goods using thin RC-IGBT with a CSTBTM structure[C]. International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management (PCIM Europe), 2015:1-6.
- [76] Infineon-AN2020-41_CIP0S_MAXI_IPM_IM828_series-ApplicationNotes-v01_00-EN.pdf [EB/OL]. https://www.infineon.com/dgdl/Infineon-AN2020-41_CIP0S_MAXI_IPM_IM828_series-ApplicationNotes-v01_00-EN.pdf?fileId=5546d462749a7c2d0174b5a6448f3037.
- [77] Wang Y, Yamaguchi K, Tanaka T, et al. New Hybrid Large DIIPMTM for PV Application with built-in SiC-SBD and seventh-generation CSTBTTM [C]. International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management (PCIM Asia), 2015:1-6.
- [78] Zhang Y, Ma X, He H, et al. New DIIPM⁺TM Series Module with All-in-one integrated[C]. International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management (PCIM Europe), 2016:1-6.
- [79] Wang Y, Yamaguchi K, Watabe K, et al. A new multi-functional compact IPM for low power industrial application[C]. IEEE Applied Power Electronics Conference and Exposition (APEC), 2017:3072-3075.
- [80] Shimizu Y, Nakano Y, Kono Y, et al. A high performance intelligent IGBT with overcurrent protection[C]. International Symposium on Power Semiconductor Devices and ICs (ISPSD), 1994:37-41.
- [81] Kudoh M, Hoshi Y, Momota S, et al. Current sensing IGBT for future intelligent power module[C]. International Symposium on Power Semiconductor Devices and ICs (ISPSD), 1996:303-306.

- [82] Iwamuro N, Harada Y, Yamazaki T, et al. A new vertical IGBT structure with a monolithic over-current, over-voltage, and over-temperature sensing and protecting circuit[J]. IEEE Electron Device Letters, 1995, 16(9):399-401.
- [83] Fuji Electric Co., Ltd. Chapter 8 Sense IGBT Performance [EB/OL]. https://www.fujielectric.co.jp/products/semiconductor/model/igbt/application/box/doc/pdf/MT5F33743/MT5F33743_E_08.pdf.
- [84] Whitaker B, Barkley A, Cole Z, et al. A High-Density, High-Efficiency, Isolated On-Board Vehicle Battery Charger Utilizing Silicon Carbide Power Devices[J]. IEEE Transactions on Power Electronics, 2014, 29(5):2606-2617.
- [85] Zhang C, Srdic S, Lukic S, et al. A SiC-Based 100 kW High-Power-Density (34 kW/L) Electric Vehicle Traction Inverter[C]. IEEE Energy Conversion Congress and Exposition (ECCE), 2018:3880-3885.
- [86] Reimers J, Dorn-Gomba L, Mak C, et al. Automotive Traction Inverters: Current Status and Future Trends[J]. IEEE Transactions on Vehicular Technology, 2019, 68(4):3337-3350.
- [87] Zeng Z, Zhang X, Blaabjerg F, et al. Stepwise Design Methodology and Heterogeneous Integration Routine of Air-Cooled SiC Inverter for Electric Vehicle[J]. IEEE Transactions on Power Electronics, 2020, 35(4):3973-3988.
- [88] Erickson R W and Maksimović D. Fundamentals of Power Electronics, 2nd ed[M]. NY, USA: Kluwer Academic, 2004:93-94.
- [89] Baliga B J. Fundamentals of Power Semiconductor Devices[M]. NY, USA: Springer, 2008:436-446.
- [90] Ren Y, Xu M, Zhou J, et al. Analytical loss model of power MOSFET[J]. IEEE Transactions on Power Electronics, 2006, 21(2):310-319.
- [91] Christen D, Biela J. Analytical Switching Loss Modeling Based on Datasheet Parameters for mosfets in a Half-Bridge[J]. IEEE Transactions on Power Electronics, 2019, 34(4):3700-3710.
- [92] Roy S K, Basu K. Analytical Estimation of Turn on Switching Loss of SiC MOSFET and Schottky Diode Pair from Datasheet Parameters[J]. IEEE Transactions on Power Electronics, 2019, 34(9):9118-9130.
- [93] Wang X, Zhao Z, Li K, et al. Analytical Methodology for Loss Calculation of SiC MOSFETs[J]. IEEE Journal of Emerging and Selected Topics in Power Electronics, 2019, 7(1):71-83.
- [94] Rodríguez M, Rodríguez A, Miaja P F, et al. An Insight into the Switching Process of Power MOSFETs: An Improved Analytical Losses Model[J]. IEEE Transactions on Power Electronics, 2010, 25(6):1626-1640.
- [95] Wang J, Chung H S, Li R T. Characterization and Experimental Assessment of the Effects of Parasitic Elements on the MOSFET Switching Performance[J]. IEEE Transactions on Power Electronics, 2013, 28(1):573-590.
- [96] Castro I, Roig J, Gelagaev R, et al. Analytical Switching Loss Model for Superjunction MOSFET With Capacitive Nonlinearities and Displacement Currents for DC-DC Power Converters[J]. IEEE Transactions on Power Electronics, 2016, 31(3):2485-2495.
- [97] Huang X, Li Q, Liu Z, et al. Analytical Loss Model of High Voltage GaN HEMT in Cascode Configuration[J]. IEEE Transactions on Power Electronics, 2014, 29(5):2208-2219.

- [98] Wang K, Yang X, Li H, et al. An Analytical Switching Process Model of Low-Voltage eGaN HEMTs for Loss Calculation[J]. IEEE Transactions on Power Electronics, 2016, 31(1):635-647.
- [99] Yang F, Liang Z, Wang Z, et al. Parasitic inductance extraction and verification for 3D Planar Bond All Module[C]. International Symposium on 3D Power Electronics Integration and Manufacturing (3D-PEIM), 2016:1-11.
- [100] Troutman R R. VLSI limitations from drain-induced barrier-lowering[J]. IEEE Transactions on Electron Devices, 1978, 25(11):1344-1344.
- [101] IEC 60747-8, Edition 3.0. [S/OL]. <https://webstore.iec.ch/publication/3289>
- [102] Zhang Z, Wang F, Tolbert L M, et al. Active Gate Driver for Crosstalk Suppression of SiC Devices in a Phase-Leg Configuration[J]. IEEE Transactions on Power Electronics, 2014, 29(4):1986-1997.
- [103] UCC27531, datasheet [EB/OL]. <https://www.ti.com.cn>.
- [104] Li B, Lee F C, Li Q, et al. Bi-directional on-board charger architecture and control for achieving ultra-high efficiency with wide battery voltage range[C]. IEEE Applied Power Electronics Conference and Exposition (APEC), 2017:3688-3694.
- [105] CU8965-AL, datasheet [EB/OL]. <https://www.coilcraft.com>.
- [106] Samimi M H, Mahari A, Farahnakian M A, et al. The Rogowski Coil Principles and Applications: A Review[J]. IEEE Sensors Journal, 2015, 15(2):651-658.
- [107] Xue Y, Lu J, Wang Z, et al. A compact planar Rogowski coil current sensor for active current balancing of parallel-connected Silicon Carbide MOSFETs[C]. IEEE Energy Conversion Congress and Exposition (ECCE), 2014:4685-4690.
- [108] Wang J, Shen Z, Dimarino C, et al. Gate driver design for 1.7kV SiC MOSFET module with Rogowski current sensor for shortcircuit protection[C]. IEEE Applied Power Electronics Conference and Exposition (APEC), 2016:516-523.
- [109] ACS730, datasheet[EB/OL]. <https://www.allegromicro.com/>.
- [110] 虞乃鹏.基于隧道磁电阻的IGBT模块短路及过流保护的研究[D]. 杭州: 浙江大学, 2020.
- [111] Introduction to TMR Magnetic Sensors [EB/OL]. <http://www.dowaytech.com/en/1776.html>.
- [112] 陈子健.高效率软开关图腾柱PFC交错并联控制策略分析及优化[D]. 杭州: 浙江大学, 2021.

攻读博士学位期间的科研成果

学术论文:

第一作者:

1. **Dong Zezheng**, Wu Xinke, Xu Hongyi, Ren Na, Sheng Kuang. Accurate Analytical Switching-On Loss Model of SiC MOSFET Considering Dynamic Transfer Characteristic and Q_{gd} [J]. IEEE Transactions on Power Electronics, 2020, 35(11):12264-12273. (SCI收录)
2. **Dong Zezheng**, Wu Xinke, Sheng Kuang. Suppressing Methods of Parasitic Capacitance Caused Interference in a SiC MOSFET Integrated Power Module[J]. IEEE Journal of Emerging and Selected Topics in Power Electronics, 2019, 7(2):745-752. (SCI收录)
3. **Dong Zezheng**, Wu Xinke, Sheng Kuang. Analysis of gate signal interference in an integrated SiC MOSFET module[C]. Applied Power Electronics Conference and Exposition (APEC), 2018:619-622. (EI收录)
4. **Dong Zezheng**, Wu Xinke, Sheng Kuang, Zheng Junming. Impact of common source inductance on switching loss of SiC MOSFET[C]. IEEE International Future Energy Electronics Conference (IFEEC), 2015:1-5. (EI收录)
5. 董泽政, 吴新科, 盛况. SiC MOSFET开关损耗模型[J]. 电力电子技术, 2018, 52(8):31-85.
6. 董泽政, 吴新科, 盛况, 张军明. 共源极电感对SiC MOSFET开关损耗影响的分析[J]. 电源学报, 2016, 14(4):112-118.

其他:

1. Zhang Siliang, Lan Guixing, **Dong Zezheng**, Wu Xinke. A High Efficiency two-stage ZVS AC/DC converter with all SiC MOSFET[C]. IEEE International Future Energy Electronics Conference and ECCE Asia (IFEEC 2017-ECCE Asia), 2017:163-169. (EI收录)
2. Xiao Qiang, **Dong Zezheng**, Wu Xinke, Sheng Kuang. A 10kV/200A SiC MOSFET module with series-parallel hybrid connection[C]. International Power Electronics and Application Conference and Exposition (PEAC), 2014:291-295. (EI收录)

3. 盛况, **董泽政**, 吴新科. 碳化硅功率器件封装关键技术综述及展望[J]. 电机工程学报, 2019, 39(19):5576-5584. (EI收录)

仅限PMIC会员单位内部使用，不得外传