

分类号: TN386

单位代码: 10335

密 级: _____

学 号: 21910024

浙江大学

硕士学位论文



中文论文题目: 碳化硅 MOSFET 并联均流技术研究

英文论文题目: Research on Current Sharing Technology of
Paralleled SiC MOSFETs

申请人姓名: 王 勋

指导教师: 张军明 教授

专业名称: 电气工程

研究方向: 功率半导体器件及其应用

所在学院: 电气工程学院

论文提交日期 2022 年 1 月

**A Dissertation submitted to Zhejiang University in partial fulfillment of the requirements
for the degree of Master of Engineering**

**Research on Current Sharing Technology of Paralleled SiC
MOSFETs**

仅限PMIC会员单位内部使用，不得外传

Candidate: Xun Wang

Supervisor: Prof. Junming Zhang



Zhejiang University, Hang Zhou, P. R. China, 310027

January, 2022

碳化硅 MOSFET 并联均流技术研究



论文作者签名: 王 勋

指导教师签名: 谢小高

论文评阅人 1: _____

评阅人 2: _____

评阅人 3: _____

评阅人 4: _____

评阅人 5: _____

答辩委员会主席: 谢小高

委员 1: 陈 敏

委员 2: 杨 树

委员 3: 邵 帅

委员 4: _____

委员 5: _____

答辩日期: 2022 年 3 月 6 日

浙江大学研究生学位论文独创性声明

本人声明所呈交的学位论文是本人在导师指导下进行的研究工作及取得的研究成果。除了文中特别加以标注和致谢的地方外，论文中不包含其他人已经发表或撰写过的研究成果，也不包含为获得 浙江大学 或其他教育机构的学位或证书而使用过的材料。与我一同工作的同志对本研究所做的任何贡献均已在论文中作了明确的说明并表示谢意。

学位论文作者签名：王勋

签字日期：2022 年 3 月 6 日

仅限PMIC会员单位内部使用，不得外传

学位论文版权使用授权书

本学位论文作者完全了解 浙江大学 有权保留并向国家有关部门或机构送交本论文的复印件和磁盘，允许论文被查阅和借阅。本人授权 浙江大学 可以将学位论文的全部或部分内容编入有关数据库进行检索和传播，可以采用影印、缩印或扫描等复制手段保存、汇编学位论文。

(保密的学位论文在解密后适用本授权书)

学位论文作者签名：王勋

导师签名：王勋

签字日期：2022 年 3 月 6 日

签字日期：2022 年 3 月 6 日

摘要

电力电子技术的发展离不开半导体功率器件的发展。经过几十年的发展和研究,硅基器件逐渐接近其物理极限。宽禁带半导体器件相对硅器件具有更高的饱和速度、热导率、击穿场强,有望成为下一代功率器件并得到广泛应用。碳化硅(Silicon Carbide, SiC)金属-氧化物场效应晶体管(Metal-oxide Semiconductor Field Effect Transistor, MOSFET)在中高压领域下被认为是硅基金属-氧化物场效应晶体管和绝缘栅双极晶体管(Insulated Gate Bipolar Transistor, IGBT)的有效替代品。针对大功率应用场景,需要多芯片并联或者多个器件的并联。器件并联应用中的关键问题是不均流问题,包括稳态过程中的静态不均流问题和开关暂态下的动态不均流问题。动态不均流问题影响因素复杂,同时由于开关暂态时间很短,电流控制难度大,因此一直是本领域的难题。已有的动态均流技术包括无源方案和有源方案,但无法同时具有低成本、低损耗、高集成度、可拓展性等优点。因此本文在现有研究的基础上,利用有源门极驱动技术,对器件并联动态均流进行研究。

本文首先对影响 SiC MOSFET 并联均流的主要因素进行机理分析,并辅以仿真说明,主要包括器件参数、功率回路、驱动回路三个部分。器件参数中跨导系数对动态电流变化斜率与关断时刻点产生影响,但不会影响开通时刻点。而阈值电压则同时影响器件的开关时刻点和电流变化斜率。同时器件参数的温度特性对不均流有恶化作用;功率回路中由于源极电感会通过驱动回路来影响功率电流,因此它的不对称性相较于漏极电感而言会对不均流有更大影响;驱动回路中各并联器件的驱动电阻和栅源电容一般能在电路设计中保持一致性,而驱动信号的延时取决于驱动方式,对开环驱动而言,非直接栅极驱动具有最小的延时差异性和驱动回路寄生参数。

在影响因素的分析基础上,本文提出两种用于改善并联动态均流的模拟型有源门极驱动技术。二者均以源极电感电压差作为不均流的检测参量,在两管并联时,选取其中之一作为参考管,当另一管(跟随管)开通速度较快时,源极电感差分电压经过反馈电路,生成与 $d\Delta i_d/dt$ 成正比的电流信号,从跟随管的门极进行电流抽取,降低其开通速度;反之则往门极进行电流注入,加速其开通速度。最终二者开通过程达到匹配。为了保证源极电感的一致性,本方案采用了分布式电容布局方式。另外,为了实现方案的扩展性,本文采用主从式思想对并联个数进行扩展。两方案的不同在于,基于运放的有源门极驱动均流方案通过引入高速运放对源极电感差分检测信号进行放大,反馈回路较复杂,成本较高,不利于集成,但对电路参数匹配要求低、灵活性高;而基于三极管的有源门极驱动均流方案采

用三极管作为不均流比较环节，反馈回路更简单，易于集成，但对源极电感的取值有一定要求。理论分析和双脉冲实验均证明了这两种方案有效性，在加入有源门极驱动环节后，动态不均流得到改善。

关键词：SiC MOSFET、并联、动态均流、有源门极驱动

仅限PMIC会员单位内部使用，不得外传

Abstract

The development of power electronics is mainly determined by the development of semiconductor devices. In the past few decades, silicon power devices are gradually approaching their physical limits. Fortunately, wide band gap semiconductor devices can replace silicon devices in some applications because of their higher saturation drift velocity, higher thermal conductivity, and higher breakdown field. Among them, Silicon Carbide (SiC) Metal-oxide Semiconductor Field Effect Transistor (MOSFET) is considered as an effective substitute for the Silicon Insulated Gate Bipolar Transistor (IGBT) and Silicon MOSFET in medium to high voltage applications. For high power applications, parallel operation of multiple chips or devices is necessary. The main challenge in parallel operation is the current imbalance, including static current imbalance in steady-state operation and dynamic current imbalance in switching transient. The dynamic current sharing is influenced by many factors and it is more difficult to control due to the short switching transient. The existing approaches to improve dynamic current sharing include passive methods and active methods, but neither of them has the advantages of low cost and loss, high integration and scalability. Based on the existing research, a new active gate driver for dynamic current sharing of paralleled SiC MOSFETs is proposed and studied in this paper.

The main factors affecting the current sharing of paralleled SiC MOSFETs are analyzed and simulated firstly in this paper, which includes three parts: device parameters tolerance, power circuit parasitic parameters and gate drive circuit mismatches. Among the device parameters, the transconductance coefficient affects the slope and turn-off time of dynamic current, but it will not affect turn-on time. The threshold voltage influences both the slope and switching time of the current. Besides, the temperature characteristics of device parameters may deteriorate the dynamic current sharing performance. Among the power circuit parasitic parameters, the mismatch of source inductors in paralleled units has the most serious effect on the dynamic current sharing since it affects the device current by the gate drive voltages. Among drive circuit, the drive resistance and gate-source capacitance of the paralleled devices can often be designed consistent. In addition, the different delay of the drive signal, which depends on the gate driver circuit configuration, may also cause dynamic current imbalance. For the open-loop gate driver, the indirect gate drive in parallel applications has the minimum delay tolerance and parasitic

parameters of the drive circuit.

Based on the analysis of the influencing factors, two closed-loop active gate drivers for dynamic current sharing are proposed in this paper. The voltage difference of source inductors between paralleled devices is used to detect the unbalanced current. For two paralleled devices, one is selected as the reference and the other one is the follower. When the follower turns on faster, the feedback circuit converts the differential voltage between source inductors into current source and extracts current from the gate terminal of the follower SiC MOSFET to slow down its switching speed. Otherwise, the feedback circuit injects current into the gate terminal of the follower to accelerate its switching speed. As a result, the turn-on process of both matches. To ensure the consistency of source inductance, distributed arrangement of paralleled DC capacitors is used. In addition, the master-slave topology is adopted to extend the number of paralleled devices. The difference between the two proposed active gate driver methods is related to the current difference detecting stage. One method uses high-speed operational amplifiers to amplify the differential voltage between source inductors; it has more complicated feedback circuits and high cost, and is harder to integrate. However, it is more flexible for parameters design. The other one uses bipolar transistor to compare the voltage induced by the source inductors; it has simpler feedback circuits and is easier to integrate into driver chip, but there is requirement for source inductance design. Both theoretical analyses and experimental results prove the effectiveness of two closed-loop active gate drivers.

Keywords: SiC MOSFET, Paralleled devices, Dynamic current sharing, Active gate driver

目录

摘要	I
Abstract	III
第 1 章 绪论	1
1.1 研究背景	1
1.1.1 SiC 器件的应用需求	1
1.1.2 SiC 器件并联均流的必要性	3
1.2 SiC MOSFET 并联均流技术研究现状	3
1.2.1 无源均流方案	5
1.2.2 有源均流方案	8
1.3 本论文主要研究内容	10
第 2 章 SiC MOSFET 并联均流影响因素分析	12
2.1 引言	12
2.2 器件参数	12
2.2.1 阈值电压 V_{th}	12
2.2.2 跨导 g_m /跨导系数 β	15
2.3 功率回路参数	16
2.3.1 源极寄生电感 L_s	16
2.3.2 漏极寄生电感 L_d	17
2.4 驱动回路参数	20
2.4.1 驱动电阻 R_g 、栅源电容 C_{gs}	20
2.4.2 驱动信号延时差异	21
2.5 本章小结	23
第 3 章 基于运放的有源门极驱动均流技术	24
3.1 引言	24
3.2 工作原理	24
3.2.1 检测部分	24
3.2.2 反馈部分	26
3.2.3 理论波形	27
3.3 实验验证	28
3.3.1 实验平台	28
3.3.2 功率回路设计	30
3.3.3 实验结果	31
3.4 方案扩展	33
3.4.1 主从式思想	34
3.4.2 多管并联实验	35
3.5 本章小结	36
第 4 章 基于三极管的有源门极驱动均流技术	37
4.1 引言	37
4.2 工作原理	37
4.2.1 检测部分	37

4.2.2 反馈部分.....38

4.2.3 理论波形.....39

4.3 实验验证.....41

4.3.1 反馈电路.....41

4.3.2 开通暂态控制.....44

4.3.3 关断暂态控制.....48

4.4 本章小结.....50

第 5 章 总结与展望.....51

5.1 工作总结.....51

5.2 后期展望.....53

参考文献.....55

攻读硕士学位期间所发表的论文与专利.....60

致谢.....61

答辩委员会表决决议.....6

仅限PMIC会员单位内部使用，不得外传

第1章 绪论

1.1 研究背景

1.1.1 SiC 器件的应用需求

自 1957 年第一个晶闸管问世以来, 电力电子技术已经发展了六十多年了, 电力电子系统也逐步往高效率、高功率密度和高集成化发展^{[1][2]}。而从电力电子的发展史来看, 功率半导体器件在每一次技术革新中都起着举足轻重的作用。在过去的几十年中, 以硅(Si)材料为基础的功率半导体器件在各种电力电子拓扑中占主导地位。在 700V 以下的应用领域, 沟槽栅型 Si MOSFET、超级结 MOSFET 扮演着重要角色; 而在 1kV 到 6.5kV 应用领域, Si IGBT 得到广泛应用。目前, 基于硅材料的功率半导体器件性能逐步接近其理论极限值。据报道, Si IGBT 的最大击穿电压为 8.4kV^[3]; 而从商业化产品上来说, 现有 Si IGBT 最大击穿电压可做到 6.5kV^[4]。同时, 没有任何一种硅基器件的工作温度可以超过 200°C^[4]。由于 Si 材料物理极限即将发挥到极致, 在中大功率应用场景下, 电力电子系统往往需要复杂、昂贵的冷却系统和无源器件, 这极大降低了整机系统的效率和功率密度。因此, 电力电子产业的发展亟需新一代的半导体功率器件。

近年来, 以碳化硅和氮化镓为代表的宽禁带材料因其更高的物理极限而逐渐引起各界的注意。使用宽禁带半导体材料制成的新一代电力电子器件将能大大增加电力电子变换器的效率, 同时可以减少电力电子元件的重量与体积, 更好地实现系统的高效率、高功率密度与高集成化。其中, 碳化硅(SiC)器件是目前发展较成熟的宽禁带半导体材料之一, 吸引了各国研究人员和工程师的注意。图 1-1 展示了 Si 与 SiC 不同的材料性能。与硅材料相比, SiC 材料具有高能带、高饱和速度、高热导率和高临界电场强度等特点, 是高频、高温、高功率密度场合的理想选择。SiC 材料的禁带宽度是 Si 材料的 3 倍左右, 因此临界击穿场强较大, 这决定了 SiC 器件能够承受更高的电压; 同时, 由于 SiC 器件具有较高的带隙宽度, 使得器件具有较低的本征载流子浓度, 并因此可以承受较高温度; SiC 材料具有较高的饱和漂移速度, 更适合高频应用。由于碳化硅材料的固有特性, 新一代碳化硅功率器件提高了应用能效和工作温度^[5]。

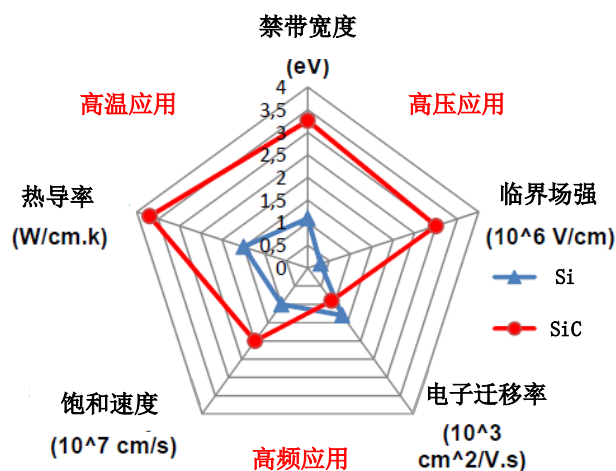


图 1-1 Si 与 SiC 材料性能对比

鉴于 SiC 器件的各种优势，近十年它被各大电力电子各个应用领域所关注，并逐渐得到产业化应用。例如，在光伏逆变器领域，美国通用电气公司在柏林建立了一台 1MW 的 SiC 逆变器，总效率比同等 Si 基逆变器高出 0.5%^[6]；在不间断电源（UPS）应用下，日本东芝公司 2015 年发布的 SiC 500kW G2020 UPS 比其早年发布的同等功率 Si G9000 UPS 的效率提高了 1.2%，同时减少了 18% 的重量^[7]；在铁路牵引逆变器应用下，日本三菱公司所制造的世界第一个全碳化硅牵引系统，相较于已有的 Si 基系统，其逆变器尺寸减少了 55%，重量下降了 35%^[8]；在新能源汽车领域，丰田公司于 2020 年发布的一款全 SiC 功率控制单元（PCU），其尺寸比原有 PCU 减少了 80%^[9]；此外，还有感应加热（IH）应用^[10]、固态变压器应用^[11]等等，由于 SiC 器件的应用，电力电子系统在各个指标上都有了显著的提升。

在各种 SiC 功率晶体管中，SiC MOSFET 被认为是中高压应用领域下 Si MOSFET 和 IGBT 的一种有效的替代品。Si MOSFET 由于材料的限制，耐压值不高，而且导通电阻很大；SiC MOSFET 可以在低导通电阻下达到高耐压，其高出 Si MOSFET 十倍以上的临界击穿场强使得 SiC MOSFET 可以应用在超过 10kV 的高压场合下^[12]。Si IGBT 在 1200V~6500V 电压范围内有着广泛的应用，但是由于其存在严重的拖尾电流，在高频应用下受到很大的限制，同时会带来较大损耗；SiC MOSFET 不存在这样的问题，可以在更高频下工作，损耗更低，效率更高。同时，由于其具有较高的热导率，可以减小散热系统的设计，这反过来会大大提高整个系统的功率密度。所以，在大功率电力电子变换器中，SiC MOSFET 更具优势。

1.1.2 SiC 器件并联均流的必要性

由于工艺、良率、封装、成本等因素，单芯片的 SiC MOSFET 通流能力较低^[13]，例如 CREE 公司所生产的新款 SiC MOSFET 单管，其额定电压分别为 1200V 和 1700V，但其额定电流仅有 149A 和 72A^{[14][15]}，这也导致了其无法应用在大容量的电力电子设备上。因此，通常采用多个分立器件或功率模块中的多片裸片并联来达到更高的额定电流。

当 SiC MOSFET 并联使用时，并联单元之间的电流不均衡成为一个主要问题。不均流会导致器件损耗分布不均，进而影响其热分布，并最终导致器件寿命不均衡。根据功率器件可靠性理论，器件平均失效时间为^[16]

$$MTTF = A \cdot e^{\frac{E_a}{kT_j}} \quad (1-1)$$

其中， E_a 是反应活化能，一般视为与温度无关的定值，SiC MOSFET 取值为 0.9eV ^[17]， k 是玻尔兹曼常数，为 $(8.617 \times 10^{-5}) \text{ eV/K}$ ， A 是常数， T_j 是器件结温。

对不同结温下的两管，平均失效时间之比为

$$\frac{MTTF_1}{MTTF_2} = e^{\frac{E_a}{k} \left(\frac{1}{T_{j1}} - \frac{1}{T_{j2}} \right)} \quad (1-2)$$

由此可以得到不同结温下平均失效时间之比与结温差的关系曲线，如图 1-2 所示：

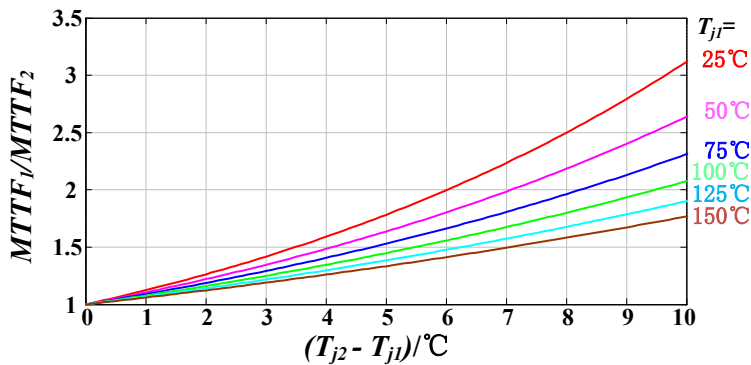


图 1-2 平均失效时间之比与结温的关系

当两管结温差越大，平均失效时间相差越严重；同时功率管结温越低，温差带来的影响越显著。因此为了减少结温差对平均失效时间，即寿命的影响，必须尽可能保证并联管损耗一致性。因此均流就有了其必要性。

1.2 SiC MOSFET 并联均流技术研究现状

并联器件均流问题可以分为稳态下的电流均衡（通常称为静态均流）以及开关暂态下

的电流均衡（通常称为动态均流）。

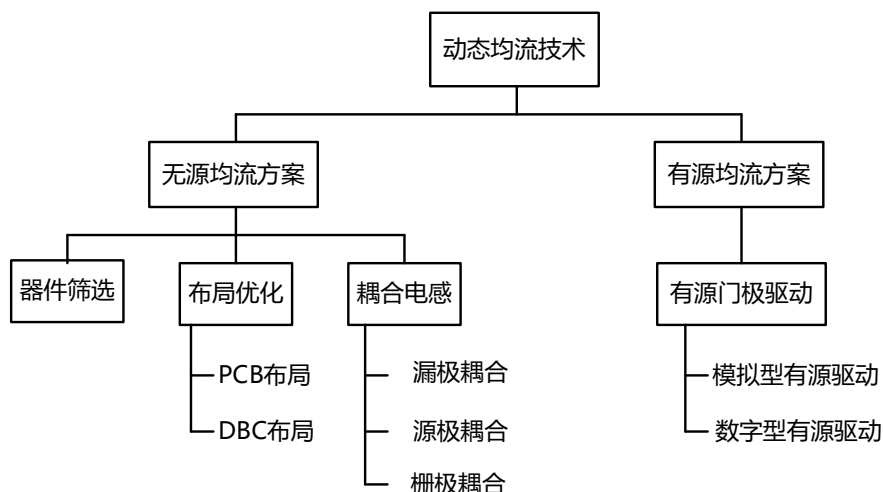
静态均流问题主要考虑两个因素：其一是 MOSFET 的导通电阻，通常选择导通电阻匹配性较好的器件并联可以避免这个问题，同时由于 MOSFET 导通电阻有正温度系数特性^[18]，具有一定的自均流能力，可以抑制静态不均流；其二是功率回路的寄生参数，包含布线中的寄生电阻与寄生电感。由于 SiC MOSFET 的导通电阻较小，当并联支路的寄生电阻可与器件的导通电阻相比较时，其对静态电流的影响不可忽视^[19]。另外，由于实际应用中一般连接感性负载，静态电流存在一定斜率，因此当线路寄生电感较大时，同样对静态电流有一定影响。为减少寄生参数对静态电流的影响，通常采用优化布局的方式。一方面需要减少线路寄生参数，使导通电阻仍为稳态电流的主导因素；另一方面改变负载端口的位置，从而改变负载电流的路径，使负载电流尽量对称地流经并联支路^[20]。综上，静态均流问题影响因素较少，因此相对容易实现。

动态均流问题则较为复杂，动态电流的均衡受众多因素影响，同时开关时间很短，SiC 器件的开关速度相对传统 Si 器件可以提升一个数量级，实现动态均流难度更大，因此，该问题一直是本领域的技术难题。另外，在高频应用场景下，由于开关损耗在总损耗中的占比更大，动态不均流有着更为显著的影响。

近年来，一些文献从电路寄生参数不对称和器件参数不一致两个方面对动态电流不平衡进行了研究^[21]。对于电路寄生参数不对称问题，文献[22]中研究了寄生电感不对称对并联模块的影响，而文献[23]在分立器件上进行了类似的研究。其中，并联支路不相等的源极电感是最主要的不均流影响因素，而这一结论同样适用于含开尔文源极的 SiC MOSFET^[24]。在器件参数不一致方面，SiC MOSFET 阈值电压是最主要的影响因素之一。该参数不仅对电流开关特性有显著影响，同时它还具有负温度系数的特点，对不均流程度有恶化作用^[25]。此外，文献[26]还指出跨导和转移曲线与不均流有极大的相关性。

为了防止器件不均流问题对电力电子系统造成不可逆的损坏，工业界通常将其降额使用^[27]。这种做法容许一定范围的不均流存在，但是却没有充分利用器件的电流容量，因此往往需要更大的成本来实现。为了从根本上抑制电流不均衡，国内外学者与工业界进行了许多研究。如前文所述，动态不均流问题更为复杂，解决起来更为困难，因此本文着重对该问题展开研究。

根据是否采用有源器件，动态均流技术可分为无源方案和有源方案，如图 1-3 所示。



1.2.1 无源均流方案

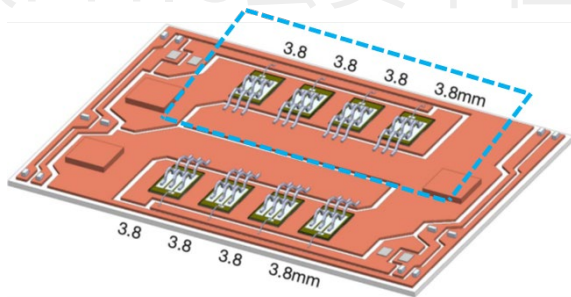
1) 器件筛选

由于器件参数的不一致是导致动态不均流的关键因素之一，因此在 SiC MOSFET 并联前，尤其是在模块中，会在同一批次生产出的晶圆中筛选尽量一致的器件，使得并联器件的参数匹配。然而器件参数之间相互影响，达到完全一致难度较大，因此需要关注主要影响因素，忽略其他，故选择何种参数作为筛选标准是该方案的难点和重点。由于 SiC MOSFET 的阈值电压和跨导系数都会影响动态均流特性，所以仅考虑其中一点是不合适的。文献[26]指出器件的转移曲线同时包含这两个参数的信息，因此可以作为器件筛选标准。同时，由于单个器件的转移曲线随温度变化较大，而两个器件转移曲线的差异度几乎不随温度改变，所以只需在室温下筛选转移曲线较匹配的器件。文献[28]在该方案的基础上，提出用并联支路源极电感的差异补偿两器件阈值电压与跨导系数的差异，在器件参数不一致的情况下，通过调节两并联支路的源极电感同样达到了较好的均流效果。尽管如此，由于预知器件参数特性是应用该方案的前提，因此在器件并联前，必须要将所有器件提前测试并挑选，所以限制了该方案应用在商业量产中。

2) 布局优化

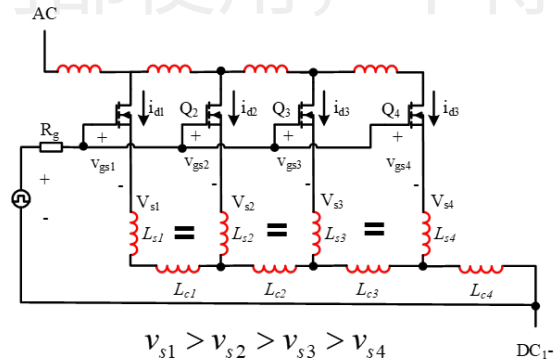
功率回路布局优化是抑制线路寄生参数不一致造成的动态不均流的重要手段。文献[29]分析了共源电感对并联支路均流特性的影响，并指出由于半桥并联时上管的 MOSFET 的共源电感能保持一致，而裸片并联时上管的共源电感存在较大差异，所以半桥并联的均

流特性优于裸片并联。但对于下管而言，半桥并联相较于裸片并联的均流特性并未得到改善；文献[30]、[31]通过改变电源端口的位置来改善下管均流特性，以两管并联为例，相较于将电源端口放在并联支路的首端或尾端，将其放在中间可以保证并联器件共源电感完全一致。然而该方案仅对少数器件并联有效，一旦并联个数增加，支路间共源电感的差异仍会造成严重的动态不均流。同时该方案无法适用于奇数个器件并联；文献[32]在模块左右两侧分别加入去耦电容，使开关暂态下电流路径相较于单电容布局更为对称，同时它也适用于奇数个器件并联。然而该方案同样会随着并联器件的数量增多而逐渐失效，从理论上而言，越靠近中间位置的并联管共源电感越大；文献[33]在每一条并联支路旁放置一个去耦电容来提供开关暂态能量，从而保证共源电感的一致性，同时通过 PCB 的开槽对各并联支路进行解耦，抑制了支路间电流的交换。然而该方案由于引入较多高压电容，不利于模块化。同时对开槽的位置与尺寸缺乏理论推算，只能通过仿真尝试；文献[34]、[35]通过理论分析量化了共源电感的差异对不均流的影响，并通过改变模块内各并联支路键合线的长度和位置改善了均流性能，如图 1-4 所示。然而并联个数一旦增加，需要引入较长的键合线才能使各支路共源电感达到匹配，会造成开关暂态时器件两端电压过冲变大、开关损耗变大等不良后果。

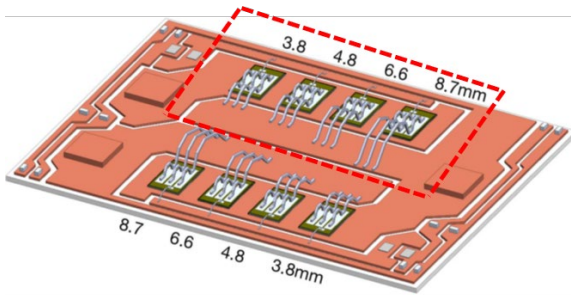


$$L_{s1} = L_{s2} = L_{s3} = L_{s4} = L_s$$

(a)传统功率模块 DBC 布局

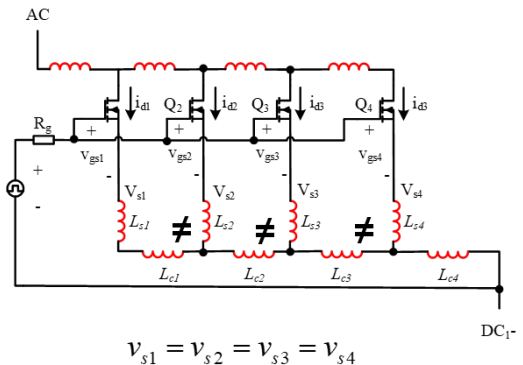


(b)传统功率模块等效电路



$$L_{s1} \neq L_{s2} \neq L_{s3} \neq L_{s4}$$

(c)改进后功率模块 DBC 布局



(d)改进后功率模块等效电路

图 1-4 功率模块 DBC 布局优化

除了对并联器件功率回路进行优化设计外,一些文献对驱动回路的设计也进行了相关探索。文献[36]讨论了两种驱动布局方式:第一种是所有并联器件仅用一个功率放大器进行驱动电流放大,第二种是为每个并联器件分别配置一个功率放大器。研究表明,第二种布局方式使驱动回路更加对称,保证驱动信号的同步性,同时能确保驱动回路寄生参数最小。文献[37]分析了功率模块辅助源极对并联均流的影响。从本质上而言,辅助源极与分立器件的开尔文源极有相同的作用,能够减少共源电感,提升开关速度。而在相同的开关速度下,带辅助源极的模块内部器件具有更好的均流效果。另外,文献[38]指出,当含有开尔文源极的功率器件并联时,由于不均流导致并联管功率源极电位存在差值,造成功率源极间和开尔文源极之间存在环流。由于开尔文源极间阻抗较低,小的电位差往往就会引起较大的环流,使开尔文源极的键合线承受较大的热应力,甚至会烧断开尔文源极。为避免该情况发生,设计驱动回路时往往会在开尔文源极串联一个较小电阻(从文献上看即使是 $100\text{m}\Omega$ 的电阻对环流抑制也有较好效果)对该环流进行抑制。

3) 耦合电感

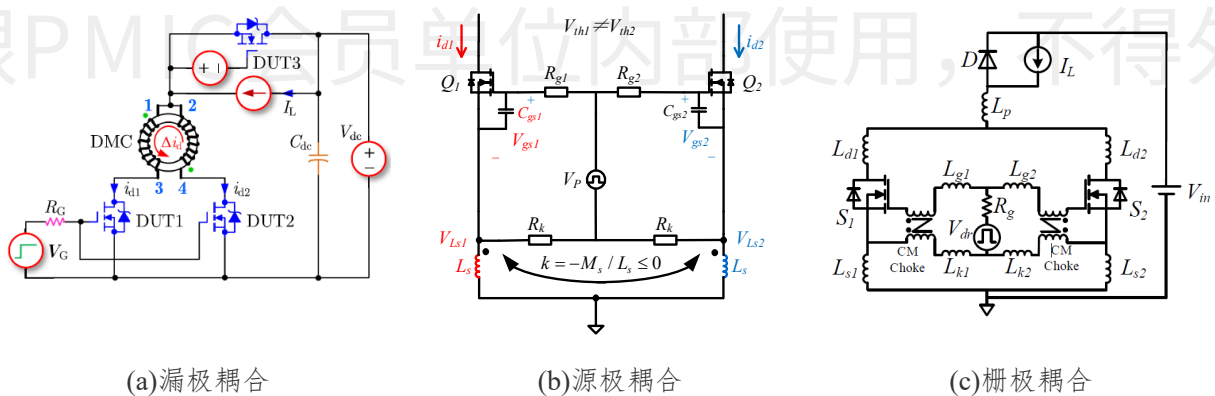


图 1-5 耦合电感均流方式

耦合电感是一种采用外加无源器件达到均流效果的方案。根据放置耦合电感的位置,可以分为漏极耦合、源极耦合、栅极耦合三种,如图 1-5 所示。

漏极耦合通过在并联器件的漏极放置差模扼流圈,当差模电流流经时,支路的耦合电感上分别会产生反向电动势减小差模电流,同时它对共模电流不会有任何作用,所以能够有效抑制不均流^{[39][40]}。但由于漏极耦合需要抑制较大的差模功率电流,因此电感体积较大。在拓展到多器件并联时,虽然采用邻近管耦合的方式,但同时也需要较多数量的电感。此外,由于漏感的存在,在器件关断时会恶化电压过冲,增加器件击穿的风险,并带来额外损耗。

源极耦合与漏极耦合相比虽然只是改变了放置位置，但均流原理有所不同。文献[41]首先指出同时增大并联支路的功率源极电感对不均流具有抑制效果：以并联两管为例，当阈值电压存在差异 ΔV_{th} 导致不均流时，源极电感上同样会产生一个电位差 ΔV_L 补偿这样的差异，最终使两管具有相同的电流上升波形。源极电感越大，补偿效果越好，但较大的源极电感同样会造成严重的关断电压过冲。为了解决这样的矛盾，文献[42]采用耦合的方式，当功率回路流过差模电流时，等效源极电感较大，对差模电流具有抑制作用；当功率回路流过共模电流时，等效源极电感较小，不会产生较大的电压过冲。由于该方案是通过耦合电感调节驱动回路来影响功率回路，所以不需要很大体积的电感。文献[43]将该方案集成到模块中，并取得了较好的均流效果。然而，该方案仍然存在体积随着耦合电感的增加而增加的缺点。

栅极耦合通过在各并联器件的驱动回路串联共模扼流圈来实现，如图 1-5(c)所示。该方案能抑制并联支路上功率回路寄生电感不一致造成的不均流[44][45]。加入共模扼流圈的电感值越大，抑制效果越好。但该方案无法解决器件本身参数差异性带来的动态不均，同时驱动回路加入的扼流圈漏感容易引发驱动振荡，所以应用有限。

1.2.2 有源均流方案

有源门极驱动是一种通过加入有源器件组成反馈电路，从而改善开关特性的一种驱动方式，曾被用于减少功率器件的电压应力、电流过冲[46]-[48]、抑制串扰[49][50]、串联均压[51][52]，并取得了良好的效果。除此之外，有源门极驱动同样可以用来改善并联均流特性。常见的有源均流方案由检测环节、控制环节、驱动环节三部分组成[53]，如图 1-6 所示。其中检测环节用来采集不均流信息；控制环节将该信息进行处理，并产生相应的矫正信号；驱动环节接收到后改变相应并联管的驱动信号来实现均流。根据是否采用数字控制器，有源均流方案可以分为模拟型有源驱动与数字型有源驱动。

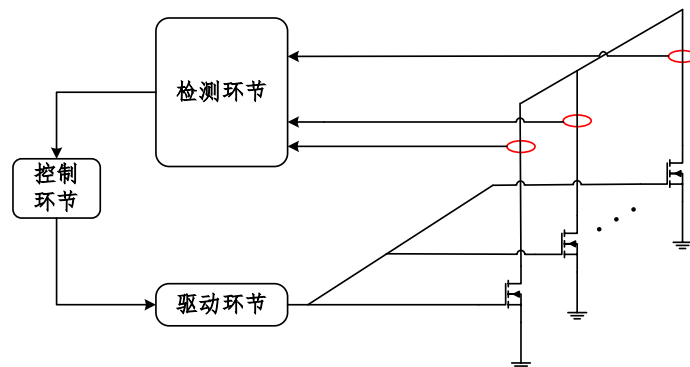


图 1-6 有源均流原理示意图

1) 模拟型有源驱动

文献[53]、[54]提出了一种模拟型有源门极驱动方案,通过调节并联管的驱动电阻实现动态均流。驱动环节中的等效驱动电阻由一个固定电阻与一个小功率 MOSFET 并联组成,通过控制小功率 MOSFET 的栅源电压可改变它的导通电阻。控制信号来源于串联在两并联管漏极的三绕组差分电流传感器所检测到的不均流信息经过积分所得。不均流越严重,输出控制信号越大,则可调 MOSFET 导通电阻越小,等效驱动电阻越小,从而加速开通过程较慢的 SiC MOSFET 的电流上升速率,最终两并联管 di/dt 相匹配。然而,该方案需要高带宽的差模电流传感器和运算放大器,增加成本。文献[55]提出用采样电阻采集电流信息,调节方式与上述方案类似,然而却会同时增加静态和动态损耗。与此同时,该方案无法进行单周期调节,也难以拓展到多器件并联。文献[56]提出另一种模拟型有源均流方案,通过闭环控制使各并联管的栅源电压跟随首管,最终保证各并联管的栅源电压一致性。然而,该方案无法解决由于阈值电压不一致导致的不均流。

2) 数字型有源驱动

为解决文献[53]-[55]中所述方案的多器件并联均流问题,文献[57]提出采用数字型有源门极驱动方案,在每一条并联支路上都串联一个电流传感器,并将采集到的电流信息传递给数字控制器,数字控制器通过调节各功率管的驱动电压的延时进行开关过程控制。文献[58]改进了此方案,用功率器件源极电感电压积分的方式采集各并联管电流信息,将其传输给 CPLD,通过控制驱动电压的延时和幅值使各并联支路的电流上升/下降时间点和变化斜率一致,如图 1-7 所示。然而该方案同样需要多周期调节,同时控制电路复杂,成本较高。

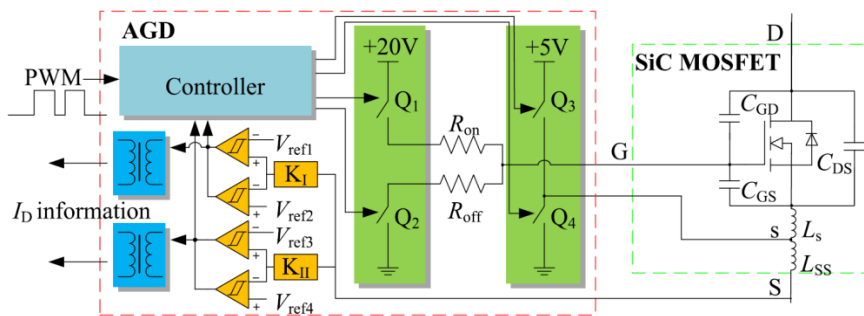


图 1-7 数字型有源均流方案原理图

1.3 本论文主要研究内容

为了改善功率器件并联不均流现象，尤其针对 SiC MOSFET 等宽禁带半导体器件，本文对此展开研究。正如前文所述，功率器件并联可以分为分立器件并联和模块内裸片并联。前者具有灵活性的特点，可以并联任意个数的器件，然而器件参数的差异性更大，不均流更严重；后者在制作过程中一般会在同一批次生产出的晶圆中筛选尽量一致的器件，使得并联器件的参数尽量匹配，通常制作成本较大。表 1-1 对比了不同型号的 SiC MOSFET 分立器件与模块的成本，从结果上看，相较于并联分立器件，各厂商的功率模块成本要高 1.7-3 倍不等。因此，并联分立 SiC MOSFET 是成本优化的一种重要手段。本文着重研究 SiC 分立器件的并联动态均流问题，具体内容包括以下几个方面。

表 1-1 SiC 分立器件与模块成本对比

器件型号	生产商	额定电压/电流	类型	成本
C3M0016120K/D	Cree	1200 V/115 A	分立器件	\$1.18/A (半桥)
SCT3022KL	Rohm	1200 V/95 A	分立器件	\$1.2/A (半桥)
IMZ120R030M1H	Infineon	1200 V/56 A	分立器件	\$1.04/A (半桥)
CAB760M12HM3	Cree	1200 V/765 A	半桥功率模块	\$3.69/A
BSM600D12P3G001	Rohm	1200 V/576A	半桥功率模块	\$3/A
FF2MR12KM1P	Infineon	1200 V/500 A	半桥功率模块	\$1.78/A

第 1 章主要介绍本文的研究背景，包括 SiC 器件相较于传统 Si 器件的优势，以及应用场景。同时指出由于单芯片通流能力有限，因此器件并联是大势所趋。此外，针对器件并联的不均流问题，本章节介绍了研究现状，尤其对于动态不均流问题，分别从无源方案和有源方案两方面进行了综述。

第 2 章从动态不均流影响因素出发，分别从器件参数、功率电路、驱动电路三方面分析主要因素的影响机理，包括阈值电压、跨导系数、源极电感、漏极电感、驱动电阻、驱动电容等，并根据 PSPICE 仿真搭建双脉冲电路模型进行相关验证。

第 3 章提出一种新型的用于并联均流的模拟型有源门极驱动方案。根据前述研究现状，由于现有方案无法同时满足成本低、损耗低、适合集成、响应快、可拓展性好、均流效果好、方案简单等，因此需要提出其他的方案满足这些需求。本章对所提方案进行原理

说明以及实验验证。

第 4 章对第三章所提方案进行相关改进,从电路简化、成本降低等角度进行方案优化,介绍了改进方案的原理与设计,并通过双脉冲实验分别对两管并联以及六管并联开通、关断暂态过程进行验证,从而说明方案的可行性。

第 5 章对本文工作进行相关总结,针对本文中的不足以及方案尚需改进之处进行了讨论,最后对方案在实际电路中的应用和落地进行了展望。

仅限PMIC会员单位内部使用，不得外传

第2章 SiC MOSFET 并联均流影响因素分析

2.1 引言

影响并联器件均流的主要因素可以从器件参数、功率回路参数、驱动回路参数、温度这几方面着手分析，如表 2-1 所示。下面分别从以上几个方面进行影响因素的内在机理分析和仿真验证。其中影响静态均流的因素在第 1 章中已有所讨论，这里不再赘述，同时温度是通过影响器件参数而对并联均流性能产生影响，并不单独讨论。

表 2-1 并联均流影响因素

参数类型	参数	物理意义	影响效果
器件参数	R_{dson}	导通电阻	静态均流
	g_m/β	跨导/跨导系数	动态均流
	V_{th}	阈值电压	静态/动态均流
功率回路参数	L_d	漏极电感	动态均流
	L_s	源极电感	动态均流
	ESR	寄生电阻	静态均流
驱动回路参数	R_g	栅极电阻	动态均流
	C_{gs}	栅源电容	动态均流
其他因素	T_j	温度	静态/动态均流

2.2 器件参数

在双脉冲电路中，动态电流上升和下降时，由于器件 V_{ds} 电压几乎不变（若忽略功率回路寄生电感，则 V_{ds} 近似为母线电压），所以 MOSFET 工作在饱和区，电流变化过程可由式(2-1)近似^[26]

$$i_d = g_m \cdot (v_{gs} - V_{th}) = \beta \cdot (v_{gs} - V_{th})^2 \quad (2-1)$$

其中 g_m 是 MOSFET 的跨导，与阈值电压 V_{th} 相关， β 是器件的跨导系数。

2.2.1 阈值电压 V_{th}

MOSFET 的阈值电压可由式(2-2)表示^[61]

$$V_{th} = \frac{\sqrt{4\varepsilon_s k T N_A \ln(N_A / n_i)}}{C_{ox}} + \frac{2kT}{q} \ln\left(\frac{N_A}{n_i}\right) - \frac{Q_{ox}}{C_{ox}} \quad (2-2)$$

其中, ε_s 、 k 、 T 、 q 、 N_A 、 n_i 、 C_{ox} 、 Q_{ox} 分别代表介电常数、玻尔兹曼系数、开尔文温度、电子电荷、掺杂浓度、本征载流子浓度、氧化层电容、氧化层总有效电荷。根据文献 [59]-[62], 阈值电压 V_{th} 主要由氧化层总有效电荷 Q_{ox} 、掺杂浓度 N_A 、氧化层电容 C_{ox} 所决定。其中氧化层总有效电容 Q_{ox} 包括可动离子电荷、氧化物陷阱电荷、固定氧化物电荷和界面态电荷。具体来说, 可动离子电荷主要来自于带正电的离子杂质, 如蚀刻剂和清洗试剂中的钾、钠离子; 氧化物陷阱电荷在生长氧化层时会引入, 电荷可正可负, 取决于俘获的是电子还是空穴; 固定氧化物电荷分布于靠近半导体表面的区域, 为正电荷, 产生原因主要是在工艺中氧化层结构存在缺陷; 界面态电荷的产生是由于半导体晶格在半导体-氧化层界面处突然终止, 因而引入大量的界面态陷阱。陷阱本身不带电, 但 MOSFET 工作在反型状态时, 界面态带负电, 这些界面态陷阱电荷对导通电流并无贡献, 反而会提高栅极偏压。而对 SiC MOSFET 而言, 它的氧化层通常采用热氧化的方式形成, 在高温氧化过程中, 会产生大量的界面态^[63], 界面陷阱在器件开关过程中会捕获大量电荷, 这些电荷将导致栅极阈值电压在高温、高应力条件下不稳定。虽然现阶段通过高温氧化后的特殊气体退火能够减少界面态陷阱, 但在生产过程中如何保证量产器件的一致性仍然是一个难点。

除此之外, 生产过程中的误差, 如掺杂浓度 N_A 和栅氧层厚度 (决定氧化层电容 C_{ox}) 不一致, 也会造成各 SiC 器件 V_{th} 的分散性。从文献上看^[64], 根据随机测量结果, 对 30 个同一型号的 SiC 器件, V_{th} 平均偏差接近 15%, 最大偏差将近 30%, 因此阈值电压分散性较大。

由式(2-1)可得, 对两并联器件, 当其他影响因素相同的情况下, 在开通时, 阈值电压较小的器件电流先开始上升, 并通过更多的电流。

在关断时, 由于在器件的栅源电压到达米勒平台后, 电流才开始下降, 其中米勒电压可表示为

$$V_{miller} = V_{th} + \frac{I_D}{g_m} \quad (2-3)$$

若两器件稳态电流 I_D 相等, 同时跨导 g_m 可表示为

$$g_m = \beta(V_{gs} - V_{th}) \quad (2-4)$$

阈值电压 V_{th} 越大, 则跨导 g_m 越小, 米勒电压越大。所以在关断时, 阈值电压 V_{th} 较

大的 MOSFET 栅源电压先到达米勒平台，因此电流率先下降。由于另一个 MOSFET 电流尚未下降，在假设负载电感电流动态时恒定的情况下，此时 V_{th} 较小的 MOSFET 承受更多电流。

对式(2-1)关于时间求导，可得

$$\frac{di_d}{dt} = 2\beta(v_{gs} - V_{th}) \frac{dv_{gs}}{dt} \quad (2-5)$$

所以当 V_{th} 越大，电流变化率越小。故以两并联器件为例， V_{th} 较大的器件在开通和关断时都具有更慢的电流变化率。

另外，式(2-1)关于阈值电压的偏微分为

$$\Delta i_d(\Delta V_{th}) = \frac{\partial i_d}{\partial V_{th}} \cdot \Delta V_{th} = -2\beta \cdot (v_{gs} - V_{th}) \cdot \Delta V_{th} \quad (2-6)$$

故阈值电压相差越大，动态不均流越严重。

在式(2-2)中，当温度升高时，对 4H-SiC 材料而言，本征载流子浓度为^[59]

$$n_i = 1.70 \times 10^{16} T^{3/2} e^{-(2.08 \times 10^4)/T} \quad (2-7)$$

其中 T 为开尔文温度。当温度升高时，本征载流子急剧增加。当 $1000/T$ 每减小 0.5，本征载流子浓度 n_i 会增加 4~5 个数量级。从式(2-2)来看， V_{th} 的温度特性取决于乘积项 $T \ln(N_A/n_i)$ ，这里以掺杂浓度 $N_A=10^{16}$ 为例，绘出该乘积项与温度的关系，如图 2-1 所示。

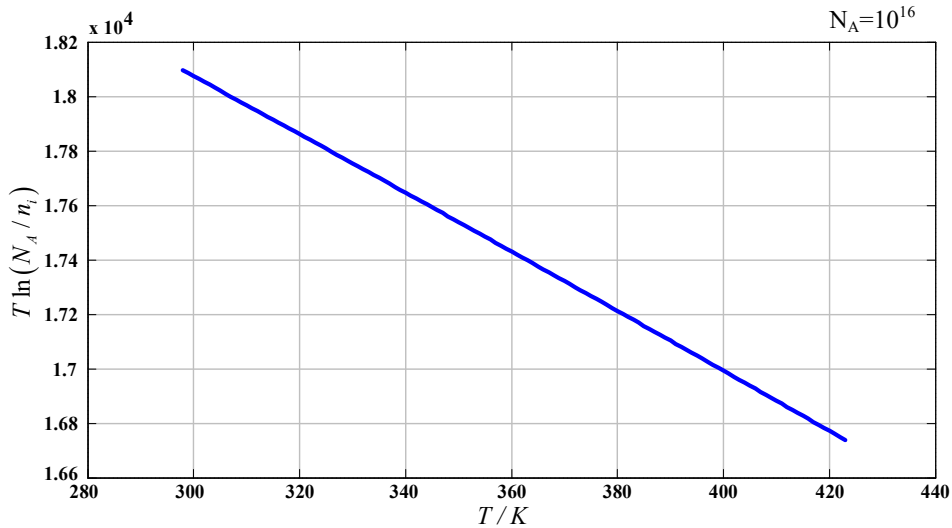


图 2-1 温度 T 与阈值电压内乘积项 $T \ln(N_A/n_i)$ 的关系

当温度升高， $T \ln(N_A/n_i)$ 减小，因此由式(2-2)可得，阈值电压 V_{th} 随之减小。另外还需

注意的是,根据文献[62]所述,对于同一器件,温度的升高会使界面态俘获电子概率降低,从而导致阈值电压大幅降低,这进一步加剧了阈值电压 V_{th} 的负温度系数效应。所以,当其中一管因阈值电压较小导致开通和关断暂态时承受较多电流,损耗较大,发热较严重,导致 V_{th} 进一步减小,进而承受更多电流。这样的正反馈效应恶化了动态不均流。

2.2.2 跨导 g_m /跨导系数 β

MOSFET 的跨导 g_m 可以表示为^[61]

$$g_m = \beta(V_{gs} - V_{th}) = \frac{\mu_{ni} C_{ox} Z}{L_{CH}} (V_{gs} - V_{th}) \quad (2-8)$$

其中 μ_{ni} 、 C_{ox} 、 Z 、 L_{CH} 分别表示沟道电子迁移率、氧化层电容、沟道宽度、沟道长度。由式(2-8)可知,跨导 g_m 与驱动电压、阈值电压相关,因此阈值电压的分散性对跨导有一定影响。而跨导系数 β 仅与器件本身参数特性有关,有

$$\beta = \frac{\mu_{ni} C_{ox} Z}{L_{CH}} \quad (2-9)$$

在理想情况下,界面态密度很小,当温度升高时,沟道电子迁移率 μ_{ni} 减小,跨导系数 β 减小。对跨导 g_m 而言,虽然阈值电压 V_{th} 随温度升高而减小,补偿了 μ_{ni} 减小对跨导的影响,但 μ_{ni} 随温度的影响效应仍占主导,最终 g_m 会随着温度的升高而减小^[61]。而在实际中, SiC MOSFET 的界面态密度较大,沟道电子迁移率 μ_{ni} 与温度变化的关系与理想情况相反,即随着温度升高, μ_{ni} 变大,导致跨导系数 β 变大,因此跨导 g_m 也随之变大^[62]。

对两并联器件而言,由于 g_m 具有正温度系数特性,当其中一管因 g_m 较大导致开通和关断暂态时承受较多电流,损耗较大,发热较严重,导致 g_m 进一步增加,进而承受更多电流。因此这样的正反馈效应恶化了动态不均流。

另外,由式(2-5)可得, g_m 与 β 对电流变化率有影响。值得注意的是,在开通时,当栅源电压 v_{gs} 到达阈值电压 V_{th} 后,器件漏极电流开始上升,因此电流上升的时刻点与跨导系数 β 无关;在关断时,栅源电压 v_{gs} 减小到米勒电压 V_{miller} 后漏极电流开始下降,根据式(2-3)与(2-4),当阈值电压 V_{th} 相同时,跨导系数 β 越小,跨导 g_m 越小,米勒电压越大,因此跨导系数 β 较小的器件率先关断。故跨导系数 β 对漏极电流的上升时刻点无影响,而对下降时刻点有影响。

对式(2-1)关于跨导 g_m 的偏微分为

$$\Delta i_d(\Delta g_m) = \frac{\partial i_d}{\partial g_m} \cdot \Delta g_m = (V_{gs} - V_{th}) \cdot \Delta g_m \quad (2-10)$$

因此两并联器件的跨导 g_m 相差越大, 不均流越严重。不过从文献[64]的测试结果来看, 器件跨导间的分散性相较于阈值电压要小得多。

2.3 功率回路参数

2.3.1 源极寄生电感 L_s

源极寄生电感 L_s 对动态均流性能的影响主要反映在对驱动电路的影响上。图 2-2 分别展示了不包含开尔文源极的 TO-247-3 封装的器件和包含开尔文源极的 TO-247-4 在并联时的示意图, 由于内在影响机理相同, 这里不分开赘述。

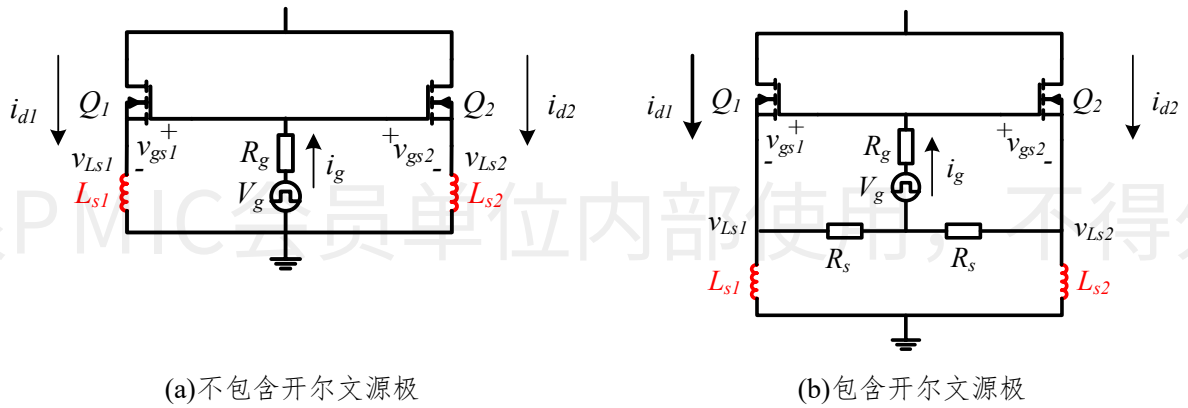


图 2-2 源极电感 L_s 不一致对不均流的影响示意图

以开通暂态为例, 在电流上升暂态过程中, 源极电感电压如(2-11)所示:

$$v_{Lsk} = L_{sk} \frac{di_{dk}}{dt}, \quad k=1,2 \quad (2-11)$$

为简化分析, 假设引起两管不均流的因素仅为源极电感 L_s 的偏差, 且 $L_{s1} > L_{s2}$, 其他参数均相等。若初始状态下, 两管电流变化率相等, 即

$$\frac{di_{d1}}{dt} = \frac{di_{d2}}{dt} = \left(\frac{di_d}{dt} \right)_{t=0} \quad (2-12)$$

则

$$v_{Ls1} > v_{Ls2} \quad (2-13)$$

由式(2-11)~(2-13)可得,

$$v_{gs1} - v_{gs2} = (v_g - v_{s1}) - (v_g - v_{s2}) = (L_{s2} - L_{s1}) \left(\frac{di_d}{dt} \right)_{t=0} \quad (2-14)$$

故

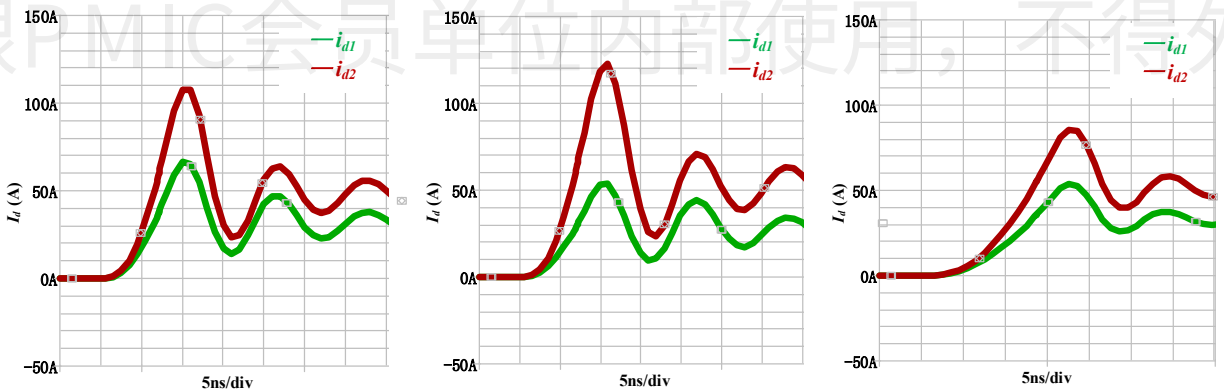
$$v_{gs1} < v_{gs2} \quad (2-15)$$

根据式(2-1)，当两器件阈值电压 V_{th} 与跨导系数 β 相等， v_{gs} 越小，流过电流越大，即

$$i_{d1} < i_{d2} \quad (2-16)$$

由此可见，源极电感的差异通过两管 v_{gs} 的差异影响电流上升斜率。源极电感相差越大，不均流越严重。同时， ΔL_s 对不均流程度的影响与开关速度有关，器件电流上升速率越快，影响越严重。

利用 PSPICE 软件仿真双脉冲电路，并将两并联支路上的源极电感设置成不同的值。图 2-3(a)、(b)对比了不同源极电感差值对不均流的影响，验证了不均流程度与源极电感差值呈正相关的结论；图 2-3(a)、(c)对比了不同开关速度下相同差值的源极电感对不均流的影响，当两并联管源极电感差值一定时，开关速度越快，不均流越严重。



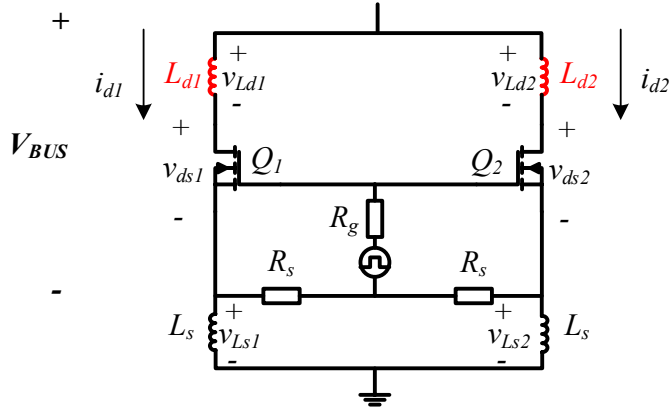
(a) $R_g=2.5\Omega$; $L_{s1}=10\text{nH}$, $L_{s2}=5\text{nH}$ (b) $R_g=2.5\Omega$; $L_{s1}=15\text{nH}$, $L_{s2}=5\text{nH}$ (c) $R_g=10\Omega$; $L_{s1}=10\text{nH}$, $L_{s2}=5\text{nH}$

图 2-3 源极电感 L_s 不一致对不均流的影响

关断过程源极电感影响机理与开通过程类似，这里不再赘述。

2.3.2 漏极寄生电感 L_d

图 2-4 所示为两并联管含漏极寄生电感 L_d 的示意图。

图 2-4 漏极电感 L_d 不一致对不均流的影响示意图

以双脉冲电路为例，在 MOSFET 开通暂态过程中，电流上升时，由于负载电感电流仍流经对管，即二极管并未完全关断，故下管（包括寄生电感）仍承受母线电压，即

$$V_{BUS} = v_{Ld1} + v_{ds1} + v_{Ls1} = v_{Ld2} + v_{ds2} + v_{Ls2} \quad (2-17)$$

由于电流动态上升，所以寄生电感上的电压分别为

$$\begin{cases} v_{Ldk} = L_{dk} \frac{di_{dk}}{dt} \\ v_{Lsk} = L_{sk} \frac{di_{dk}}{dt} \end{cases}, \text{其中 } k=1,2 \quad (2-18)$$

假设除漏极寄生电感 L_d 外，其他影响因素都相等，且 $L_{d1} > L_{d2}$ 。若初始状态下，有

$$\frac{di_{d1}}{dt} = \frac{di_{d2}}{dt} = \left(\frac{di_d}{dt} \right)_{t=0} \quad (2-19)$$

因此

$$\begin{cases} v_{Ld1} > v_{Ld2} \\ v_{Ls1} = v_{Ls2} \end{cases} \quad (2-20)$$

由式(2-17)~(2-20)可得

$$v_{ds1} - v_{ds2} = (V_{BUS} - v_{Ld1} - v_{Ls1}) - (V_{BUS} - v_{Ld2} - v_{Ls2}) = (L_{d2} - L_{d1}) \left(\frac{di_d}{dt} \right)_{t=0} \quad (2-21)$$

因此有

$$v_{ds1} < v_{ds2} \quad (2-22)$$

由于 MOSFET 工作于饱和区时存在沟道长度调制效应^[65]，如图 2-5 所示，

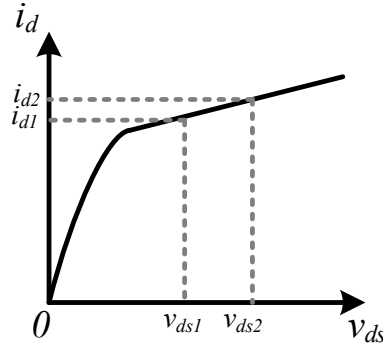


图 2-5 MOSFET 考虑沟道长度调制效应的输出曲线

故可得

$$i_{d1} < i_{d2} \quad (2-23)$$

因此，由于沟道长度调制效应的存在，当并联支路的漏极寄生电感存在差异，即使初始状态下电流上升斜率相同，最终二者电流也会存在差异。同时，漏极寄生电感相差越大，母线电压越低，开关速度越快，不均流越严重。

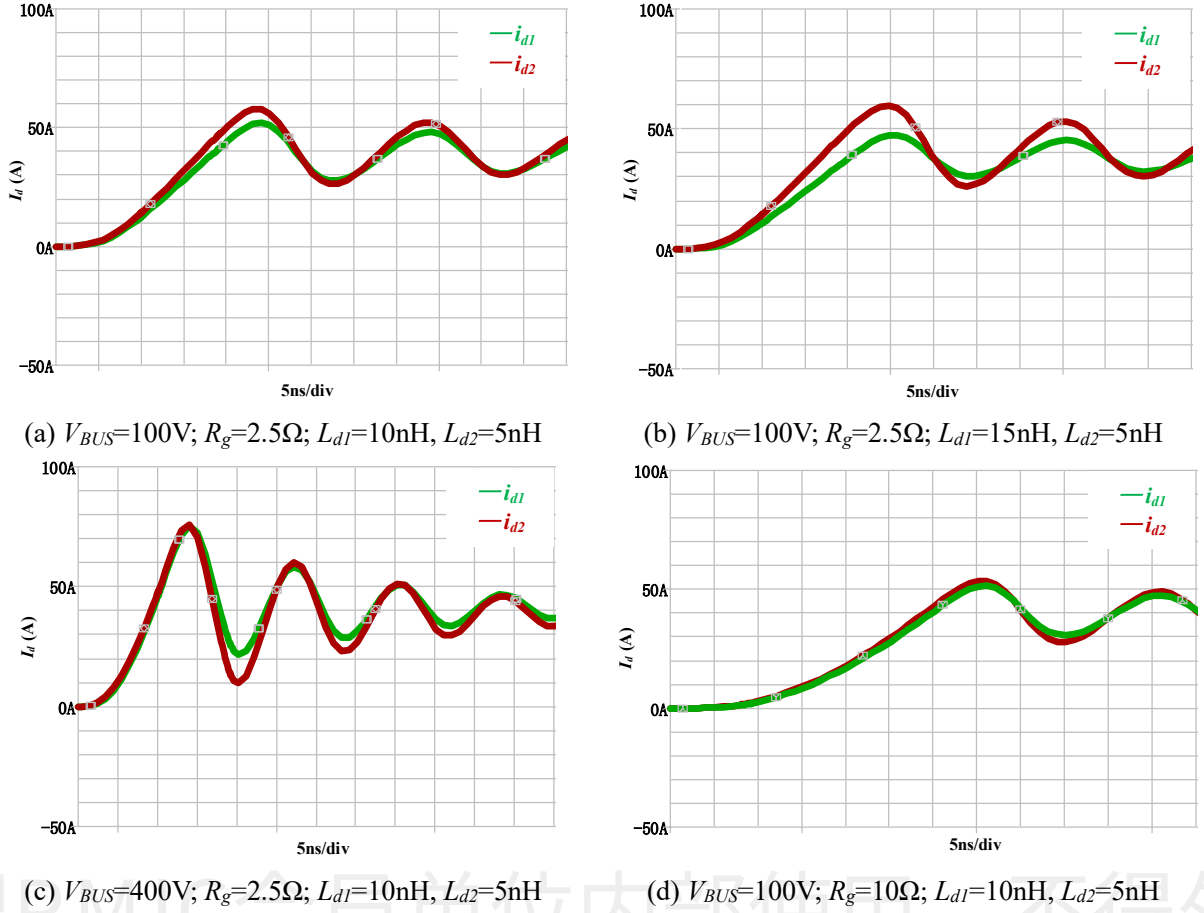
事实上，当考虑 MOSFET 的沟道长度调制效应时，式(2-8)跨导 g_m 的表达式修订为

$$g_m = \frac{\mu_n C_{ox} Z}{L_{CH}} (V_{gs} - V_{th}) (1 + \lambda v_{ds}) \quad (2-24)$$

其中， λ 是沟道长度调制系数。因此，当两管并联时， v_{ds} 较小的管拥有较小的跨导 g_m ，因此漏极电流 i_d 较小。

利用 PSPICE 软件仿真双脉冲电路，并将两并联支路上的源极电感设置成不同的值，如图 2-6 所示。图 2-6(a)、(b)对比了不同漏极电感差值对不均流的影响，验证了不均流程度与漏极电感差值呈正相关的结论；图 2-6(a)、(c)对比了不同母线电压下漏极电感对不均流的影响，即母线电压越高漏极电感差异影响越小，在调节母线电压时，同时控制负载电感保证稳态电流两次仿真的稳态电流一致，避免稳态电流对两次仿真造成影响；图 2-6(a)、(d)中仅驱动电阻存在差异，即二者开通速度不一致，不难看出，开通速度较慢的不均流程度较小。

另外，从仿真中可看出，并联支路中漏极寄生电感的差异对不均流的影响远小于源极寄生电感。

图 2-6 漏极电感 L_d 不一致对不均流的影响

2.4 驱动回路参数

2.4.1 驱动电阻 R_g 、栅源电容 C_{gs}

图 2-7(a)所示为包含驱动回路参数的两管并联示意图。从根本上而言，MOSFET 的开关过程就是驱动源 V_g 为输入电容充放电的过程。以开通为例，MOSFET 电流上升的过程即 C_{gs} 的电压从阈值电压 V_{th} 到米勒电压 V_{miller} 的过程，因此可以简化为 R-C 电路，如图 2-7(b)所示，因此 MOSFET 的栅源电压 v_{gs} 可表示为：

$$v_{gs} = V_g \left(1 - e^{-\frac{1}{RC}t} \right) \quad (2-25)$$

由式(2-25)可得，MOSFET 的栅源电压变化过程分别与驱动源 V_g 、驱动电阻 R_g 、栅源电容 C_{gs} 有关。驱动源 V_g 越大、驱动电阻 R_g 与栅源电容 C_{gs} 越小，栅源电压 v_{gs} 增加越快，漏极电流 i_d 上升越快。而对于并联器件而言，由于采用一个驱动源 V_g 同时驱动，所以驱动源的幅值不作为影响并联均流特性的主要因素。

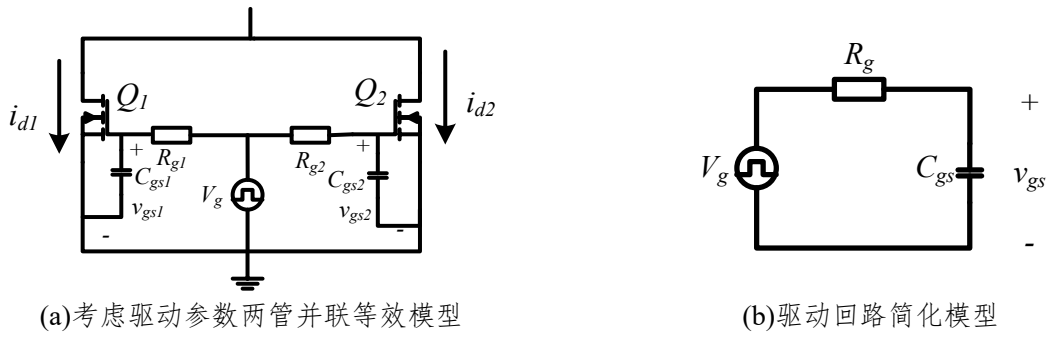
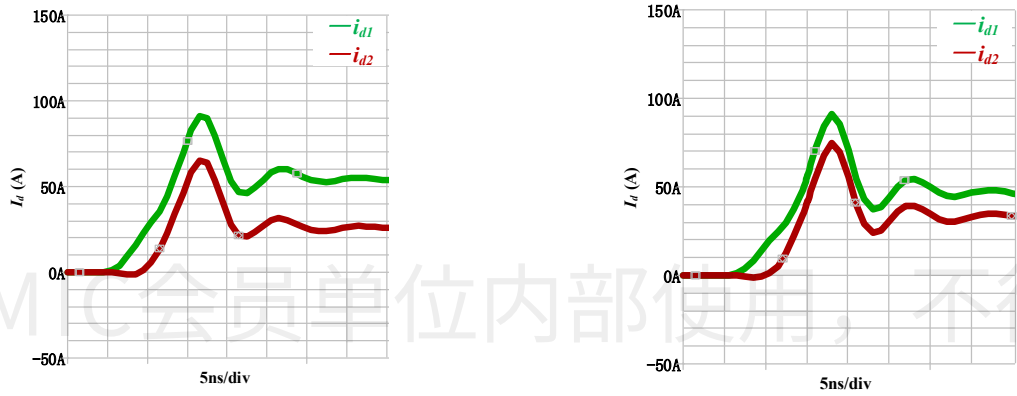


图 2-7 两管并联等效模型

利用 PSPICE 软件仿真双脉冲电路，并将两并联支路上的驱动电阻、栅源电容分别设置成不同的值，如图 2-8 所示。根据仿真结果可知，驱动电阻和栅源电容的不一致都会对不均流产生较大影响，这与前述分析是相符的。



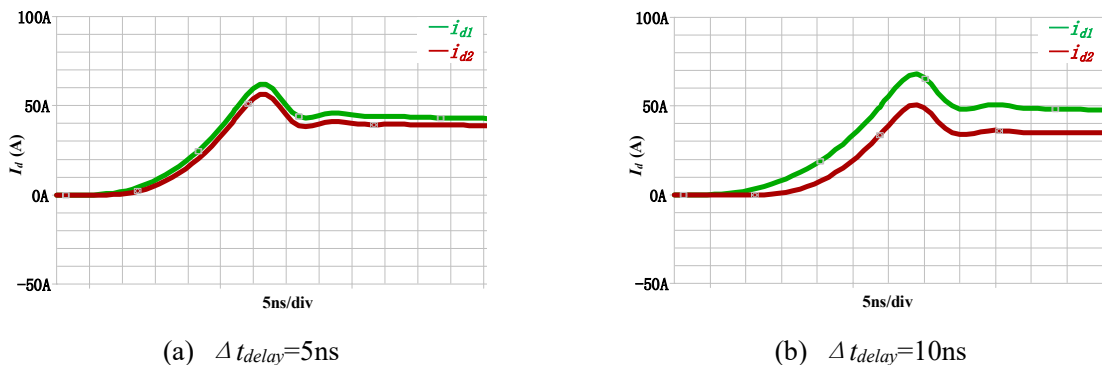
(a) $R_{g1}=2.5\Omega$, $R_{g2}=5\Omega$; $C_{gs1}=C_{gs2}=3.5\text{nF}$

(b) $R_{g1}=R_{g2}=2.5\Omega$; $C_{gs1}=3.5\text{nF}$, $C_{gs2}=5.5\text{nF}$

图 2-8 驱动参数不一致对不均流的影响

2.4.2 驱动信号延时差异

虽然驱动电路只采用一个驱动源因此可以不考虑幅值对不均流的影响，然而驱动回路输出的延时不一致会导致并联器件开关时刻不一致，信号延时差越大，不均流越严重，如图 2-9 所示。



(a) $\Delta t_{\text{delay}}=5\text{ns}$

(b) $\Delta t_{\text{delay}}=10\text{ns}$

图 2-9 驱动信号延时对不均流的影响

驱动信号的延时主要由驱动方式决定。单管驱动时，从高低压电气隔离以及驱动信号放大的考虑，一般需要信号隔离芯片与功率放大芯片，而多管并联驱动则更为复杂。如图 2-10 所示为常用的三种驱动方案^[67]。

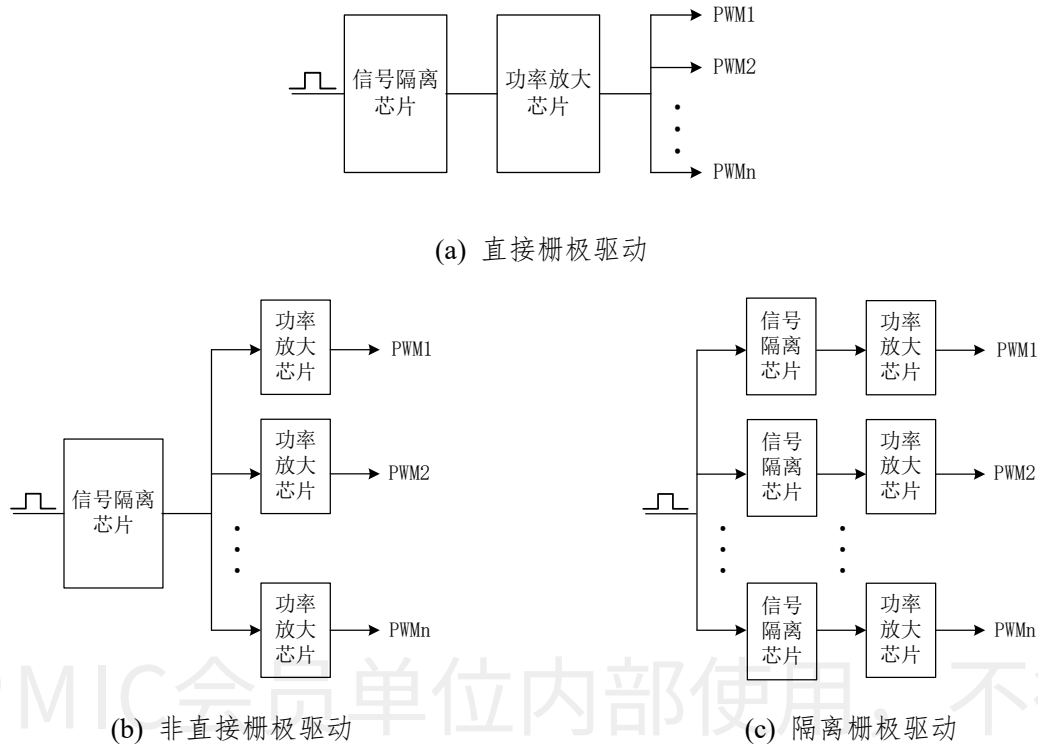


图 2-10 并联器件三种栅极驱动方式

图 2-10(a)所示直接栅极驱动方案所用芯片最少，由于每路 PWM 输出均由同一芯片产生，因此驱动信号间不存在延时。然而由于功率放大芯片要同时驱动多个并联管，因此需要有很大的驱动能力，能输出较大的驱动电流。另外，该方案主要缺点在于当并联器件较多时，功率放大芯片输出端到各并联 MOSFET 栅极走线无法保证一致性，因此驱动阻抗存在差异，对各管开关行为会造成影响；同时距离驱动芯片越远的 MOSFET 驱动回路走线越长，栅极杂散电感较大，容易引发栅源电压 v_{gs} 振荡以及漏源极电压、电流振荡，损坏器件。图 2-10(b)所示非直接栅极驱动通过为每个并联管配置一个功率放大芯片来解决图 2-10(a)的问题。功率放大芯片在 PCB 设计时需要尽可能靠近各并联 MOSFET 的驱动电阻和栅极。由于各功率放大芯片有自己的去耦电容，在开关暂态时能为各并联 MOSFET 提供独立的充放电回路，因此驱动回路走线较短，也容易做到对称布局。图 2-10(c)所示隔离栅极驱动方案为每个并联管配置了信号隔离芯片和功率放大芯片，因此每个 MOSFET 的驱动回路能够实现完全解耦，在反馈和控制电路设计时避免了驱动信号互相干扰（如文献 [58] 利用 CPLD 控制各并联管驱动电压的延时和幅值经过多周期实现均流）。然而该方案

由于采用各并联管单独隔离驱动的方式，因此必须保证信号传输时间误差足够小，否则会造成严重的不均流，如图 2-9 所示。而温度、老化、器件参数的差异性都有可能导致隔离芯片的传输时间不一致，因此该方案在开环时较难应用在并联器件上。

2.5 本章小结

本章对影响 SiC MOSFET 均流特性，特别是动态均流特性的主要因素进行了相关研究，包含三个方面的因素。器件方面包括阈值电压 V_{th} 与跨导系数 β ，其中 V_{th} 的差异同时导致开关暂态时并联管电流变化起始点与斜率不一致，而 β 对电流上升时刻点不会产生影响。另外，器件参数与温度相关，并对器件参数差异性导致的不均流有恶化作用；功率回路方面主要影响因素为源极电感 L_s 与漏极电感 L_d 。其中由于 L_s 主要通过驱动回路影响不均流，其差异性对不均流造成的影响更显著。 L_d 的差异对不均流的影响与母线电压有关。此外，开关速度越快，功率回路寄生参数差异性的影响越大；驱动回路方面主要包括驱动电阻 R_g 与栅源电容 C_{gs} ，二者的不一致对不均流均有显著影响。此外，本章还分析了驱动信号延时不同对不均流的影响，并指出不同的并联器件驱动方式具有不同的信号传输时间。其中，对开环电路而言，非直接栅极驱动是最优的驱动方式，能同时保证各并联管驱动信号一致性与驱动回路参数对称性。

第3章 基于运放的有源门极驱动均流技术

3.1 引言

器件并联均流问题虽然由来已久，但以往的着重点在于如何实现稳态均流。随着 SiC MOSFET 等宽禁带半导体器件的普及，电力电子系统开关频率变大，动态损耗在总损耗中的占比越来越大，动态均流越来越具有必要性，因此以往的均流方案不再适用。与此同时，由于 SiC MOSFET 开关速度较快，相较于传统硅器件可以提升一个数量级，开关瞬态时间较短，因此对动态均流的调整或者控制带来很大的挑战。

现有针对 SiC MOSFET 的均流技术分为无源和有源方案，在第一章中已有详细阐述，但这些方案各有利弊。其中无源方案中所述回路对称布局方案，在多个器件并联时，难以实现完全对称；同时，器件筛选无法确保所筛器件参数的完全一致性，且参数会随着外部条件发生变化，筛选复杂，成本高；而耦合电感的均流方案随着并联个数的增加，需要使用耦合电感的数量增加很快，总体积也会成倍增加。有源方案中现有的模拟型有源门极驱动方案反馈电路较复杂，响应时间较慢，均流效果不甚理想；而数字型有源门极驱动方案为了解决 SiC MOSFET 开关时间短难以实时调节的问题，采用多周期调整动态不均流的方式，然而该方案需要复杂的数字芯片，如 CPLD、FPGA 等，成本较大，且不利于集成。

因此，为了克服现有技术中的不足，需要提出一种新型有源门极驱动方案，改善并联器件动态不均流问题。该方案能够具有良好的均流效果，同时响应快、电路简单、可扩展性好、体积小。

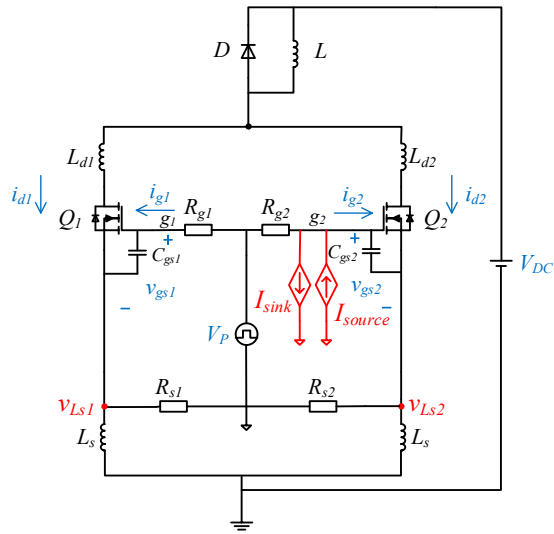
3.2 工作原理

图 3-1 给出了用于并联的有源门极驱动电路的原理图。该电路主要由两部分组成：检测部分和反馈部分。

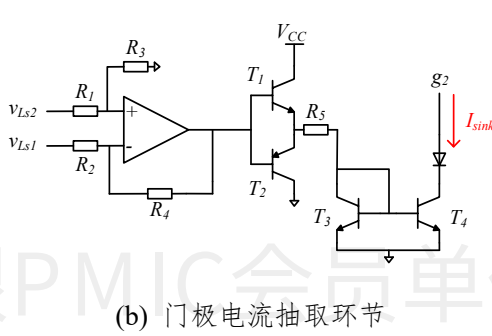
3.2.1 检测部分

当 MOSFET 开通时，漏极电流流经源极电感 L_s ，因此 L_s 上会感应出电感电压 V_{Ls} ，即

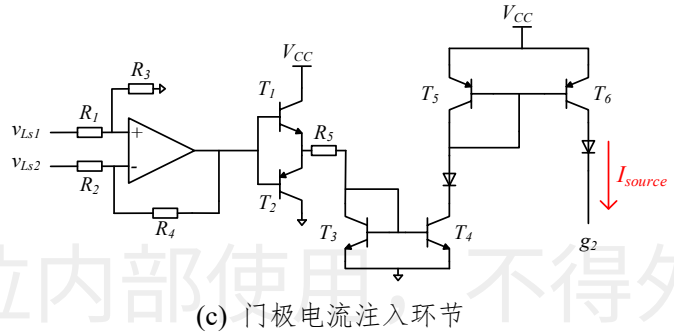
$$v_{Ls} = L_s \frac{di_d}{dt} \quad (3-1)$$



(a) 基于运放的有源门极驱动均流电路原理图



(b) 门极电流抽取环节



(c) 门极电流注入环节

图 3-1 基于运放的有源门极驱动均流电路示意图

在图 3-1(a)中，不妨假设 Q_2 开通速度比 Q_1 快，此时会存在以下两种情况：

1) Q_2 开通时刻比 Q_1 早

在这段暂态过程中，由于 Q_1 的电流尚未开始上升，即

$$\frac{di_{d1}}{dt} = 0, \quad v_{Ls1} = 0 \quad (3-2)$$

而 Q_2 电流已经开始上升，即

$$\frac{di_{d2}}{dt} > 0, \quad v_{Ls2} > 0 \quad (3-3)$$

若并联两管具有相等的源极电感 L_s ，则有

$$v_{Ls2} > v_{Ls1} \quad (3-4)$$

故两管开通时刻的差异性转化为了源极电感电压的差异性($v_{Ls2} - v_{Ls1}$)。

2) Q_2 与 Q_1 同时开通，但 Q_2 漏极电流上升速率比 Q_1 大

由于 Q_2 具有更大的电流上升速率，即

$$\frac{di_{d2}}{dt} > \frac{di_{d1}}{dt} \quad (3-5)$$

当两管的源极电感 L_s 相同时，同样可以得到式(3-4)的结论。因此两管电流上升速率的差异性同样反映在源极电感电压的差值上。

综上，通过检测两管源极电感上的电压差可以得到并联管的不均流信息。在实际过程中，对 TO-247-4 封装器件，由于开尔文源极电位与功率源极电感电位近似相等，因此可以直接用开尔文源极电感电压作为采样信号。

3.2.2 反馈部分

反馈电路主要由两部分组成，如图 3-1(b)、(c)所示，分为门极电流抽取环节与门极电流注入环节。

1) 门极电流抽取环节

该环节主要由三部分组成：差分放大电路、缓冲电路、镜像电流源。其中差分放大电路对差分信号进行比例运算，若图 3-1(b)中 $R_1 = R_2$ ， $R_3 = R_4$ ，则比例系数为 $A_V = R_3 / R_1$ 。由于运放的电流输出能力较小，因此需要通过图腾柱式缓冲电路进行功率放大。而最后一级的镜像电流源将电压信号转换成电流信号，且电流信号与反馈输入级的差分信号近似成正比关系。反馈电路的输出连接到 Q_2 的门极。也就是说，当 Q_2 开通速度比 Q_1 快时，此时有 $v_{Ls2} > v_{Ls1}$ ，该环节开始工作。在检测到差分电压 $(v_{Ls2} - v_{Ls1})$ 后，反馈电路输出端产生一个电流信号，其值为

$$I_{sink} = \frac{A_V (v_{Ls2} - v_{Ls1}) - V_{BE,T1} - V_{BE,T3}}{R_5} \quad (3-6)$$

由于反馈电路输出端与 Q_2 门极相连，即反馈电路从 Q_2 的门极进行电流抽取，驱动电流 i_{g2} 变小， Q_2 开通过程变慢。并联两管不均流程度越严重，差分电压 $(v_{Ls2} - v_{Ls1})$ 越大，反馈电路输出电流 I_{sink} 越大，则 Q_2 的门极驱动电流越小，从而减小 i_{d2} 的变化速率。最终并联两管达到动态均流。

2) 门极电流注入环节

门极电流注入环节的组成与抽取环节相类似，如图 3-1(c)所示，所不同者在于该环节需要再加入一级镜像电流源进行电流方向的改变。当 Q_2 开通速度比 Q_1 慢时，有 $v_{Ls2} < v_{Ls1}$ ，

此时该环节开始工作。在检测到差分电压($v_{Ls1} - v_{Ls2}$)后, 反馈电路输出端产生一个电流信号, 其值为

$$I_{source} = \frac{A_v (v_{Ls1} - v_{Ls2}) - V_{BE,T1} - V_{BE,T3}}{R_5} \quad (3-7)$$

该电流往 Q_2 的门极进行注入, 门极驱动电流增加, 开通过程变快, 最终二者电流变化过程相匹配。

3.2.3 理论波形

综合 3.2.1 与 3.2.2 两个部分, 可以分 5 个阶段分析该有源门极驱动均流原理, 如图 3-2 所示。其中实线、虚线分别代表均流前、后的典型波形。由于本方案主要是调节 Q_2 的驱动电流进而影响其开关速度, Q_1 仍由开环的门极驱动, 因此理论上均流前后 i_{d1} 不受影响, 故 Q_1 各波形均由实线表示。

阶段I[t_0-t_1]: 在 t_0 时刻, 驱动源 V_P 变为高电位, 并开始为 C_{gs1} 和 C_{gs2} 充电, 两管进入开通暂态过程。在 t_1 时刻, v_{gs2} 率先到达阈值电压 V_{th2} 。

阶段II[t_1-t_2]: 由于在 t_1 时刻, 仅 Q_2 的栅源电压超过阈值电压 V_{th2} , Q_1 的栅源电压 v_{gs1} 仍处在其阈值电压 V_{th1} 以下, 因此 i_{d2} 开始上升, i_{d1} 仍为 0。此时两并联管的源极电感上存在压差($v_{Ls2} - v_{Ls1}$), 门极电流抽取环节开始工作, Q_2 的门极驱动电流变小, v_{gs2} 上升速率变慢, 进而减缓了 Q_2 的开通速度, di_{d2}/dt 变小。

阶段III[t_2-t_3]: 在 t_2 时刻, v_{gs1} 到达阈值电压 V_{th1} , i_{d1} 开始上升。由于此时 i_{d2} 的上升速率没有 i_{d1} 快, 即 $di_{d1}/dt > di_{d2}/dt$, 因此两并联管的源极电感上存在压差($v_{Ls1} - v_{Ls2}$), 门极电流注入环节开始工作, Q_2 的栅源电压 v_{gs2} 上升速率加快, 进而加速了 Q_2 的开通过程, di_{d2}/dt 变大。

阶段IV[t_3-t_4]: 在 t_3 时刻, 电流上升过程结束, v_{gs} 进入米勒平台, i_{d1} 与 i_{d2} 都逐渐趋向稳态, 此时二者的斜率差异很小, 因此反馈电路不会被激发, 该阶段两管的电压下降过程不会受影响。

阶段V[t_4-t_5]: 在 t_4 时刻, 米勒平台结束, v_{gs1} 和 v_{gs2} 继续上升直到稳定值 V_P 。在 t_5 时刻之后, 整个动态过程结束。

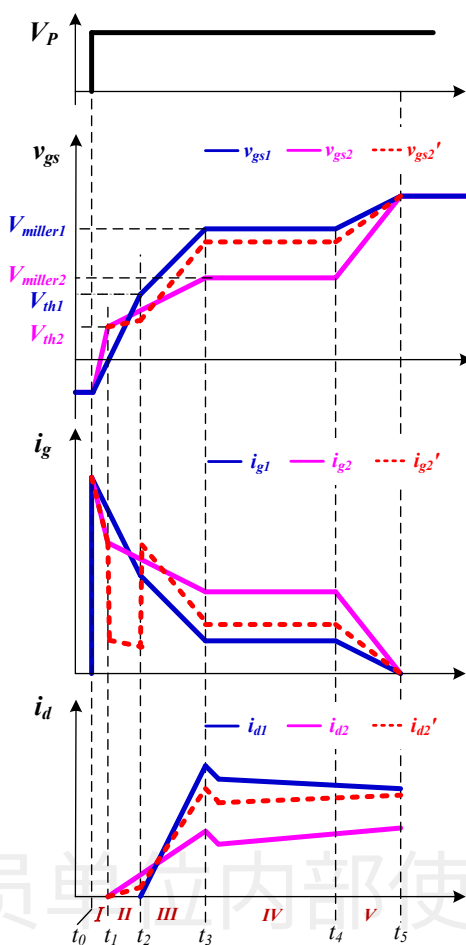


图 3-2 两并联 SiC MOSFET 均流前后典型波形

3.3 实验验证

3.3.1 实验平台

本节通过搭建双脉冲实验平台来验证 3.2 节所述动态均流方案有效性，其原理示意图与实物图分别如图 3-3、图 3-4 所示。

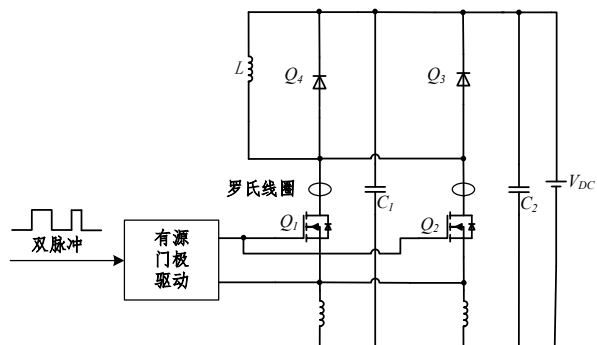


图 3-3 双脉冲实验平台示意图

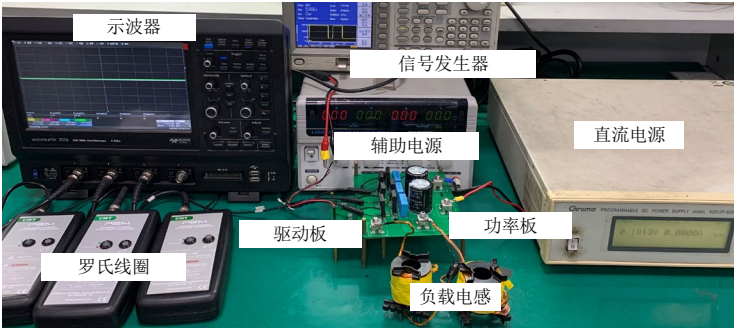


图 3-4 双脉冲实验平台实物图

其中 SiC MOSFET 测试管采用 CREE 公司的 C3M0065100K，下管并联器件作为待测器件，上管并联器件充当续流二极管。负载电感为 136 μ H 的空心电感，直流母线电压为 300V。漏极电流检测采用 PEM 生产的罗氏线圈，带宽为 30MHz。表 3-1 给出了主要测试设备及相关参数。

表 3-1 主要测试设备及其参数

测试设备	主要参数
示波器： LECROY Wavesurfer 3054	带宽：500MHz 采样率：4GS/s
PEM 罗氏线圈	峰值电流：300A 带宽：30MHz
信号发生器： Tektronix AFG3022C	带宽：25MHz 采样率：250MS/s
碳化硅 MOSFET： C3M0065100K	$V_{DSmax}=1000V$ $I_D @ 25^{\circ}C=35A$

由于 SiC MOSFET 开通时间很短，因此反馈电路的响应时间对本方案动态均流效果至关重要。为尽可能在较短时间内完成响应，这里采用高速运放和高带宽三极管。其中运放采用 TI 公司的 THS3491，三极管 NPN 和 PNP 分别采用安森美公司的 CPH3215 和 CPH3115 来组成推挽式功率放大电路以及镜像电流源。图 3-1 中反馈电路主要参数如表 3-2 所示。

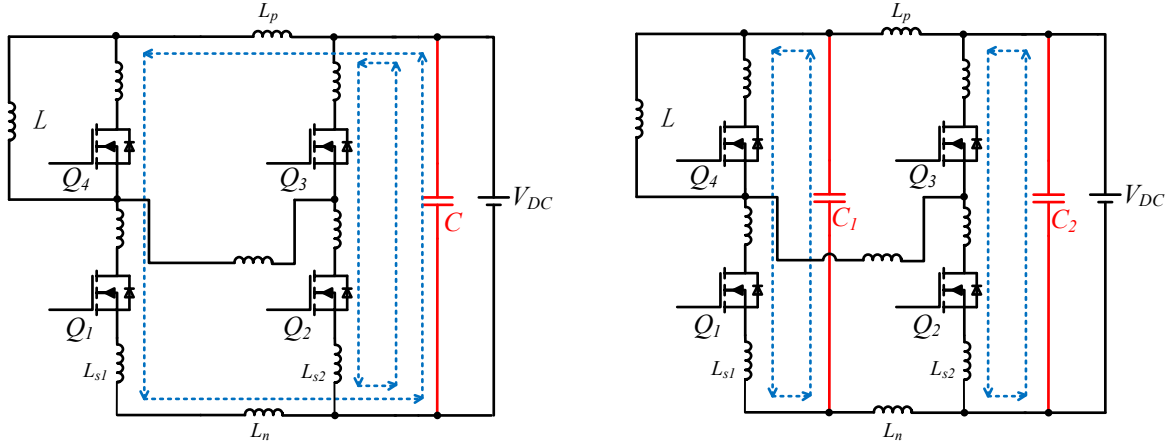
表 3-2 反馈电路主要元件及其参数

元件名	主要参数
U_1 、 U_2 (高速运放 THS3491)	带宽: 320MHz 压摆率: 8000V/us
T_1 、 T_3 、 T_4 (NPN, CPH3215)	带宽: 500MHz 最大额定连续脉冲电流: 3A
T_2 、 T_5 、 T_6 (PNP, CPH3115)	带宽: 450MHz 最大额定连续脉冲电流: 3A
R_1 、 R_2	200 Ω
R_3 、 R_4	820 Ω
R_5	10 Ω

3.3.2 功率回路设计

由于本方案中并联器件源极电感电压的差值与动态电流变化率成正比, 因此确保瞬态过程中并联支路源极电感的一致性至关重要。源极电感 L_s 由 PCB 上的走线电感与 MOSFET 封装引脚上的杂散电感构成。其中同一类型同样封装的器件键合线上的杂散电感差异较小, 因此可以保证该部分电感相同。为了确保 PCB 上各并联支路的走线电感一致, 通常在每条并联支路旁并联一个去耦电容^[68], 该电容能够提供瞬态能量。图 3-5 展示了两种功率回路布局的电流流向。传统布局仅在直流电源 V_{DC} 旁并联去耦电容, 如图 3-5(a)所示, 在下管开通暂态过程中, 线路上寄生电感 L_p 、 L_n 都会流经动态电流, 尤其是 L_n , 导致 Q_1 与 Q_2 源极电感不匹配; 改进电路采用分布式电容供电, 由于在开通暂态过程中去耦电容 C_1 、 C_2 提供瞬态能量, 并联支路间电感 L_p 、 L_n 不会流过动态电流, 因此大大减少了两管源极电感的差异性。

采用图 3-5(b)的分布式电容供电方式绘成的两并联器件双脉冲电路 PCB 如图 3-6 所示。其中 C_3 、 C_4 为 220 μF 电解电容, 为功率器件提供静态电流; C_1 、 C_2 是 0.1 μF 薄膜电容, 为功率器件提供动态电流; Q_1 、 Q_2 为待测并联 SiC MOSFET; Q_3 、 Q_4 充当续流二极管。只要确保各并联下管的功率源极到各分布电容负端的走线相等, 则并联管源极电感相等。



(a)采用单侧电容供电动态电流流向图

(b)采用分布式电容供电动态电流流向图

图 3-5 两种功率回路布局方式开通暂态下电流流向图

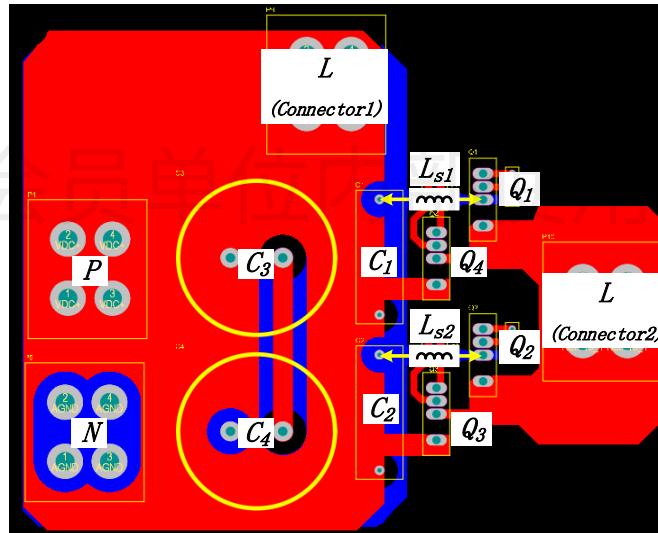


图 3-6 两并联器件双脉冲电路 PCB 布局

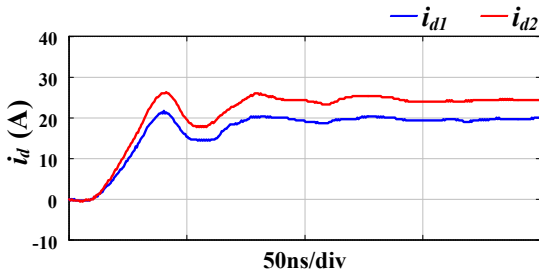
根据 Q3D 软件仿真可得, Q_1 、 Q_2 的功率源极到 C_1 、 C_2 的负极之间的走线电感 L_{s1} 、 L_{s2} 分别为 8.95nH 与 9.1nH, 同时由 CREE 公司提供的 C3M0065100K 的 PSPICE 模型可得封装内部杂散电感为 3nH, 因此两并联下管的源极电感分别为 11.95nH 与 12.1nH, 差异度为 1.2%, 可以忽略不计。

3.3.3 实验结果

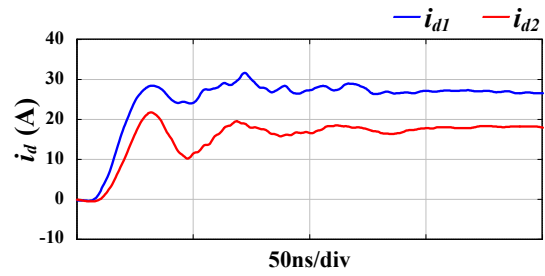
基于传统驱动方案和有源门极驱动的动态均流实验分别如图 3-7、图 3-8 所示, 其中 i_{d1} 、 i_{d2} 分别为两并联下管 Q_1 、 Q_2 的漏极电流。为了检验有源门极驱动方案的均流效果,

本实验通过改变两并联管的外部驱动电阻扩大不均流现象，进而显著对比在加入反馈环节前后波形的变化。

在图 3-7(a)中，由于 Q_2 的驱动电阻比 Q_1 小，因此其开通速度比 Q_1 快， i_{d2} 增长速率也更快；在加入门极电流抽取环节后，如图 3-8(a)所示，两管的不均流显著减少，波形重合度更高。在图 3-7(b)，由于 Q_2 的驱动电阻比 Q_1 大，因此其开通速度比 Q_1 慢， i_{d2} 增长速率更慢；而在加入门极电流注入环节后，如图 3-8(b)所示， Q_2 的电流上升速率变大，最终二者电流达成匹配。

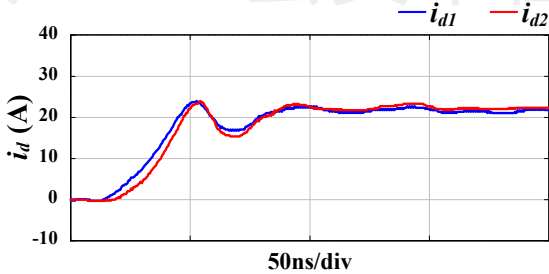


(a) Q_2 开通速度比 Q_1 快

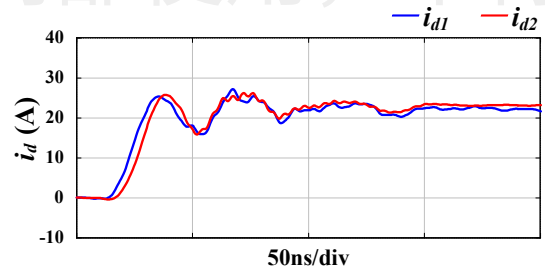


(b) Q_2 开通速度比 Q_1 慢

图 3-7 传统驱动方案两管并联实验波形



(a) 门极电流抽取环节效果检验



(b) 门极电流注入环节效果检验

图 3-8 有源门极驱动两管并联实验波形

表 3-3、表 3-4 分别为图 3-7、图 3-8 所示各部分电流上升阶段的有效值、平均值、最大值。

电流有效值 RMS、平均值 AVG 分别计算如下：

$$RMS = \sqrt{\frac{1}{t_r} \sum_{k=1}^n i_d^2(t_k) \Delta t} \quad (3-8)$$

$$AVG = \frac{1}{t_r} \sum_{k=1}^n i_d(t_k) \Delta t \quad (3-9)$$

其中 t_r 为电流上升时间, $i_d(t_k)$ 为电流上升过程中每一个采样点采集到的电流值, Δt 为邻近两次采样点的时间间隔。

不均流度计算公式为

$$\varepsilon\% = \left| \frac{I_1 - I_2}{\bar{I}} \right| \quad (3-10)$$

其中 I_1 、 I_2 分别为表中两管电流的有效值、平均值、最大值, $\bar{I}$ 为 I_1 、 I_2 的平均值。

因此在采用门极电流抽取、注入环节后, 并联器件漏极电流的不均流度大大减小, 不均流得到改善。

表 3-3 加入门极电流抽取环节前后电流对比

	均流前			均流后		
	RMS	AVG	MAX	RMS	AVG	MAX
i_{d1}	16.46	14.20	26.33	13.24	10.40	24.00
i_{d2}	13.77	11.53	21.67	14.76	12.50	23.33
$\varepsilon\%$	17.80%	20.75%	19.42%	10.86%	18.34%	2.83%

表 3-4 加入门极电流注入环节前后电流对比

	均流前			均流后		
	RMS	AVG	MAX	RMS	AVG	MAX
i_{d1}	19.60	17.14	28.39	17.74	15.43	25.73
i_{d2}	13.50	11.00	21.71	15.54	12.33	24.44
$\varepsilon\%$	36.86%	43.64%	26.67%	13.22%	22.33%	5.14%

3.4 方案扩展

基于两管并联的有源门极驱动均流方案的有效性在 3.3 节中已得到验证。然而, 在实际应用中, 两管并联一般难以满足大容量的电力电子设备的要求, 因此为了获取更大的通流能力, 多管并联 (≥ 3) 是大势所趋。

3.4.1 主从式思想

为了将 3.2 节所提均流方案应用在多器件并联中，这里采用主从式思想，如图 3-9 所示。在动态过程中，将 Q_1 的电流变化率作为主级参考量，其他并联管的电流变化率作为从级跟随量，最终使各并联管的动态电流与 Q_1 相匹配。

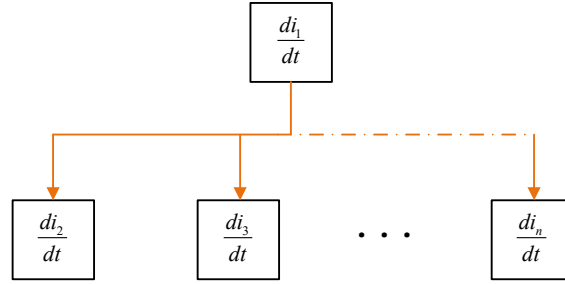
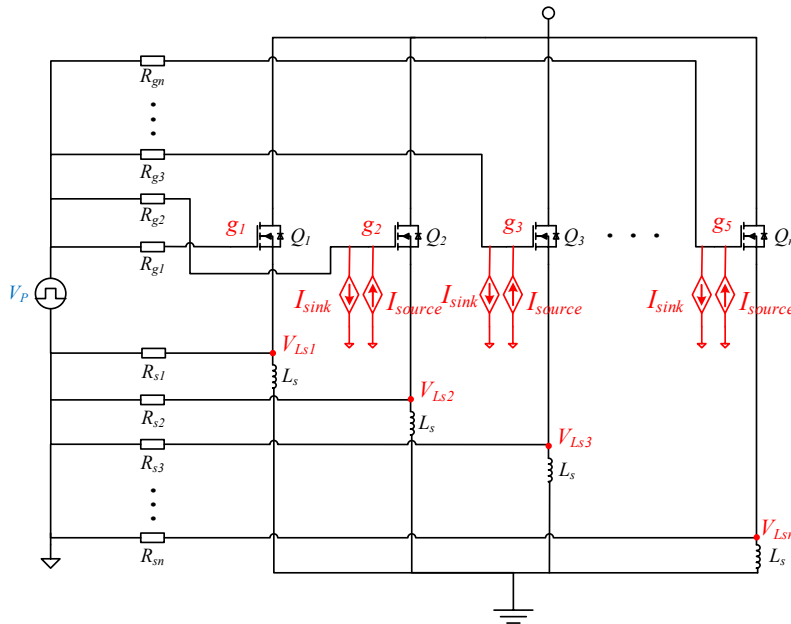


图 3-9 主从式思想示意图

主从式思想在本方案中的具体实现如图 3-10 所示。具体而言，在电流上升时，若第 k 个并联管 Q_k 的源极电感电压 v_{Lsk} 大于第 1 个管 Q_1 的 v_{Ls1} 时，表明 Q_k 开通速度比 Q_1 快，此时门极电流抽取环节开始作用，减小 Q_k 的驱动电流，减缓 Q_k 的漏极电流上升率；反之，若第 k 个并联管 Q_k 的源极电感电压 v_{Lsk} 小于第 1 个管 Q_1 的 v_{Ls1} 时，则门极电流注入环节开始作用，增大 Q_k 的驱动电流，加速 Q_k 的漏极电流上升过程。该结构确保了在有源门极驱动工作的过程中，第 1 个并联管的 di_d/dt 保持不变，通过对第 k 个管的门极进行抽、注电流，使其与第 1 个并联管的 di_d/dt 保持一致，从而达到均流的效果。



(a) 用于并联的有源门极驱动电路原理图

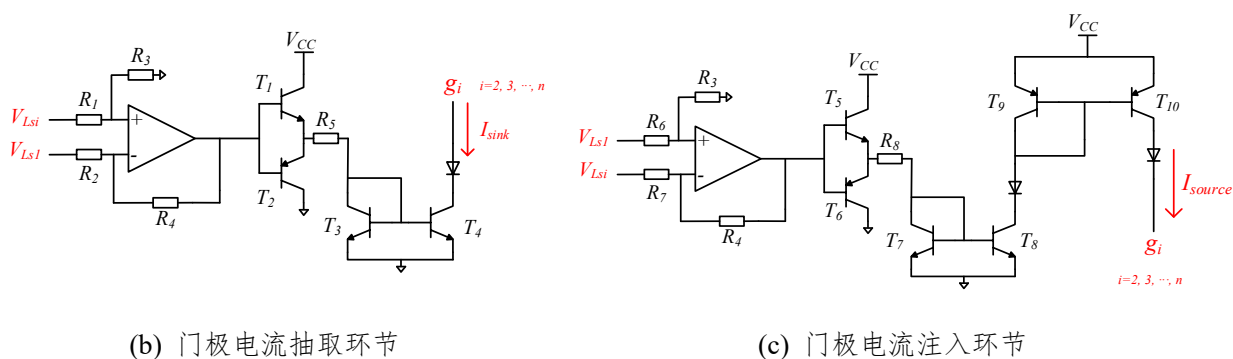


图 3-10 基于主从式思想的有源门极驱动均流技术

3.4.2 多管并联实验

为了验证基于主从式思想的有源门极驱动均流技术，这里同样采用双脉冲电路，并以三管并联为例。其中直流母线电压为 300V，在第一个脉冲结束后负载电流为 60A。均流前后的实验波形如图 3-11、图 3-12 所示。

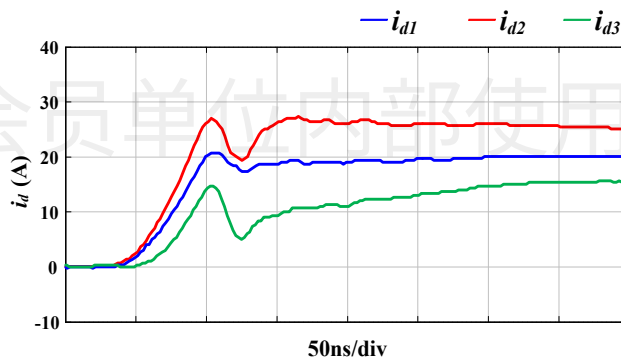


图 3-11 传统驱动方案三管并联实验波形

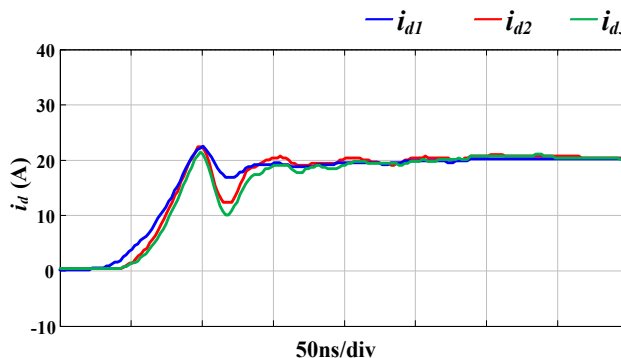


图 3-12 基于主从式思想的有源门极驱动方案三管并联实验波形

在图 3-11 中，通过调节驱动电阻使 Q_2 开通速度比 Q_1 快，而 Q_3 开通速度比 Q_1 慢。在加入了有源门极驱动后，通过对 Q_2 的门极进行电流抽取以及对 Q_3 的门极进行电流注入，从而减缓 Q_2 的漏极电流上升速率，加速 Q_3 的漏极电流上升速率，最终二者的电流与 Q_1

一致，如图 3-12 所示。

表 3-5 分别从电流有效值、平均值、最大值三个维度对比了加入有源门极均流电路前后不均流度的大小，验证了该方案在多管并联中的有效性。

表 3-5 加入门极电流抽取环节前后电流对比

	均流前			均流后		
	RMS	AVG	MAX	RMS	AVG	MAX
i_{d1}	11.61	9.57	20.75	12.12	8.1	22
i_{d2}	15.59	12.94	27.00	11.41	9.43	21.83
i_{d3}	7.25	5.28	14.67	10.36	7.13	21
$\varepsilon_{12}\%$	29.26%	29.94%	26.18%	6.03%	15.17%	0.78%
$\varepsilon_{23}\%$	73.03%	84.08%	59.18%	9.65%	27.78%	3.88%
$\varepsilon_{13}\%$	46.24%	57.78%	34.33%	15.66%	12.74%	4.65%

3.5 本章小结

本章提出一种新型的有源门极驱动电路，能够改善并联器件动态不均流问题。该方案不会被并联个数所限制，并且可以同时解决电流变化时间点不同以及斜率不同引起的不均流问题。为了能够在单周期内实现均流，本方案避免了采用数字控制的方式，用模拟型有源门极驱动，以较简单的反馈电路达到高速响应的目的，从而能够在 SiC MOSFET 有限的电流上升时间内完成均流。本章就有源门极驱动的工作原理进行了详细介绍，包括不均流检测与反馈部分。同时由于本方案能够有效实现的前提是各并联器件的源极电感一致，因此这里功率回路采用了分布式电容布局方式。本章对两管并联进行了实验验证，说明了方案的有效性。为了确保有源门极驱动均流方式在多管 (≥ 3) 并联中同样适用，这里利用了主从式的思想进行了方案扩展，并进行三管并联实验进行相关验证。实验证明，有源门极驱动方案是一种有效的均流手段。

第4章 基于三极管的有源门极驱动均流技术

4.1 引言

本文在第3章中提出了一种用于并联均流的有源门极驱动电路，该电路通过运放对采样源极电感电压进行信号放大，由于运放输出电流较小，一般为毫安级别，不足以影响门极驱动电流，因此反馈电路中需要在运放后级联图腾柱功放进行电流放大，而镜像电流源一方面用以将电压信号转化为电流信号，另一方面改变电流方向从而实现门极电流抽、注动作。为了实现快速响应，一般需要高带宽的电流反馈型运算放大器。但在实际应用中，该类型运放直流特性较差，对寄生参数极为敏感，同时价格较昂贵，也不适合集成。另外，如前所述，由于运放输出电流小，因此为了能影响受控管的驱动回路，对运放输出进行功率放大是必要的，但与此同时级联功放增加了反馈电路响应时间。

因此，为了使有源门极驱动技术能更好地应用在 SiC MOSFET 并联均流中，同时为了减少成本，需要对上述方案进行优化。本章采用了一种改进型有源门极驱动电路用以改善不均流，该电路仅利用三极管就可以完成不均流检测与调节，反馈电路更为简单，避免了采用运算放大器，因此也不需要级联功放。

另外，本章将对该方案在关断暂态过程中的均流应用进行说明与验证。

4.2 工作原理

图 4-1 给出了基于三极管的有源门极驱动电路的原理图，该方案同样由两部分组成：检测部分和反馈部分。

4.2.1 检测部分

图 4-1(a)中 MOSFET 的功率源极电感由两部分组成：第一部分是功率器件封装内部源极键合线的寄生电感 L_{sl} ；第二部分是外部电感 L_{ext} 。由于无法直接检测键合线上寄生电感电压，因此这里将外部电感 L_{ext} 上的电位作为检测点。开通暂态不均流检测原理与第3章所述类似，本章不再赘述。这里主要阐述关断暂态过程中不均流的检测。

当 MOSFET 关断时，漏极电流流经外部源极电感 L_{ext} ，因此 L_{ext} 上会感应出电感电压 V_L ，即

$$v_L = L_{ext} \frac{di_d}{dt} \quad (4-1)$$

其中开通暂态下由于漏极电流处于上升阶段, di_d/dt 为正值, 即 v_L 为正; 关断暂态与之相反, 即 v_L 为负值。

当 Q_2 的关断速度比 Q_1 快, 即

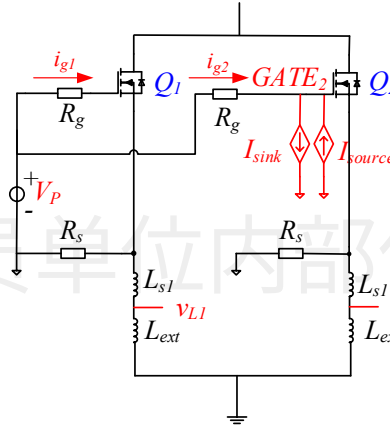
$$\left| \frac{di_{d2}}{dt} \right| > \left| \frac{di_{d1}}{dt} \right| \quad (4-2)$$

若并联两管具有相等的外部源极电感 L_{ext} , 则有

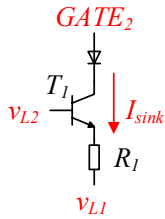
$$v_{L2} < v_{L1} \quad (4-3)$$

故两管关断过程的差异性转化为了源极电感电压的差异性($v_{L1} - v_{L2}$), 因此通过检测两管外部源极电感上的电压差可以得到并联管的不均流度信息。

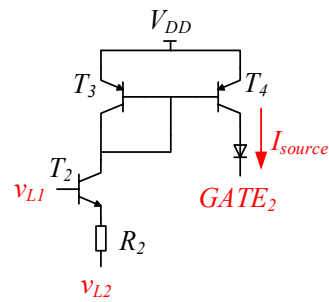
同样地, 当 Q_2 的关断速度比 Q_1 慢, 可对应得到相反结论, 这里不再赘述。



(a) 基于三极管的有源门极驱动均流电路原理图



(b) 门极电流抽取环节



(c) 门极电流注入环节

图 4-1 基于三极管的有源门极驱动均流电路示意图

4.2.2 反馈部分

反馈环节由两部分组成: 门极电流抽取环节与门极电流注入环节。与前述方案不同的是, 这两个环节都由三极管组成。此处以开通为例进行说明, 关断过程与之类似。

当 Q_2 开通速度快于 Q_1 (包括开通时间更早与漏极电流上升斜率更大) 时, 此时 $v_{L2} > v_{L1}$, 门极电流抽取环节开始工作, 反馈电路输出端产生一个电流信号, 如图 4-1(b) 所示, 其值为

$$I_{\text{sink}} = \frac{v_{L2} - v_{L1} - V_{BE,T1}}{R_1} \quad (4-4)$$

因此 Q_2 的门极有同样大小的电流流出, 驱动电流 i_{g2} 变小, Q_2 开通过程变慢。并联两管不均流程度越严重, 差分电压 ($v_{L2} - v_{L1}$) 越大, 反馈电路输出电流 I_{sink} 越大, 则 Q_2 的门极驱动电流越小, 从而减小 i_{d2} 的变化速率。最终并联两管达到动态均流。相较于第 3 章所述方案, 本方案中门极电流抽取环节的电压比较环节与电压-电流信号转化环节都在一个三极管中完成, 反馈电路更加简单。

当 Q_2 开通速度慢于 Q_1 (包括开通时间更晚与漏极电流上升斜率更小) 时, 此时 $v_{L2} < v_{L1}$, 门极电流注入环节开始工作, 反馈电路输出端产生一个电流信号, 如图 4-1(c) 所示, 其值为

$$I_{\text{source}} = \frac{v_{L1} - v_{L2} - V_{BE,T2}}{R_2} \quad (4-5)$$

该电流注入到 Q_2 的门极中, 增大其原本的驱动电流, 加速 Q_2 的开通过程。同样地, 并联两管不均流程度越严重, 差分电压 ($v_{L2} - v_{L1}$) 越大, 反馈电路往 Q_2 门极注入的电流越多, 从而 i_{d2} 的变化速率增加得越快。最终并联两管达到动态均流。相较于第 3 章所述方案, 本方案中门极电流注入环节仅需一级镜像电流源用以改变电流方向, 因此反馈电路得到简化。

4.2.3 理论波形

综合 4.2.2 与 4.2.3 两小节内容, 可以分为 11 个阶段具体分析改进型有源门极驱动方案在开通、关断暂态中的应用, 如图 4-2 所示。同样地, 由于开通过程与 3.2.3 节所述类似, 这里不再详细分析, 此处着重于关断暂态过程中有源门极驱动的工作机理。

阶段 VI [$t_6 - t_7$]: 在 t_6 时刻, 驱动源 V_P 变为低电位, C_{gs1} 和 C_{gs2} 开始放电, 两管进入关断暂态过程。在 t_7 时刻, v_{gs1} 到达米勒平台 $V_{\text{miller}1}$ 。

阶段 VII [$t_7 - t_8$]: 由于 v_{gs2} 尚未到达其米勒平台 $V_{\text{miller}2}$, v_{ds2} 不变。虽然 v_{gs1} 已经到达 $V_{\text{miller}1}$, 但由于二管并联, 因此 v_{ds1} 也保持不变, v_{gs1} 继续下降, i_{d1} 因此减小。由于负载电流不变, 因此 i_{d2} 变大。故两管电流存在差异, 外部源极电感上感应压差 ($v_{L2} - v_{L1}$), 门极电流抽取环

节开始工作, i_{g2} 变大, 从而使 v_{gs2} 更早到达米勒平台, 两管电流差异因此减小。

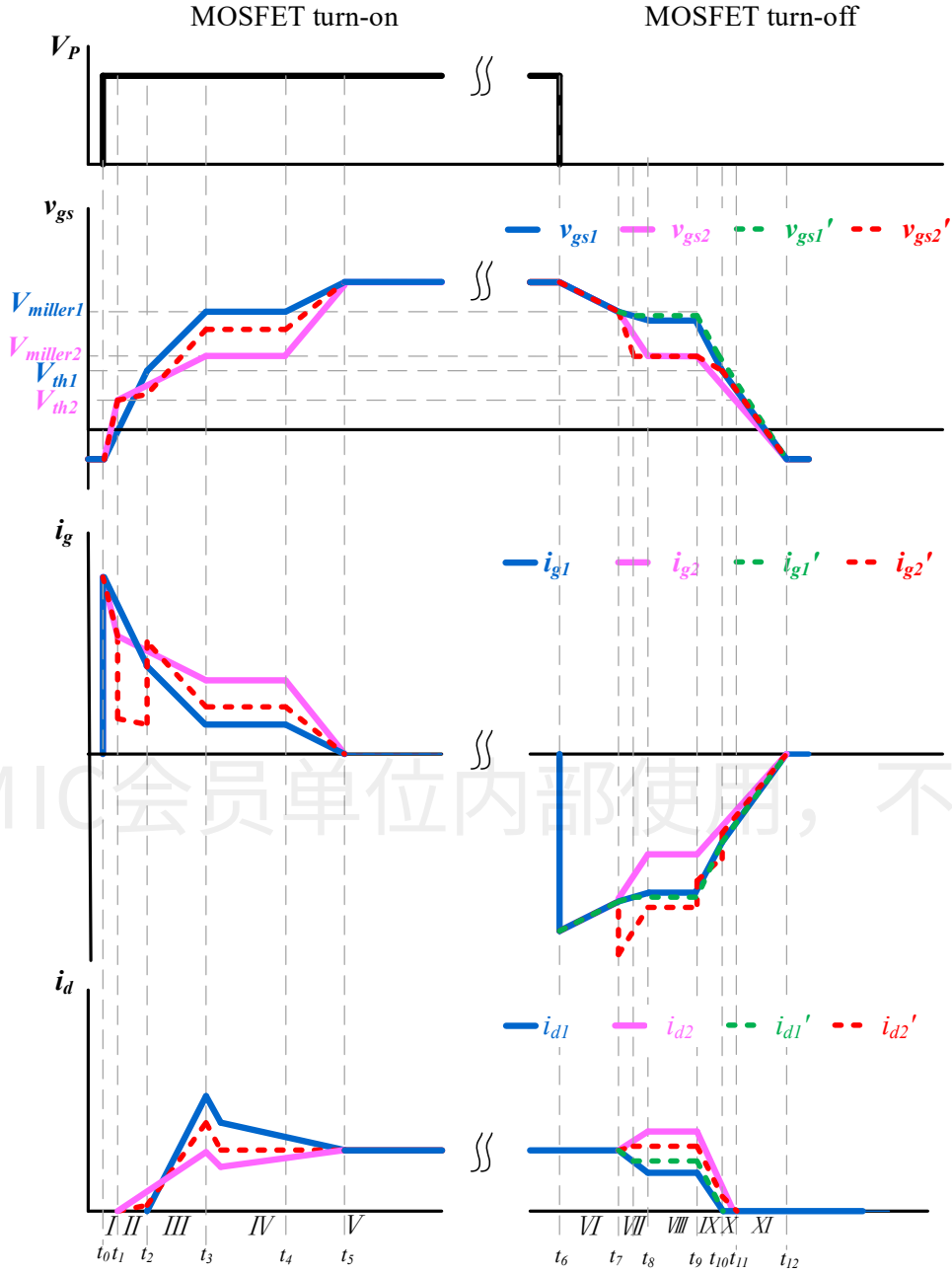


图 4-2 两并联 SiC MOSFET 均流前后典型波形

阶段VIII[t_8 - t_9]: 由于两管的 v_{gs} 都到达了米勒平台, 因此 v_{ds} 开始下降。在米勒平台结束前, 两管电流保持不变。

阶段IX[t_9 - t_{10}]: 在 t_9 时, v_{gs1} 和 v_{gs2} 均退出了米勒平台, 漏极电流开始下降。在这一阶段, 由于 i_{d2} 下降速率比 i_{d1} 更快, 外部源极电感上感应出压差($v_{L1} - v_{L2}$), 门极电流注入环节开始工作, i_{g2} 变小, 减缓 v_{gs2} 的变化过程, 因此 i_{d2} 的下降过程随之变缓。

阶段X[t_{10} - t_{11}]: 在 t_{10} 时刻, v_{gs1} 率先到达阈值电压 V_{th1} , 因此 i_{d1} 先降为 0。由于 i_{d2} 仍

处于下降阶段，因此外部源极电感上感应出压差($v_{L1} - v_{L2}$)，门极电流注入环节工作， i_{g2} 变小， i_{d2} 斜率变小，以此与 i_{d1} 相匹配。

阶段XI[$t_{11}-t_{12}$]：在 t_{11} 时刻， i_{d1} 与 i_{d2} 变化过程结束， v_{gs1} 与 v_{gs2} 继续下降到稳态值。在 t_{12} 之后，关断暂态过程结束。

4.3 实验验证

4.3.1 反馈电路

4.3.1.1 电路设计

由于图 4-1 所展示方案中三极管充当源极电感电压的比较环节，以门极电流抽取环节为例，因此反馈电路工作的必要条件是

$$v_{L2} - v_{L1} = L_{ext} \frac{di_{d2}}{dt} - L_{ext} \frac{di_{d1}}{dt} \geq V_{BE,T} \quad (4-6)$$

其中 $V_{BE,T}$ 为三极管的阈值电压。不妨假设峰值电流的不均流度为

$$\varepsilon_p \% = \frac{I_{p2} - I_{p1}}{I_{in}} \quad (4-7)$$

其中 I_{p1} 与 I_{p2} 分别为测试管 Q_1 、 Q_2 的峰值电流， I_{in} 为静态电流。

以开通为例，为简化分析，假设 i_{d1} 与 i_{d2} 以恒定斜率上升，上升时间为 t_r ，即

$$\begin{cases} I_{p1} = \frac{di_{d1}}{dt} t_r \\ I_{p2} = \frac{di_{d2}}{dt} t_r \end{cases} \quad (4-8)$$

将式(4-7)、(4-8)代入式(4-6)，化简后得

$$L_{ext} \cdot \frac{I_{in}}{t_r} \cdot \varepsilon_p \% \geq V_{BE,T} \quad (4-9)$$

因此当静态电流 I_{in} 与电流上升时间 t_r 确定时，外部源极电感 L_{ext} 越大，三极管阈值电压 $V_{BE,T}$ 越小，则均流效果越好。然而较大的外部源极电感 L_{ext} 会引起严重的漏源电压 v_{ds} 振荡与过冲，严重时甚至会导致器件击穿，因此不能过大。故 L_{ext} 的取值应有个折中，在保证所能允许的不均流度下尽可能小。

在本实验中，所用测试管 C3M0032120K 的静态电流 I_{in} 为 40A，通过调节驱动电阻、输入电容从而控制暂态电流上升时间约为 80ns，同时假定三极管阈值电压为 0.7V。若希

望在均流后峰值电流不均流度 $\varepsilon_p\%$ 能控制在 10%，则有

$$L_{ext} \geq \frac{V_{BE,T} \cdot t_r}{I_{in} \cdot \varepsilon_p \%} = \frac{0.7V \cdot 80n}{40A \cdot 10\%} = 14nH \quad (4-10)$$

因此，为了达到预期的均流效果，源极电感必须至少设计为 14nH。

在实际中，三极管的阈值电压并不固定为 0.7V，与额定电流、带宽等因素相关。一般而言，额定电流越小，带宽越大，则阈值电压越大。当阈值电压增加时，为保证同样的均流效果，源极电感值也需增加。这里源极电感的设计留有 20% 的裕量，约为 17nH。

三极管的额定电流与反馈电路抽、注电流大小有关。为使反馈电路能够有效影响驱动过程，进而影响开关特性，需要使抽、注电流大小与门极驱动电流为同一数量级。这里选取驱动电阻为 10Ω ，因此峰值驱动电流为 2A。故反馈电路中三极管额定电流可选取为 2A 以上。

除此之外，为了能较完整地还原源极电感电压差分信号，反馈电路中三极管的带宽必须足够大。根据经验公式可得上升时间为 t_r 的信号其带宽 BW_1 近似为

$$BW_1 = \frac{0.35}{t_r} \quad (4-11)$$

根据奈奎斯特采样定理，当采样频率至少为信号频率的两倍，采样才有效。若能完整地保留原始信号中的信息，则最好为 10 倍。因此反馈电路中三极管的带宽 BW_2 应满足

$$BW_2 \geq 10BW_1 \quad (4-12)$$

本实验的 SiC MOSFET 上升时间约为 80ns，等效带宽 BW_1 约为 4.4MHz，因此反馈电路中三极管的带宽 BW_2 至少为 44MHz，同时带宽越高，信号还原效果越好。

电阻 R_1 、 R_2 的选取与反馈电路对门极抽、注电流大小相关。假设在未均流前，最大峰值不均流度约为 30%，因此源极电感上的电压差为

$$v_{L2} - v_{L1} = L_{ext} \cdot \frac{I_{in}}{t_r} \cdot \varepsilon_p \% = 17nH \cdot \frac{40A}{80ns} \cdot 30\% = 2.55V \quad (4-13)$$

由于峰值驱动电流为 2A，因此反馈电路对门极的抽、注电流大小以不超过该值为宜，因此 R_1 、 R_2 取值为

$$R \geq \frac{v_{L2} - v_{L1} - V_{BE,T}}{i_{g \max}} = \frac{2.55 - 0.7}{2} = 0.925\Omega \quad (4-14)$$

根据上述设计原则，反馈回路中所选器件及具体参数如表 4-1 所示。

表 4-1 反馈电路主要元件及其参数

元件名	主要参数
T_1 、 T_2 (NPN, CPH3215)	带宽: 500MHz 最大额定连续脉冲电流: 3A 阈值电压: 0.85V
T_3 、 T_4 (PNP, CPH3115)	带宽: 450MHz 最大额定连续脉冲电流: 3A 阈值电压: 0.85V
R_1 、 R_2	1 Ω

此外, 功率回路的设计同样需要保证各并联支路的源极电感一致, 其布局原则与 3.3.2 小节类似, 这里不再赘述。

4.3.1.2 响应时间测试

如前所述, 反馈电路的响应时间对器件开关速度控制有很大影响, 响应时间越短, 控制效果越好。反馈电路响应时间测试电路如图 4-3 所示, 分别在门极电流抽、注环节的输入端加入脉冲信号 V_{s1} 、 V_{s2} , 同时测量负载电阻上的电压, 得到反馈电路的输出电流 I_{sink} 、 I_{source} 。观察输出电流与输入信号的时间差, 可得到反馈电路的响应时间。

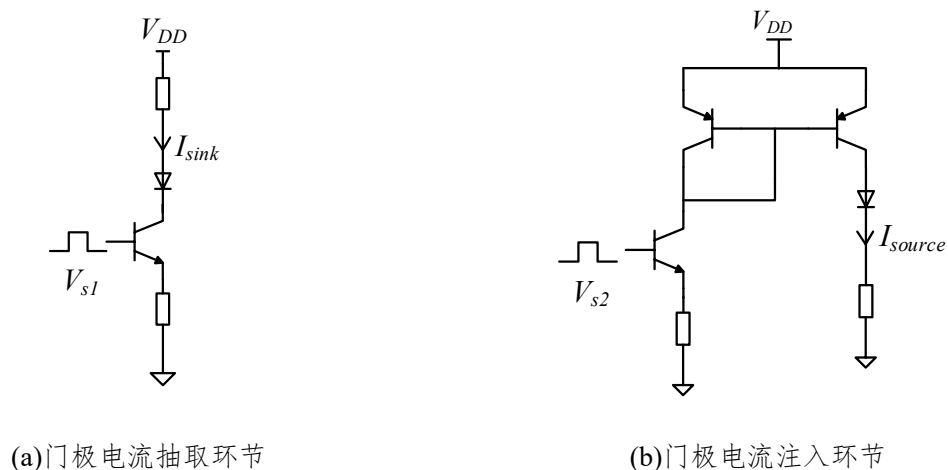


图 4-3 反馈响应时间测试电路

测试结果如图 4-4 所示, 其中门极电流抽取环节的响应时间约为 4ns; 门极电流注入环节由于增加了一级镜像电流源, 所以响应时间稍长, 约为 7ns。SiC MOSFET 开通和关

断暂态过程中电流变化时间在几十纳秒到百纳秒之间，因此该反馈电路响应时间较短，能够影响器件的开关电流变化。

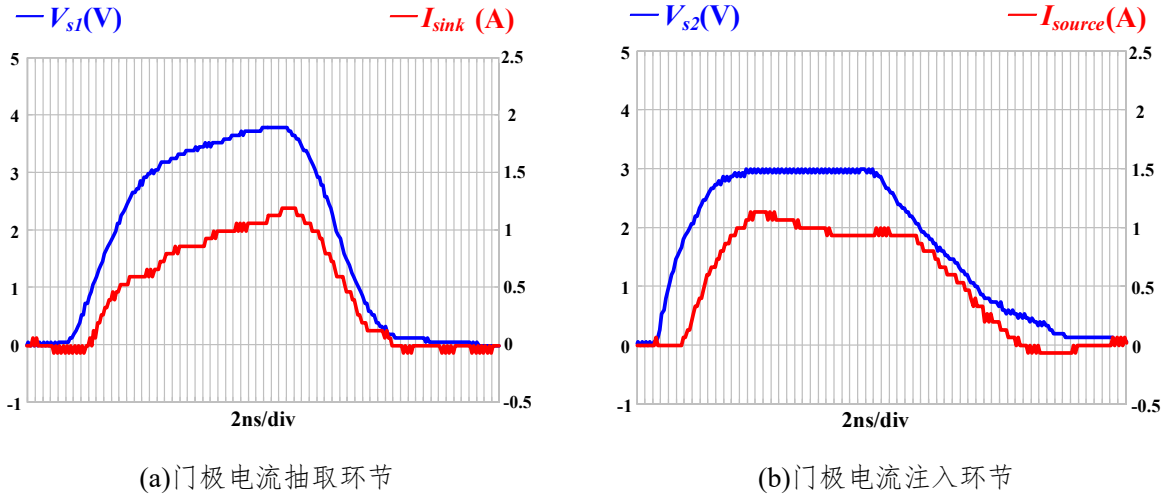


图 4-4 反馈电路输出响应特性

4.3.2 开通暂态控制

与第三章类似，为了检验本章所提改进方案的有效性，这里同样搭建了双脉冲测试平台进行实验验证。其中测试管为 CREE 公司生产的 TO-247-4 封装的 SiC MOSFET: C3M0032120K，负载电感为 $80\mu\text{H}$ ，母线电压为 400V。

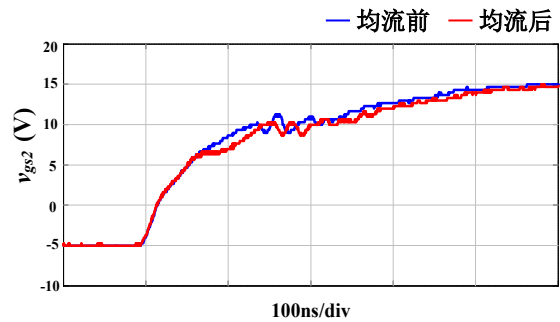
4.3.2.1 两管并联实验

基于三极管的改进型有源门极驱动技术在开通暂态下两管并联实验波形如图 4-5、图 4-6 所示。

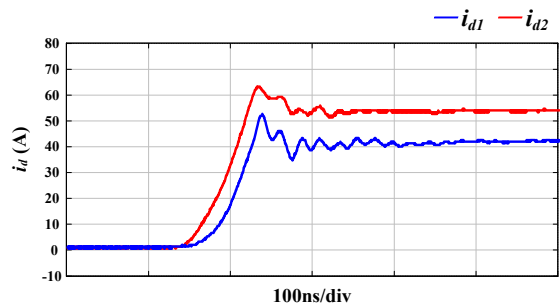
在图 4-5(b)中，通过调节驱动电阻使 Q_2 开通速度快于 Q_1 ，因此 i_{d2} 电流上升速率更快，在加入门极电流抽取环节后，该环节从 Q_2 的门极进行电流抽取，减缓 di_{d2}/dt ，最终与 i_{d1} 匹配，如图 4-5(c)。图 4-5(a)展示了加入门极电流抽取环节前后 v_{gs2} 的波形。在加入反馈环节后，电流未上升时， v_{gs2} 几乎与加入反馈环节前一致，表明这段时间反馈环节尚未动作；当电流开始上升，源极电感电压差产生时，反馈电路动作，因此在图 4-5(a)中可看到 v_{gs2} 有明显变小的过程，此时门极电流抽取环节工作，最终使 di_{d2}/dt 得到调节。

图 4-6 检验了门极电流注入环节在不均流调节中的效果。首先通过调节两管的驱动电阻使 i_{d2} 增加速度小于 i_{d1} ，如图 4-6(b)，门极电流注入环节感应到由于电流变化速率的不同导致的源极电感电压差后，向 Q_2 的门极进行电流注入，加速 Q_2 的开通过程，因此 di_{d2}/dt 变大，最终二者电流达到契合。图 4-6(a)展示了加入门极电流注入环节前后 v_{gs2} 的波形。

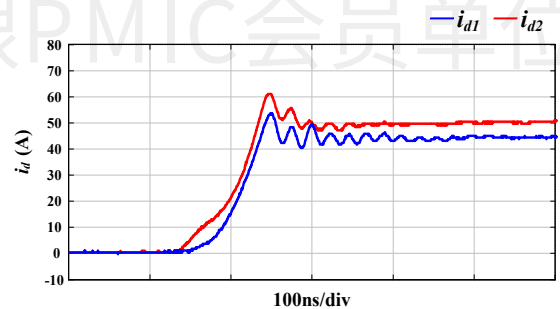
其变化机理与前述类似，这里不再赘述。



(a) 加入门极电流抽取环节前后 v_{gs2} 波形

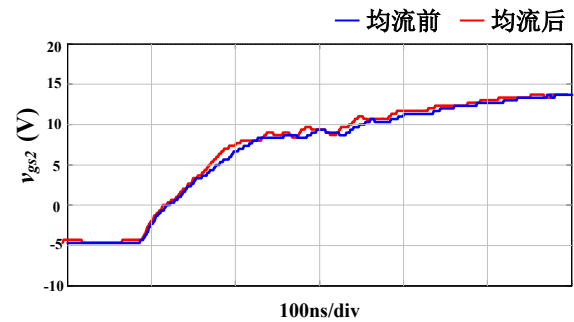


(b) 加入门极电流抽取环节前 i_d 波形

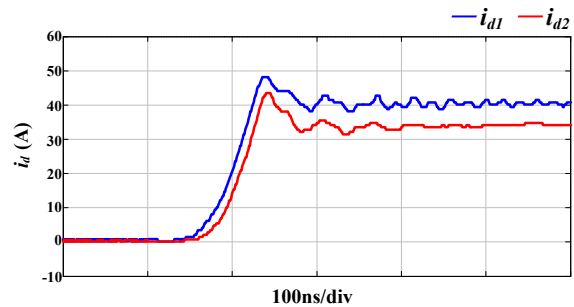


(c) 加入门极电流抽取环节后 i_d 波形

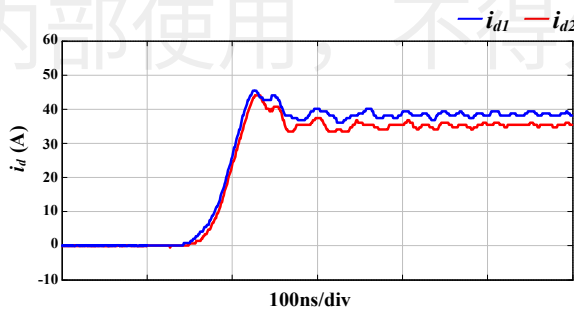
图 4-5 门极电流抽取环节效果检验



(a) 加入门极电流注入环节前后 v_{gs2} 波形



(b) 加入门极电流注入环节前 i_d 波形



(c) 加入门极电流注入环节后 i_d 波形

图 4-6 门极电流注入环节效果检验

通过计算图 4-5、4-6 各部分电流在上升过程中的有效值 RMS、平均值 AVG 与最大值 MAX，可以得到均流前后的不均流度 $\varepsilon\%$ 与改善情况，如表 4-2、表 4-3 所示。

表 4-2 加入门极电流抽取环节前后电流对比

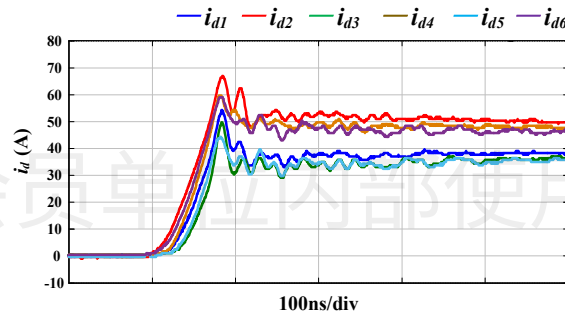
	均流前			均流后		
	RMS	AVG	MAX	RMS	AVG	MAX
i_{d1}	21.97	16.27	50.67	23.80	16.76	53.33
i_{d2}	33.95	27.88	62.67	29.14	22.69	60.67
$\varepsilon\%$	42.85%	52.59%	21.18%	20.19%	30.08%	12.86%

表 4-3 加入门极电流注入环节前后电流对比

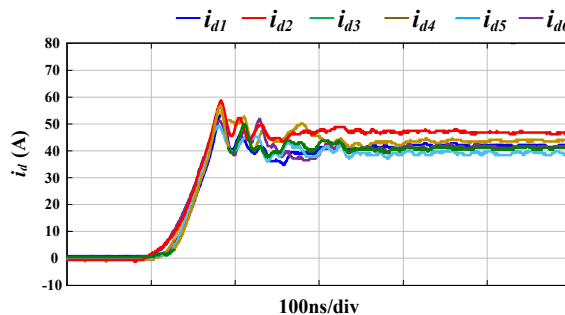
	均流前			均流后		
	RMS	AVG	MAX	RMS	AVG	MAX
i_{d1}	24.43	18.01	48.00	23.81	18.20	45.33
i_{d2}	19.38	13.20	43.33	21.50	15.73	44.00
$\varepsilon\%$	23.07%	30.90%	10.22%	10.20%	14.52%	2.99%

4.3.2.2 多管并联实验

在第三章中介绍了一种主从式思想将有源门极驱动均流方案从两管并联应用拓展到多管并联应用，并以三管并联为例进行了相关实验，证明了其有效性。同样地，这里也采用这种方式进行方案扩展，并将并联个数增加到六个，从而更贴近实际应用。



(a) 六管并联均流前



(b) 六管并联均流后

图 4-7 六管并联开通暂态实验结果

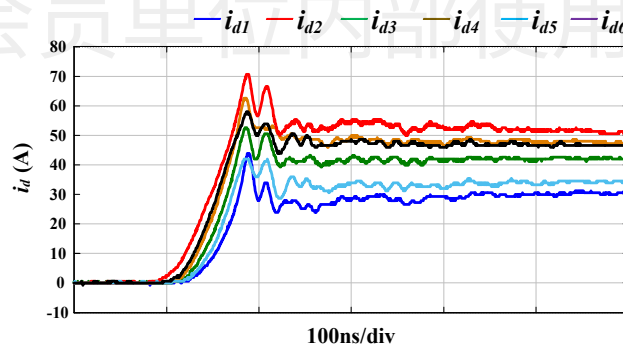
图 4-7 展示了基于三极管的有源门极驱动均流方案在多管并联中的应用效果。通过调节驱动电阻将 Q_I 的开通速度调至居中位置，因此在采用有源门极驱动方案前，以 i_{d1} 的波形为参照，其余并联管的电流波形分别与之偏离，如图 4-7(a)所示；在采用改进型有源门极驱动方案后，虽然各并联管驱动电阻不同，但由于反馈电路的作用，即门极电流抽取环

节减缓了各 di_d/dt 较大的并联管的开通速度，门极电流注入环节加快了各 di_d/dt 较小的并联管的开通速度，最终各并联管的漏极电流上升速率与 Q_1 相一致，从而达到均流的效果，如图 4-7(b)所示。通过计算图 4-7 各并联管电流的有效值、平均值与最大值，可以得到电流上升过程中均流前后最大电流偏差 $\varepsilon\%$ ，如表 4-4 所示。

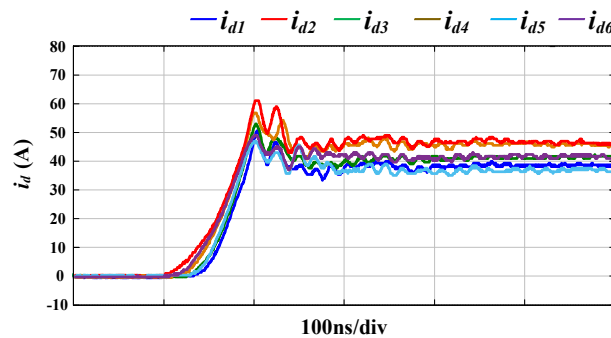
表 4-4 加入反馈环节前后最大不均流度

	均流前			均流后		
	RMS	AVG	MAX	RMS	AVG	MAX
i_{dmax}	34.26	27.20	67.33	27.39	20.87	58.67
i_{dmin}	19.61	12.76	48.67	23.97	16.21	56.00
$\varepsilon\%$	54.42%	72.26%	32.18%	13.31%	25.11%	4.65%

值得一提的是，虽然前述有源门极驱动均流技术在并联个数扩展时所用的主从式思想以 Q_1 作为参考管，其他并联管作为跟随管，但原则上参考管的选定并不影响均流效果。图 4-8 所示为 Q_3 作为主级参考管时均流前后的六管并联漏极电流波形图，同样取得了较好的均流结果。



(a) 六管并联均流前



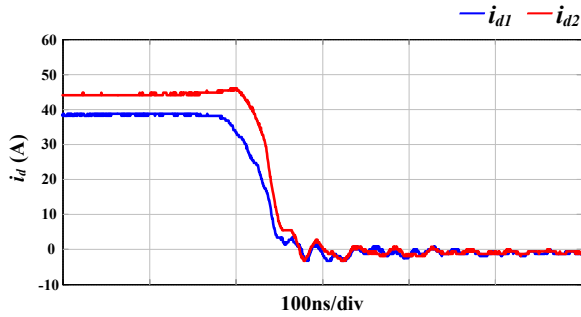
(b) 六管并联均流后

图 4-8 更换主级参考管为 Q_3 的六管并联实验结果

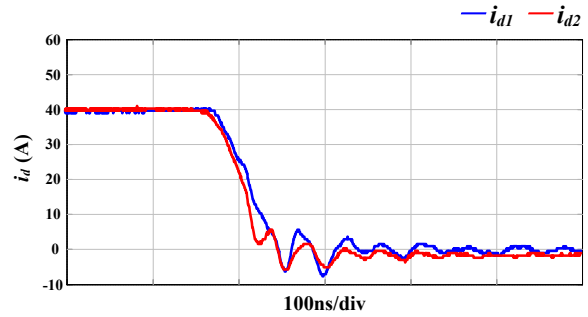
4.3.3 关断暂态控制

4.3.2.1 两管并联实验

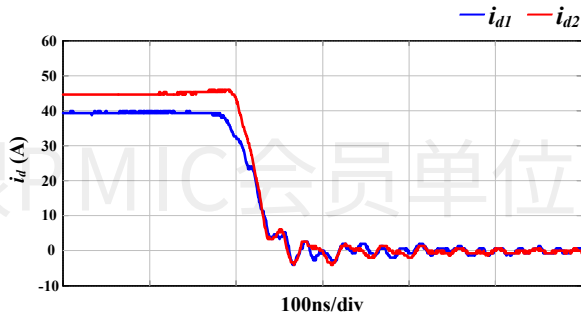
本节对有源门极驱动在关断暂态过程中的动态均流应用进行了实验验证。其中两管并联实验结果如图 4-9、图 4-10 所示。



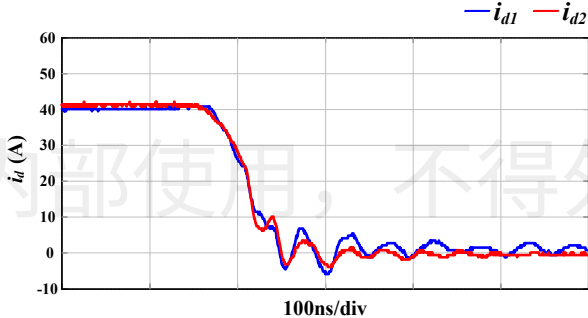
(a) 加入门极电流抽取环节前 i_d 波形



(a) 加入门极电流注入环节前 i_d 波形



(b) 加入门极电流抽取环节后 i_d 波形



(b) 加入门极电流注入环节后 i_d 波形

图 4-9 门极电流抽取环节效果检验

图 4-10 门极电流注入环节效果检验

在图 4-9(a)中通过调节驱动电阻使 Q_2 关断速度更慢，在加入门极电流抽取环节后，该环节从 Q_2 的门极进行电流抽取，加速 Q_2 的关断过程，从而减少二者的不均流，如图 4-9(b) 所示。

在图 4-10(a)中 Q_2 关断速度更快，在加入门极电流注入环节后，该环节检测到两管由于不等的 di_d/dt 所引起的源极电感压差，并往 Q_2 的门极进行电流注入，从而减缓 Q_2 的关断过程与漏极电流下降速率，最终二者电流达到匹配，如图 4-10(b)所示。

通过计算图 4-5、图 4-6 各电流的有效值与平均值，可以得到动态均流的改善程度，如表 4-5、表 4-6 所示。

表 4-5 加入门极电流抽取环节前后电流对比

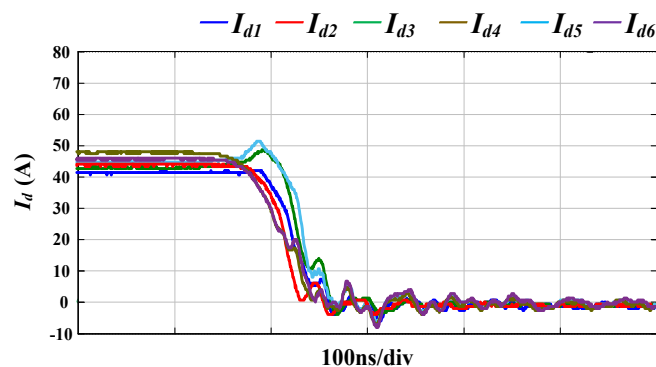
	均流前		均流后	
	RMS	AVG	RMS	AVG
i_{d1}	29.15	26.56	29.98	27.93
i_{d2}	35.87	32.16	33.52	30.81
$\varepsilon\%$	20.67%	19.07%	11.14%	9.81%

表 4-6 加入门极电流注入环节前后电流对比

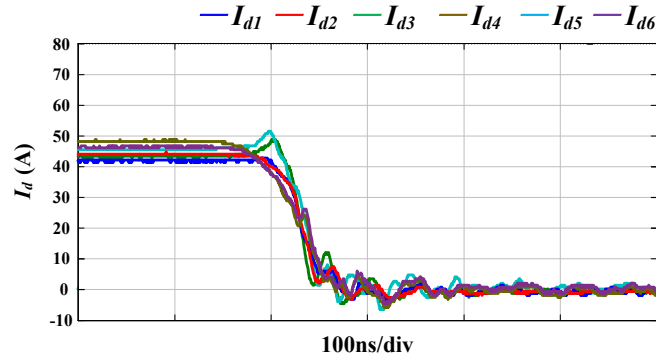
	均流前		均流后	
	RMS	AVG	RMS	AVG
i_{d1}	32.34	30.19	32.70	30.10
i_{d2}	30.05	26.76	31.51	27.84
$\varepsilon\%$	7.36%	12.05%	3.71%	7.79%

4.3.2.2 多管并联实验

与开通暂态类似，在关断中为了能将具有源门极驱动均流方案有效应用在多管并联中，这里同样采取了主从式的思想，并将 Q_1 作为参考管。图 4-11 展示了在加入反馈电路前后关断实验波形。为了体现均流方案的效果，这里通过改变驱动电阻将关断动态不均流进行了扩大，如图 4-11(a)所示。而在图 4-11(b)中可以看到，在加入了门极电流抽取、注入环节后，分别对具有不同关断速度的并联管进行 di_d/dt 调节，最终能够对不均流现象进行一定程度的改善，使各管电流与 Q_1 相匹配。



(a) 六管并联均流前



(b) 六管并联均流后

图 4-11 六管并联关断暂态实验结果

选取图 4-11 中均流前后偏离最大的两管电流，计算其有效值与平均值，可以得到最大电流偏差 $\varepsilon\%$ ，如表 4-7 所示。从表中可得，在加入反馈环节后，最大电流偏差减小，因此关断不均流得到改善。

表 4-7 加入反馈环节前后最大不均流度

	均流前		均流后	
	RMS	AVG	RMS	AVG
i_{dmax}	39.17	36.53	38.86	36.45
i_{dmin}	32.38	29.52	34.29	32.22
$\varepsilon\%$	19.00%	21.22%	12.51%	12.34%

4.4 本章小结

本章对第 3 章所述用于并联均流的有源门极驱动方案进行改进。由于第 3 章中的反馈电路主要采用运放进行采样与放大，增加了电路复杂度与成本，同时不利于集成。为达到简化电路的目的，本章仅采用三极管实现反馈与门极控制，成本更低，也更利于集成。本章首先介绍了该方案的工作原理，包括检测与反馈部分，并以一种典型波形为例详细分析了反馈电路在并联不均流中的改善作用。之后通过双脉冲实验进行相关实验验证：反馈电路响应时间的测试证明了其高速响应特性，这是应用该电路的必要条件；此外，本章分别就该方案在开通和关断过程中对不均流的改善效果进行了实验，同时利用主从式思想将方案扩展到六管并联应用。这些实验都验证了本章所提有源门极驱动均流电路的有效性。

第5章 总结与展望

5.1 工作总结

自电力电子技术诞生以来,每一次变革都离不开功率半导体器件的发展。在过去的几十年里,电力电子的发展大多是由硅基器件推动的。然而随着人们对高功率、高效率、高集成化电力电子系统的更高追求,硅基器件逐渐接近其物理极限而难以满足应用需求。近十年里,在电力转换领域以碳化硅为代表的第三代功率半导体器件逐渐崭露头角。其中 SiC MOSFET 因其击穿场强高、热导率高、开关速度快、导通电阻低,因此在高压、高温、高频的应用领域更有优势。然而由于工艺、良率、封装等因素,单芯片或分立器件的 SiC MOSFET 最大电流等级受限,因此需要并联以获得更大的功率等级。其中分立器件并联因其成本更低、自由度更高,因此被许多公司采用。器件并联应用中最关键的问题是均流问题,包括开关暂态阶段的动态均流问题与导通期间的静态均流问题。其中静态均流问题主要由器件导通电阻与线路寄生电阻决定,影响因素较为单一,因此不作为本文的研究重点;动态均流问题则较为复杂,受众多因素影响,同时由于 SiC 器件开关速度很快,因此控制难度大。现有的均流方案根据是否采用有源器件可分为无源和有源两大类。然而这些方案往往仅能解决单一因素造成的不均流,或是可扩展性差、体积较大、成本较高、外部电路较复杂,因此难以广泛应用。因此,本文针对 SiC MOSFET 并联均流问题,尤其是动态均流问题展开相关研究。

(1) 分析了影响 SiC MOSFET 动态均流的主要因素,包括器件参数、功率回路、驱动回路参数等三大部分。其中器件参数中阈值电压的差异同时影响动态电流的上升/下降时刻点与变化斜率,同时因其负温度系数对不均流具有恶化作用,且分散性更大,因此需要引起重视;跨导系数不会影响电流的上升时刻点,但对下降时刻点和电流变化斜率都有影响,且它的正温度系数效应同样会恶化不均流,因此也不能忽视;功率回路参数的差异包括源极寄生电感与漏极寄生电感,二者都只对电流变化斜率产生影响。其中源极寄生电感的差异性对不均流影响更大,因此在线路布局时需要保证各支路走线相同;驱动回路部分影响因素包括驱动电阻、栅源电容与驱动信号延时。其中驱动电阻和栅源电容虽然对开关过程有很大影响,但在实际过程中一般匹配度较好,因此不作为重点影响因素。而驱动延时的差异由不同的驱动方式所决定。

(2) 提出一种基于运放的模拟型有源门极驱动方案以改善器件动态均流。该方案以

源极电感电压差作为不均流的检测参量，并以管 1 作为参考管。当管 2 的开通速度较快时，源极电感差分电压经过反馈电路，生成与 $d\Delta i_d/dt$ 成正比的电流信号，与管 2 的门极驱动电流相减，从而减缓 v_{gs2} 的充电过程，降低管 2 的开通速度；反之则往管 2 的门极进行电流注入，加速管 2 的开通暂态。为了保证源极电感的一致性，本方案采用了分布式电容布局方式。另外，为了实现方案的可扩展性，这里采用主从式思想，将管 1 作为主级参考管，其余并联管作为从级跟随管，最终使各管的开通过程与管 1 相一致。通过实验验证，该方案在开通过程能够有效改善不均流现象。

表 5-1 所提均流方案与现有均流技术对比

	性能	复杂性	额外损耗	可拓展性	其他
器件筛选	一般	简单	小	好	匹配程度受限
PCB 布局优化	一般	简单	小	好	仅平衡外部因素
DBC 内布局优化	一般	简单	大	差	仅平衡外部因素
漏极串联耦合电感	好	一般	较大	差	体积大，拓展难
源极串联耦合电感	一般	一般	小	差	性能受限、拓展难
数字控制有源驱动	较好	复杂	一般	一般	复杂，均流速度慢
基于运放的模拟控制有源驱动	较好	一般	较小	好	高速运放成本较大
基于三极管的模拟控制有源驱动	较好	简单	小	好	源极电感设计有要求

(3) 提出了一种基于三极管的有源门极驱动方案用于改善器件并联的动态均流。基于运放的模拟型有源门极驱动均流方案虽然经过实验证明了其有效性，但由于为了实现高速反馈，往往采用高速运放，同时为了获取更大的输出电流，需要添加一级功放电路，因此反馈回路较为复杂。同时由于高速运放价格昂贵，所以成本较高。为了简化方案，在前

述基础上,本文又提出了一种基于三极管的模拟型有源门极驱动均流方案。这个方案利用三极管组成源极电感差分电压比较环节与输出电流产生环节,方案更简单,也更利于集成化。通过实验验证,该方案能够同时对开通和关断过程中的不均流现象进行改善。另外,利用主从式思想,该方案同样能够实现并联个数扩展。

综合本文第 1 章、第 3 章与第 4 章内容,表 5-1 将本文所提基于运放、三极管的模拟控制有源门极驱动均流电路与现有均流方案进行全面的定性比较。从表中可看出,基于运放的方案由于高速运放的引入,复杂度稍高,但由于运放的放大作用,因此对源极电感的设计要求较低;而基于三极管的方案反馈电路更简单,响应速度更快,但对源极电感的设计有要求。相较于现有均流方案,两个方案都具有较好的均流效果,较小的损耗,同时可拓展性强,弥补了现有均流技术的不足。

5.2 后期展望

模拟型有源门极驱动作为一种能进行快速门极控制的有效方案,能够在器件并联应用中动态不均流现象进行改善。本文分别对基于运放和基于三极管的有源门极驱动均流方案进行原理说明与实验验证,已经取得了一定的进展,但仍需要进一步研究,主要有:

1. 方案在实际应用电路中的验证。本文所提出方案的验证主要基于双脉冲实验平台进行,但在电力电子系统,如逆变器电路中没有进行相关验证。由于实际应用中上下半桥需要互补导通,为防止直通,死区时间的设置是必然的。而注入环节对功率管的关断速度有减缓作用,因此如何在改善均流的同时仍能保证死区的有效性这是需要探讨的。
2. 不同工作环境下的方案验证。由于反馈回路中所采用的元件运放或三极管具有温度敏感性,在不同的温度下其物理参数会产生偏移,对均流效果产生影响;同时由于 SiC MOSFET 往往工作中高频环境中,容易产生较大的电磁干扰,可能对反馈电路产生影响。因此需要在不同工况下进行相应的方案验证。
3. 反馈回路附加电路的设计。本方案的反馈回路中没有添加任何保护电路,例如限压、限流环节等。此外,对反馈电路的误动作情况尚未进行相关分析。例如当参考管开路时,其电流变化率为零,此时门极电流抽取环节会产生误动作,使其他开关管的开通速度变慢,在实际电路中开关频率较大的情况下甚至不会完全开通,影响其应用。
4. 有源门极驱动电路集成。基于三极管的有源门极驱动均流方案仅采用三极管进行

反馈与控制，所用器件较少，易于集成。因此，如何将它集成在驱动芯片中，减少反馈回路中寄生参数，提高反馈控制速度，有待进一步研究。

仅限PMIC会员单位内部使用，不得外传

参考文献

- [1] Kassakian J G, Jahns T M. Evolving and Emerging Applications of Power Electronics in Systems[J]. IEEE Journal of Emerging and Selected Topics in Power Electronics, 2013, 1(2): 47-58.
- [2] van, Wyk, J. D, et al. On a Future for Power Electronics[J]. IEEE Journal of Emerging and Selected Topics in Power Electronics, 2013, 1(2): 59-72.
- [3] Rahimo M, Kopta A, Eicher S, et al. Extending the boundary limits of high voltage IGBTs and diodes to above 8 kV[C]// 2002 14th International Symposium on Power Semiconductor Devices and ICs(ISPSD). IEEE,2002: 41-44.
- [4] Millan J, Godignon P, Perpina X, et al. A Survey of Wide Bandgap Power Semiconductor Devices[J]. IEEE Transactions on Power Electronics, 2014, 29(5): 2155-2163.
- [5] She X, Huang A Q, Lucia O, et al. Review of Silicon Carbide Power Devices and Their Applications[J]. IEEE Transactions on Industrial Electronics, 2017, 64(10): 8193-8205.
- [6] Fujii K, Noto Y, Oshima M, et al. 1-MW solar power inverter with boost converter using all SiC power module[C]// 2015 17th European Conference on Power Electronics & Applications(EPE'15 ECCE Europe). IEEE, 2015: 1-10.
- [7] Toshiba Ltd.G2020 Series SiC 500–750 Kva[EB/OL].[2016]. <http://www.toshiba.com/tic/power-electronics/uninterruptible-power-systems/g2020-series-sic-500-to-750-kva>.
- [8] MitsubishiElectricLtd. Products: Transportation Systems[EB/OL].[2016].<http://www.MitsubishiElectric.com/products/transportation/>.
- [9] Toyota Ltd. Toyota to Trial New SiC Power Semiconductor Technology[EB/OL].[2015]. <http://newsroom.toyota.co.jp/en/detail/5692153>.
- [10] Sarnago H, Lucia O, Mediano A, et al. Design and Implementation of a High-Efficiency Multiple-Output Resonant Converter for Induction Heating Applications Featuring Wide Bandgap Devices[J]. IEEE Transactions on Power Electronics, 2014, 29(5): 2539-2549.
- [11] Wang F, Wang G, Huang A, et al. Design and operation of A 3.6kV high performance solid state transformer based on 13kV SiC MOSFET and JBS diode[C]// 2014 IEEE Energy Conversion Congress and Exposition (ECCE). IEEE, 2014: 4553-4560.
- [12] Rahimo M. Performance Evaluation and Expected Challenges of Silicon Carbide Power MOSFETs for High Voltage Applications[C]// 2016 European Conference on Silicon Carbide & Related Materials (ECSCRM). IEEE, 2016: 1-1.
- [13] 程士东. 高压大电流碳化硅 MOSFET 串并联模块[D]. 浙江大学, 2014.
- [14] Cree Inc. Silicon Carbide MOSFET CPM3-1200-0013A[EB/OL].[2019].<https://www.wolfspeed.com/power/products/bare-die/cpm3-1200v-0013a>.

- [15] Cree Inc. Silicon Carbide MOSFET CPM2-1700-0045B[EB/OL].[2016]. <https://www.wolfspeed.com/power/products/bare-die/cpm2-1700v-0045b>.
- [16] Alpha & Omega Semiconductor Ltd.Power Semiconductor Reliability Handbood[EB/OL].[2010].<http://www.aosmd.com/media/reliability-handbook.pdf>.
- [17] Qiu Z, Jin Z, Ning P, et al. Reliability modeling and analysis of SiC MOSFET power modules[C]// IECON 2017 - 43rd Annual Conference of the IEEE Industrial Electronics Society. IEEE, 2017: 1459-1463.
- [18] Hu J, Alatisse O, Gonzalez J, et al. The Effect of Electrothermal Nonuniformities on Parallel Connected SiC Power Devices Under Unclamped and Clamped Inductive Switching[J]. IEEE Transactions on Power Electronics, 2016, 31(6): 4526-4535.
- [19] Fabre J, Ladoux P. Parallel Connection of 1200 V/100 A SiC MOSFET Half-bridge Modules[J]. IEEE Transactions on Industry Applications, 2016, 52(2): 1669-1676.
- [20] He Y, Wang X, Zhang J, et al. Analysis on Static Current Sharing of N-Paralleled Silicon Carbide MOSFETs[C]// 2021 IEEE Energy Conversion Congress and Exposition (ECCE). IEEE, 2021: 5590-5596.
- [21] Li H, Munk-Nielsen S, Wang X, et al. Influences of Device and Circuit Mismatches on Paralleling Silicon Carbide MOSFETs[J]. IEEE Transactions on Power Electronics, 2016, 31(1): 621-634.
- [22] Fabre J, Ladoux P. Parallel connection of SiC MOSFET modules for future use in traction converters[C]// 2015 International Conference on Electrical Systems for Aircraft, Railway, Ship Propulsion and Road Vehicles (ESARS). IEEE, 2015: 1-6.
- [23] Li H, Munknielsen S, Pham C, et al. Circuit mismatch influence on performance of paralleling silicon carbide MOSFETs[C]// 2014 16th European Conference on Power Electronics and Applications (EPE'14 ECCE Europe). IEEE, 2014: 1-8.
- [24] Zhao C, Wang L, Zhang F. Effect of Asymmetric Layout and Unequal Junction Temperature on Current Sharing of Paralleled SiC MOSFETs with Kevin-Source Connection[J]. IEEE Transactions on Power Electronics, 2020, 35(7): 7392-7404.
- [25] Nakamura Y, Kuroda N, Yamaguchi A, et al. Influence of Device Parameter Variability on Current Sharing of Parallel-Connected SiC MOSFETs[C]// 2020 IEEE 29th Asian Test Symposium (ATS). IEEE, 2020: 1-6.
- [26] Ke J, Zhao Z, Sun P, et al. Chips Classification for Suppressing Transient Current Imbalance of Parallel-Connected Silicon Carbide MOSFETs[J]. IEEE Transactions on Power Electronics, 2020, 35(4): 3963-3972.
- [27] Bertelshofer T, Maerz A, Bakran M M. Limits of SiC MOSFETs' Parameter Deviations for Safe Parallel Operation[C]// 2018 20th European Conference on Power Electronics and Applications (EPE'18 ECCE Europe). 2018: 1-9.
- [28] Liu Y, Dai X, Jiang X, et al. A New Screening Method for Alleviating Transient Current

- Imbalance of Paralleled SiC MOSFETs[C]// 2020 IEEE 1st China International Youth Conference on Electrical Engineering (CIYCEE). IEEE, 2020: 1-6.
- [29] Li H, Zhou W, Wang X, et al. Influence of Paralleling Dies and Paralleling Half-Bridges on Transient Current Distribution in Multichip Power Modules[J]. IEEE Transactions on Power Electronics, 2018, 33(8): 6483-6487.
- [30] Li H, Munk-Nielsen S, Bczkowski S, et al. A Novel DBC Layout for Current Imbalance Mitigation in SiC MOSFET Multichip Power Modules[J]. IEEE Transactions on Power Electronics, 2016, 31(12): 8042-8045.
- [31] Watt G, Mocevic S, Burgos R, et al. Current Sharing Behavior and Characterization of a 1200 V, 6.5 mΩ SiC Half-Bridge Power Module with Flexible PCB Gate Loop Connection[C]// 2019 IEEE Energy Conversion Congress and Exposition (ECCE). IEEE, 2019: 5321-5328.
- [32] Miao W, Fang L, Xu L. A Double-End Sourced Wire-Bonded Multi-Chip SiC MOSFET Power Module with Improved Dynamic Current Sharing[J]. IEEE Journal of Emerging & Selected Topics in Power Electronics, 2017, 5(4): 1828-1836.
- [33] Qu J, Zhang Q, Yuan X, et al. Design of A Paralleled SiC MOSFET Half-bridge Unit with Distributed Arrangement of DC Capacitors[J]. IEEE Transactions on Power Electronics, 2020, 35(10): 10879-10891.
- [34] Zhao C, Wang L, Zhang F, et al. A Method to Balance Dynamic Current of Paralleled SiC MOSFETs with Kelvin Connection by Response Surface Model and Nonlinear Optimization[J]. IEEE Transactions on Power Electronics, 2020, 36(2): 2068-2079.
- [35] Beczkowski S, Jorgensen A B, Li H, et al. Switching current imbalance mitigation in power modules with parallel connected SiC MOSFETs[C]// 2017 19th European Conference on Power Electronics and Applications (EPE'17 ECCE Europe). 2017: 1-8.
- [36] Rui G, Li Y, Yu W, et al. Gate driver design for a high power density EV/HEV traction drive using silicon carbide MOSFET six-pack power modules[C]// 2017 IEEE Energy Conversion Congress and Exposition (ECCE). IEEE, 2017: 2546-2551.
- [37] Li H, Munk-Nielsen S, Wang X, et al. Effects of Auxiliary-Source Connections in Multichip Power Module [J]. IEEE Transactions on Power Electronics, 2017, 32(10): 7816-7823.
- [38] Baker N, Iannuzzo F, Li H, Impact of Kelvin-Source Resistors on Current Sharing and Failure Detection in Multichip Power Modules[C]// 201820th European Conference on Power Electronics and Applications (EPE'18 ECCE Europe). 2017: 1-7.
- [39] Zeng Z, Zhang X, Zhang Z. Imbalance Current Analysis and Its Suppression Methodology for Parallel SiC MOSFETs With Aid of a Differential Mode Choke[J]. IEEE Transactions on Industrial Electronics, 2020,67(2): 1508-1519.
- [40] Lu S, Deng X , Li S, et al. A Passive Transient Current Balancing Method for Multiple Paralleled SiC-MOSFET Half-Bridge Modules[C]// 2019 IEEE Applied Power

- Electronics Conference and Exposition (APEC). IEEE, 2019: 349-353.
- [41] Mao Y, Miao Z, Wang C M, et al. Passive Balancing of Peak Currents Between Paralleled MOSFETs With Unequal Threshold Voltages[J]. IEEE Transactions on Power Electronics, 2017, 32(5): 3273-3277.
- [42] Mao Y, Miao Z, Wang C M, et al. Balancing of Peak Currents between Paralleled SiC MOSFETs by Drive-Source Resistors and Coupled Power-Source Inductors[J]. IEEE Transactions on Industrial Electronics, 2017, 64(10): 8334-8343.
- [43] Miao Z, Mao Y, Lu G Q, et al. Magnetic Integration into a Silicon Carbide (SiC) Power Module for Current Balancing[J]. IEEE Transactions on Power Electronics, 2019, 34(11): 11026-11035.
- [44] Liu J, Zheng Z. Switching Current Imbalance Mitigation for Paralleled SiC MOSFETs Using Common-mode Choke in Gate Loop[C]// 2020 IEEE Energy Conversion Congress and Exposition (ECCE). IEEE, 2020: 705-710.
- [45] Zheng Z, Lenze A, Levett D, et al. A practical example of hard paralleling SiC MOSFET modules[C]// 2019 International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management (PCIM Asia). VDE, 2019: 1-7.
- [46] 舒露. 大功率 IGBT 电流型闭环有源门极驱动关键技术研究[D]. 浙江大学, 2019.
- [47] Lu S, Zhang J, Peng F, et al. An Active Current Source IGBT Gate Drive with Closed-Loop di/dt and dv/dt Control[J]. IEEE Transactions on Power Electronics, 2017, 32(5): 3787-3796.
- [48] Alejandro, Paredes, Camacho, et al. A Novel Active Gate Driver for Improving SiC MOSFET Switching Trajectory[J]. IEEE Transactions on Industrial Electronics, 2017, 64(11): 9032-9042.
- [49] Zhang Z, Wang F, Tolbert L M, et al. Active Gate Driver for Crosstalk Suppression of SiC Devices in a Phase-Leg Configuration[J]. IEEE Transactions on Power Electronics, 2014, 29(4): 1986-1997.
- [50] Zhang Z, Dix J, Wang F, et al. Intelligent Gate Drive for Fast Switching and Crosstalk Suppression of SiC Devices[J]. IEEE Transactions on Power Electronics, 2017, 32(12): 9319-9332.
- [51] Marzoughi A, Burgos R, Boroyevich D. Active Gate-Driver With dv/dt Controller for Dynamic Voltage Balancing in Series-Connected SiC MOSFETs[J]. IEEE Transactions on Industrial Electronics, 2019, 66(4): 2488-2498.
- [52] Zhou Y, Wang X, Xian L, et al. Active Gate Drive with Gate-Drain Discharge Compensation for Voltage Balancing in Series-Connected SiC MOSFETs[J]. IEEE Transactions on Power Electronics, 2021, 36(5): 5858-5873.
- [53] Yang X, Lu J, Wang Z, et al. Active compensation of current unbalance in paralleled silicon carbide MOSFETs[C]// 2014 IEEE Applied Power Electronics Conference and

- Exposition(APEC). IEEE, 2014: 1471-1477.
- [54] Yang X, Lu J, Wang Z, et al. A compact planar Rogowski coil current sensor for active current balancing of parallel-connected Silicon Carbide MOSFETs[C]// 2014 IEEE Energy Conversion Congress and Exposition (ECCE). IEEE, 2014: 4685-4690.
- [55] X Jiang, Y Zhang, Y Zhang, et al. A 1MHz Gate Driver for Parallel Connected SiC MOSFETs with Protection Circuit[C]// 2018 1st Workshop on Wide Bandgap Power Devices and Applications in Asia (WiPDA Asia). IEEE, 2018: 6-11.
- [56] Ao J, Wang Z, Chen J, et al. The Cost-Efficient Gating Drivers with Master-Slave Current Sharing Control for Parallel SiC MOSFETs[C]// 2018 IEEE Transportation Electrification Conference and Expo, Asia-Pacific (ITEC Asia-Pacific). IEEE, 2018: 1-5.
- [57] Kokosis S G, Andreadis I E, Kampitsis G E, et al. Forced Current Balancing of Parallel-Connected SiC JFETs During Forward and Reverse Conduction Mode[J]. IEEE Transactions on Power Electronics, 2016, 32(2): 1400-1410.
- [58] Wen Y, Yang Y, Gao Y. Active Gate Driver for Improving Current Sharing Performance of Paralleled High-Power SiC MOSFET Modules[J]. IEEE Transactions on Power Electronics, 2021, 36 (2): 1491-1505.
- [59] Baliga B J. 功率半导体器件基础[M].北京: 电子工业出版社, 2008: 8-13.
- [60] Baliga B J. 功率半导体器件基础[M].北京: 电子工业出版社, 2008: 168-173.
- [61] Baliga B J. 功率半导体器件基础[M].北京: 电子工业出版社, 2008: 248-250.
- [62] 江芙蓉. 碳化硅 MOSFET 的特性研究[D]. 浙江大学, 2017.
- [63] 黄润华, 李赞, 赵志飞,等. 碳化硅 MOSFET 栅氧化层可靠性研究[J]. 智能电网, 2015(2): 4.
- [64] Ke J, Zhao Z, Peng S, et al. New Screening Method for Improving Transient Current sharing of Paralleled SiC MOSFETs[C]// 2018 International Power Electronics Conference (IPEC-Niigata 2018 –ECCE Asia). IEEE, 2018: 1125-1130.
- [65] 康华光. 电子技术基础: 模拟部分-第六版[M]. 北京: 高等教育出版社, 2013: 98-99.
- [66] 毕查德·拉扎维. 模拟 CMOS 集成电路设计[M]. 西安: 西安交通大学出版社, 2003: 22-23.
- [67] 福尔克, 郝康普, 韩金刚. IGBT 模块: 技术、驱动和应用[M]. 北京: 机械工业出版社, 2016: 255-259.
- [68] Bosshard R, Kolar J W. All-SiC 9.5 kW/dm³ On-Board Power Electronics for 50 kW/85 kHz Automotive IPT System[J]. IEEE Journal of Emerging & Selected Topics in Power Electronics, 2017, 5(1): 419-431.

攻读硕士学位期间所发表的论文与专利

- [1] **Wang X**, He Y, Zhang J, et al. An Active Gate Driver for Dynamic Current Sharing of Paralleled SiC MOSFETs[C]// 2021 IEEE Energy Conversion Congress and Exposition (ECCE). IEEE, 2021: 5407-5411. (EI 收录, 第一作者)
- [2] He Y, **Wang X**, Zhang J, et al. Analysis on Static Current Sharing of N-Paralleled Silicon Carbide MOSFETs[C]// 2021 IEEE Energy Conversion Congress and Exposition (ECCE). IEEE, 2021: 5590-5596. (EI 收录, 第二作者)

仅限PMIC会员单位内部使用，不得外传

致谢

写完正文最后一个字，内心五味杂陈，茫然、释然、悲、喜，诸般情绪接踵而至。相较于本科而言，硕士的时光确也短暂了些，仿佛一份食物，刚刚尝出些味儿，就已经没了。当然，这样的说法对于那些仍处于“水深火热”的博士来说，未免有些凡尔赛了。但两年如一日的短暂浙大时光，再除去疫情阶段在家的数月，让人实在无法认为有多漫长。还记得收到硕士录取通知书的喜悦，在杭州东站等待校车的翘首，初进实验室的拘谨，一切仿佛就在昨天，又好像已经过了很久。

浙大的生活是我未来电力电子道路的开端与启蒙。如果说本科阶段这个专业对我而言还只是教科书上的一行行文字与考卷上的一道道题，那么硕士阶段电力电子就让我有种短兵相接、拳拳到肉之感。仿真与实际的大相径庭、测量波形的变幻莫测、实验测试管的伤痕累累，无一不让我心惊肉跳。当然，解决一个难题后的舒畅，获得成长的喜悦，这也是真真切切所能感受到的。还记得刚入学的新生见面会上一位老师曾言，学电力电子的人一定会有比较好的心理素质，能够对各种突发情况处变不惊。当然，我个人离此境界还相差甚远，可能是管子炸得还不够多。

硕士虽短，但帮助我的人不计其数。

首先十分感谢我的导师张军明教授。张老师作为我的指导老师，知识渊博，谦冲和善，风趣幽默，是一名出色的学者，更是一名优秀的教师。是他教会了我治学之道贵在严谨求是，同时他在我有任何疑难时能耐心地听我诉说，不论是学术上的问题还是生活上的困惑，他都给与了我莫大的帮助。张老师的为人处事作风深深影响了我，我当以他为榜样。

其次感谢实验室的邵帅老师。邵老师虽不是我的直接指导老师，但他的办公室距我甚近，因而时常能听到他对学生的言传身教，也让我受益良多。他教会了我科研中的交流并不是为了显示出地位高低，而是为了能把事情做好，因此要敢于表达自己的意见；同时他还告诉我们不能闭门造车，只专注于自己的那一小块，还要涉猎其他，触类旁通。

感谢周莉英女士为我们的实验室后勤做出的贡献，她的努力保障了我们实验条件的完善，让我们可以安心科研学习。

感谢伊顿（中国）投资有限公司的李晗经理、万成博士、朱晔博士、江添洋博士、罗成博士、刘勇博士、马杰博士，两年多的项目合作让我受益良多，另外特别感谢万成博士和朱晔博士在我实习阶段的悉心指导。

感谢与我一起学习的大功率实验室成员。感谢师兄师姐张桢、林绿漪、朱翔文、王楠、

崔文韬、叶蔚文、张博诚、虞乃鹏、李雨岑、王泽峰、杨秋哲、杨得秋、朱世隆、张建佳、高枝，感谢你们对我科研中的帮助，以及就业方面的指导；感谢同级的何杨、李欣宜、马睿、林伟聪、冯雨心，和你们一起成长、一起吃饭、一起玩耍的日子，是我研究生期间最为珍贵的时光，足以让我铭记一生；感谢师弟师妹王金帅、汪欣、陈毅飞、杜家坤、张飞力、陈张昊、张光耀、施逸能、吴彤、邵可伟、朱志豪、袁钰淼，你们的热情与活力深深感染着我，感谢你们的相伴。

感谢同一项目组的何杨同学、高子健师兄、张茂盛博士，是你们让我的科研生活不是孤军奋战，和你们一起合作的两年多使我在不仅在知识积累上，更在思维方式上获益良多。

感谢我的室友们：谷超明、杨瑞琪、王瑞帧学长与牛梓戌学弟，感谢你们对我生活和学习上的帮助，让我在迷茫、疲惫的时候有个树洞得以倾诉。

感谢母校浙江大学为我提供这样的平台得以学习与科研。感谢电气学院为我们提供众多的就业单位，使我们能有机会选择。

最后，感谢生我养我的父母，感谢你们在我十多年求学生涯中的辛勤付出，感谢你们始终认为我是你们的骄傲。感谢我的亲人们对我的支持和鼓励，谢谢你们在我的成长道路上的陪伴。

路漫漫其修远兮，吾将上下而求索。两年多的硕士生活、十多年的校园求学生涯至此告一段落，但这何尝不是一个崭新的开始？在走向社会之际，我希望我能够始终相信：相信规则能战胜潜规则，相信学场有别于官场，相信学术不等于权术，相信风骨远胜于媚骨。希望能够永葆激情，永远热泪盈眶！

王勋

2021 年 12 月于浙大玉泉北门电工厂

答辩委员会表决结果

碳化硅器件并联运行的动态均流技术是电力电子技术的研究热点之一，论文选题具有较好的工程应用价值和学术意义。

论文在综述国内外文献基础上对碳化硅功率器件动态均流技术进行了较为深入的研究，开展的主要研究工作及成果如下：

(1) 分析了器件参数、功率回路、驱动回路参数等对SiC MOSFET并联运行动态均流的影响；

(2) 提出一种基于运放的有源门极驱动方案以改善并联器件的动态均流，并进行了实验验证；

(3) 提出了一种基于三极管的有源门极驱动方案以改善并联器件的动态均流，具有简单、方便集成的优点，并进行了实验验证。

论文条理清晰，内容翔实，数据可信，结论明确。论文表明，王勋同学较好地掌握本学科相关基础理论和专门知识，对所研究的课题有一定新的见解，已具有从事科学研究和独立担负专门技术工作的能力。

答辩中，王勋同学表述清楚，回答问题正确。经答辩委员会无记名投票，一致同意通过论文答辩，同意毕业，同意授予硕士学位。

答辩委员会主席签字：谢小惠

签字日期：2022 年 3 月 6 日