

分类号: TM46

单位代码: 10335

密 级: 无

学 号: 11710006

浙江大学

博士学位论文



中文论文题目: 谐振 DC/DC 变换器的磁集成技术研究

英文论文题目: Research on Magnetic Integration Technology
for Resonant DC/DC Converter

申请人姓名: 杨金旭

指导教师: 吴新科

专业名称: 电气工程

研究方向: 磁元件集成与优化

所在学院: 电气工程学院

论文提交日期 2022 年 10 月

谐振 DC/DC 变换器的磁集成技术研究



论文作者签名: 杨金旭

指导教师签名: 吴新科

论文评阅人 1: 匿名评审

评阅人 2: 匿名评审

评阅人 3: 匿名评审

评阅人 4: 匿名评审

评阅人 5: 匿名评审

答辩委员会主席: 张军明 教授

委员 1: 沈国桥 高工 (教授级)

委员 2: 谢小高 教授

委员 3: 陈 敏 教授

委员 4: 张 欣 研究员

委员 5: 罗皓泽 研究员

答辩日期: 2022 年 12 月 16 日

Research on Magnetic Integration Technology for Resonant

DC/DC Converter



Author's signature: Jin Xu Yang

Supervisor's signature: Xin Pei Wu

External Reviewers: Anonymous reviewer

Anonymous reviewer

Anonymous reviewer

Anonymous reviewer

Anonymous reviewer

Examining Committee Chairperson:

Prof. Junming Zhang

Examining Committee Members:

Prof. senior engineer Guoqiao Shen

Prof. Xiaogao Xie

Prof. Min Chen

Prof. Xin Zhang

Prof. Haoze Luo

Date of oral defence: 2022-12-16

浙江大学研究生学位论文独创性声明

本人声明所呈交的学位论文是本人在导师指导下进行的研究工作及取得的研究成果。除了文中特别加以标注和致谢的地方外，论文中不包含其他人已经发表或撰写过的研究成果，也不包含为获得 浙江大学 或其他教育机构的学位或证书而使用过的材料。与我一同工作的同志对本研究所做的任何贡献均已在论文中作了明确的说明并表示谢意。

学位论文作者签名：杨金旭 签字日期：2022 年 12 月 16 日

仅限PMIC会员单位内部使用，不得外传
学位论文版权使用授权书

本学位论文作者完全了解 浙江大学 有权保留并向国家有关部门或机构送交本论文的复印件和磁盘，允许论文被查阅和借阅。本人授权 浙江大学 可以将学位论文的全部或部分内容编入有关数据库进行检索和传播，可以采用影印、缩印或扫描等复制手段保存、汇编学位论文。

（保密的学位论文在解密后适用本授权书）

学位论文作者签名：杨金旭 导师签名：吴新科

签字日期：2022 年 12 月 16 日

签字日期：2022 年 12 月 16 日

致 谢

时光荏苒，青葱岁月眨眼而过，博士生涯即将进入尾声，回望过去，感慨颇多。在这多年的磨砺过程中，付出了很多、成长了很多、收获了很多，逐渐褪去了青涩和稚嫩。感谢所经历之事，无论困苦还是欢喜；感谢遇到的人，支持和陪伴的亲友、互相帮助的同学、谆谆教导的师长，在此向大家致以最诚挚的敬意和感谢。

首先要感谢的是导师吴新科教授。您以渊博的专业知识、严谨的科研态度、持之以恒的战斗精神引领我们在科研的道路上披荆斩棘。您灵活的思维、敢于质疑的精神和严谨的逻辑分析是我在科研工作中一直要思考 and 学习的。学高为师、身正示范，您在繁忙的事务中却始终能坚持在科研一线躬耕，是学术工作者中务实的实践者。您对待科研的态度和作风一直是我們学习的榜样。祝您身体健康、阖家欢乐，事业更上一层楼。

感谢董伯藩老师给与的指导和帮助，董老师学识渊博、德高望重，您历经岁月的见地给我很深的启迪。在此祝您健康长寿。感谢课题组张军明老师的指导，您深厚的学术造诣和对问题的洞察力让人叹服，祝您身体健康、事业顺利。感谢邵帅老师、陈烨楠老师、闫海东老师在科研和生活上给与的指导，祝事业进步、幸福快乐。

感谢周莉英周大姐，为我们的科研工作提供了最可靠的保障，让我们的科研工作无后顾之忧。万分感谢周大姐在生活上给与的帮助，祝周大姐、葛老师身体健康、幸福快乐。感谢为实验室一直付出的韩铃淇、张兰、王笑菁，你们的帮助让我们的科研工作更加顺利。

感谢实验室大家庭的师兄、师姐、师弟、师妹，大家共同建立了实验室友爱互助的良好氛围。感谢师兄黄华高、戈现勉、秦伟、徐晨汀、严阳、张桢、俞静一、董泽政、吕海军、刘劭凯、蓝桂星、赵成冬、肖强、徐弘毅、吴九鹏、王宝柱，感谢师姐陈慧、李海燕、孙佳慧，你们在我刚进入实验室时给予了启蒙和指导，在后来的科研工作和生活也给了很多帮助。感谢同窗刘天骥、赵臣凯、张乐、江明明、方迟清、沈丽娟等，和你们并肩学习和工作学到了很多、收获了很多，感谢龙虎同学一直的相互支持。感谢师弟张思亮、施鸿波、周宗杰、邱凯、虞乃鹏、张博成、吴嘉文、田霖、李力超、孙家红、陈子健、齐雨、范高、李光灿、赵韞玉、Faheem Muhammad、陈征、赵问鼎、黄天林、杜佳坤、刘亚南、吕润泽、朱时雨、黄新隆、徐宇豪、谢宗伦、张佳一、马京京，感谢师妹李瑞、韩阅、康培林、李京津，有了你们的支持和帮助，大家一起努力才有了我今天的积累和成长。

感谢室友郭耀申、贾二文、袁正、秦伟、唐宇星，大家创造了和谐有爱的寝室环境，祝友谊长存。

感谢在科创中心遇到的工程师朋友们，感谢俞杭冬、严辉强、程学东、刘晓英、方阳波等在科研和生活上的帮助。

感谢各位师长和业界前辈，感谢在合作项目中给予帮助的前辈们和同事们，大家的共同努力，加上时代的需求促成了行业今天的积累和发展。

感谢一直以来关心和支持的亲朋，即使没写出你们的名字，但你们肯定知道，祝你们心想事成、万事如意。

最后感谢父母养育之恩，感谢你们不辞辛劳、无私的支持。祝你们身体健康、顺心如意。同时，也必须感谢这些年不抛弃、不放弃，乐观、坚毅的自己。

杨金旭

2022 年 10 月于求是园

仅限PMIC会员单位内部使用，不得外传

本论文工作得到：

国家自然科学基金资助

（资助号：51877191）

国家自然科学基金资助

（资助号：52177197）

仅限PMIC会员单位内部使用，不得外传

在此谨表谢意！

本论文工作得到：

国家重点研发计划资助

（资助号：2021YFB3600904）

仅限PMIC会员单位内部使用，不得外传

在此谨表谢意！

摘 要

高效率和高功率密度是电力电子变换器系统不断追求的目标。然而,变换器中的无源元件尤其是磁元件部分,由于受到多种耦合因素的影响,其电磁环境难以有效管控,导致优化困难;其体积和损耗占比成为变换器中最大的部分,严重制约变换器效率及功率密度的进一步提升。磁集成技术可以通过共用绕组或磁路的方式将两个或多个磁元件集成在一起,实现绕组长度和磁芯体积的减小;并且磁元件集成时仅对磁元件本体进行优化,实现集成磁元件对分立磁元件的完全替代,不影响变换器的其它电气性能。此类磁集成技术在隔离型 DC/DC 的应用得到越来越多的关注和研究。本文以电动汽车车载充电机(On-board charger, OBC)应用的小型化需求为牵引,针对车载充电机后级 DC/DC 变换器中的变压器和谐振电感的集成技术展开深入研究和探讨,主要内容如下:

现有的 OBC 产品一般采用两级结构,前级功率因数校正,后级隔离型 DC/DC。为了提高效率,后级 DC/DC 的开关频率通常在几十千赫兹(kHz)到一百千赫兹左右,广泛采用基于分槽绕组集成磁结构的谐振拓扑。但是,现有分槽绕组集成磁结构中磁通分布不均匀,导致磁芯利用率偏低;同时,由于该结构中原、副边绕组缺乏有效交错,磁元件的外部空间会产生较为严重的磁场泄漏现象,导致临近金属部件上产生额外涡流损耗。针对磁通分布不均匀的问题,基于谐振 DC/DC 变换器拓扑特性,本文提出了通过匹配变压器两侧谐振电容容值来平衡磁芯中最大磁通的方法;针对强磁场泄漏问题,本文提出了绕组分区耦合的概念,打破了整匝绕组耦合度一致的传统设计思路,在保持集成磁元件小体积的条件下令磁芯窗口外侧绕组原、副边充分交错,对外泄漏磁场得以基本抵消,减小了金属机壳上的涡流损耗、提升了变换器效率。

随着未来 OBC 不断轻量化、小型化的需求,DC/DC 变换器的开关频率需要进一步提升至几百千赫兹甚至兆赫兹(MHz)。通过开关频率提高,磁元件的伏秒可以大幅减小,使得磁元件的体积减小。但高频化引起绕组交流电阻系数增加,尤其是基于 PCB 绕组的磁元件导通损耗将加剧。现有基于不对称绕组的集成磁元件在集成小电感时可以保持绕组良好交错效果,保持绕组低损耗。但是 OBC 应用场合下需要足够大的谐振电感才能满足后级 DC/DC 变换器的宽增益范围需求,磁元件所集成的电感量与绕组的交错程度相互矛盾制约,导致集成磁元件设计困难。针对该问题,本文基于不对称绕组集成结构,分析了绕组的构成特性,提出了有效电感绕组的概念,设计了电感绕组和变压器绕组混叠时磁动势(MMF)最小的最优排布结构,给出了集成大电感时磁元件体积和损耗综合优化的设计

方法。相比于传统设计方案，实现了集成大电感时磁元件体积的进一步减小。

OBC 后级谐振 DC/DC 电路通常通过变频控制以实现变换器增益的调节。不对称绕组集成磁结构在变换器谐振点附近工作时具有高效率。但是，当工作频率偏离谐振点时，原、副边绕组电流偏差变大，导致绕组交错效果变差，导通损耗加剧。现有交错程度相对固定的平面集成磁结构可以兼容宽频范围工作的高效率，但是普遍存在 PCB 绕组空间浪费的问题，导致磁元件体积偏大。针对该问题，本文提出了将谐振电感绕组集成在同一电感磁柱的结构，并且将变压器原、副边双边绕组同时与电感绕组进行了集成，解决了传统结构 PCB 空间浪费的问题、缩短了绕组长度、实现了紧凑型的集成结构设计。并且，基于所设计的磁结构，提出了集成磁元件绕组损耗和磁芯损耗的简易实验测试方法，为集成磁元件损耗的进一步定量优化提供了指导。

关键词：车载充电机，高效率，高功率密度，磁集成，泄漏磁场，叠加磁通，磁场调控，串联谐振电路，CLLC 串并联谐振电路，集成磁元件损耗测

仅限PMIC会员单位内部使用，不得外传

Abstract

High efficiency and high power density are the goals of power electronic converter system. However, due to the influence of various coupling factors, the passive components in the converter, especially the magnetic components, whose electromagnetic environment is hard to manage, are difficult to optimize; so that their volume and loss ratio become the largest part of the converter, which seriously restricts the further development of the converter efficiency and power density. The magnetic integration technology can integrate two or more magnetic components by sharing windings or magnetic cores to reduce the winding length and magnetic core volume; In addition, only the magnetic component is optimized when the magnetic components are integrated, so as to completely replace the discrete magnetic components without affecting other electrical performance of the converter. The application of this kind of magnetic integration technology in isolated DC/DC has received more and more attention and research. This paper focuses on the miniaturization requirements of the application of the electric vehicle on-board charger (OBC), and conducts in-depth research and discussion on the integration technology of transformer and resonant inductor in the post stage DC/DC converter of the on-board charger. The main contents are as follows:

The existing OBC products generally adopt a two-stage structure, with the former stage of power factor correction and the latter stage of isolated DC/DC. In order to improve efficiency, the switching frequency of the later stage DC/DC is usually from tens of kilohertz (kHz) to about one hundred kilohertz. The resonant topology based on separated winding integrated magnetic structure is widely used. However, the magnetic flux distribution in the existing separated winding integrated magnetic structure is uneven, resulting in low utilization of the magnetic core; At the same time, due to the lack of effective interlacing between the primary and secondary windings of the structure, the external space of the magnetic element has serious magnetic field leakage, resulting in additional eddy current losses on adjacent metal parts. To solve the problem of uneven magnetic flux distribution, based on the topology characteristics of resonant DC/DC converter, this paper proposes a method to balance the maximum magnetic flux in the core by matching the resonant capacitance values on both sides of the transformer; To solve the problem of strong magnetic field leakage, this paper proposes the concept of winding zonal coupling, which breaks the traditional design idea that the coupling degree of the whole turn winding is consistent. Under the condition of keeping the minimum volume of the integrated magnetic element, the primary and secondary sides of the windings outside the magnetic core window are ordered to be fully

interleaved, which can basically cancel the leakage magnetic field, reduce the eddy current loss on the metal casing, and improve the efficiency of the converter.

With the demand for lightweight and miniaturization of OBC in the future, the switching frequency of DC/DC converter needs to be further improved to hundreds of kilohertz or even megahertz (MHZ). By increasing the switching frequency, the volt-second of the magnetic element can be greatly reduced, which reduces the volume of the magnetic element. However, high frequency will increase the AC resistance coefficient of windings, especially the conduction loss of magnetic components based on PCB windings. The existing integrated magnetic components based on asymmetric windings can keep the good interleaving effect of windings and low winding loss when integrating small inductors. However, in OBC applications, the resonant inductance needs to be large enough to meet the wide gain range requirements of the subsequent DC/DC converter. The integrated inductance of the magnetic element is contradictory to the interleaving degree of the windings, resulting in difficulties in the design of the integrated magnetic element. To solve this problem, based on the asymmetric winding integrated structure, this paper analyzes the composition characteristics of the winding, proposes the concept of effective inductance winding, designs the optimal layout structure with the minimum magnetomotive force (MMF) when the inductance winding and transformer winding are mixed, and gives the design method for the comprehensive optimization of the magnetic volume and loss when the large inductance is integrated; Compared with the traditional design scheme, the volume of the magnetic element is further reduced when the large inductance is integrated.

The OBC post stage resonant DC/DC circuit is usually controlled by frequency modulation to achieve the adjustment of converter gain. Asymmetric winding integrated magnetic structure has high efficiency when it works near the resonant point of the converter. However, when the operating frequency deviates from the resonance point, the current deviation of the primary and secondary windings becomes larger, resulting in worse winding interleaving effect and increased conduction loss. The existing planar integrated magnetic structure with relatively fixed interlacing degree can be compatible with the high efficiency of wide frequency range operation, but the problem of space waste of PCB winding generally exists, leading to the increase of magnetic component volume. To solve this problem, this paper proposes a structure that integrates the resonant inductance windings in the same inductance magnetic core leg, and integrates the primary and secondary side windings of the transformer with the inductance windings at the same time, which solves the problem of space waste of traditional PCB, shortens the winding length, and realizes the compact integrated structure design. Based on the designed magnetic structure, a simple experimental method for measuring the winding loss and core loss of integrated magnetic

VIII

components is proposed, which provides guidance for further quantitative optimization of integrated magnetic component loss.

Key words: on-board charger, high efficiency, high power density, magnetics integration, leakage magnetic field, superposed flux, magnetic field regulation, series-resonant converter, CLLC series-parallel resonant converter, loss measurement of integrated magnetics

仅限PMIC会员单位内部使用，不得外传

目 录

致 谢.....I

摘 要..... V

Abstract VII

目 录..... X

第一章 绪论..... 1

 1.1 研究背景..... 1

 1.2 电动汽车供电架构研究现状及问题..... 2

 1.2.1 电动汽车供电架构..... 2

 1.2.2 车载充电机常见拓扑及控制策略..... 3

 1.2.3 高效率大功率密度车载充电机关键问题..... 5

 1.3 高效率大功率密度磁集成技术研究现状..... 6

 1.3.1 磁集成技术优势..... 6

 1.3.2 集成磁元件分析方法..... 7

 1.3.3 现有典型磁集成方案及其优缺点..... 14

 1.4 高效率大功率密度磁集成技术难点..... 25

 1.5 本文的研究目标及研究内容..... 26

第二章 绕线式低磁场泄漏集成磁元件研究..... 27

 2.1 串联谐振拓扑及其控制策略..... 27

 2.2 分槽绕组集成磁元件..... 30

 2.2.1 分槽绕组集成磁元件磁通分析..... 31

 2.2.2 分槽绕组集成磁元件最大磁通均一化设计..... 33

 2.2.3 分槽绕组集成磁元件集成电感设计..... 36

 2.2.4 分槽绕组集成磁元件实验测试..... 37

 2.3 低磁场泄漏集成磁元件结构推导..... 41

 2.3.1 传统分槽绕组集成磁元件问题及其解决方法..... 41

 2.3.2 低磁场泄漏集成磁元件..... 42

 2.3.3 绕组长度进一步缩短的集成磁结构..... 43

 2.3.4 磁场泄漏的抑制效果仿真验证..... 44

2.4 低磁场泄漏集成磁元件建模与设计流程.....45

2.4.1 低磁场泄漏集成磁元件磁路分析.....45

2.4.2 低磁场泄漏集成磁元件设计流程.....46

2.4.3 低磁场泄漏集成磁元件建模计算.....48

2.5 实验验证.....54

2.5.1 主电路参数及控制方案.....54

2.5.2 实验测试及分析.....55

2.6 集成磁结构实施方案优化.....62

2.6.1 与绕线配合的骨架结构.....62

2.6.2 绕组结构改进的集成磁元件.....62

2.7 本章小结.....63

第三章 基于 PCB 绕组的低 MMF 集成磁元件优化研究.....65

3.1 高频谐振软开关拓扑及其平面磁元件.....65

3.1.1 CLLC 谐振软开关拓扑.....65

3.1.2 高频平面磁元件简述.....66

3.2 不对称绕组集成磁结构分析与改进方案.....67

3.2.1 不对称绕组集成磁结构分析.....67

3.2.2 不对称绕组集成磁结构改进方案.....71

3.3 不对称绕组集成磁元件优化方法.....72

3.3.1 最低 MMF 分布的绕组排布.....72

3.3.2 绕组交流系数计算.....76

3.4 实验设计与测试验证.....78

3.4.1 样机规格及参数设计.....78

3.4.2 不对称绕组集成磁元件磁仿真分析.....83

3.4.3 实验测试.....84

3.5 不对称绕组集成磁结构归纳及拓展.....87

3.6 本章小结.....90

第四章 高 PCB 利用率薄尺寸高频平面集成磁元件研究.....91

4.1 低 PCB 绕组层数集成磁元件.....91

4.1.1 现有低 PCB 层数平面集成磁元件问题.....91

4.1.2 高 PCB 空间利用率集成磁元件 93

4.1.3 绕组长度减小的绕组双边集成磁元件 95

4.2 基于分段气隙的空间磁场优化 96

4.2.1 传统磁结构绕组中的电流分布不均匀问题 96

4.2.2 基于分段气隙调控的垂直磁场消去磁结构 97

4.2.3 基于气隙优化的集成磁结构 102

4.3 集成磁元件建模分析 103

4.3.1 集成磁元件的磁阻模型 103

4.3.2 集成磁元件的损耗和体积建模 105

4.4 集成磁元件绕组损耗和磁芯损耗测试方法 108

4.4.1 集成磁元件的绕组损耗测试方法 109

4.4.2 集成磁元件的磁芯损耗测试方法 110

4.5 实验验证 116

4.5.1 实验样机及集成磁元件参数 116

4.5.2 PCB 绕组及磁芯损耗测试 117

4.5.3 样机宽范围测试及关键波形 120

4.6 集成磁元件结构归纳与拓展 122

4.7 本章小结 123

第五章 总结与展望 125

5.1 本文工作总结 125

5.2 现有工作不足及后续工作展望 126

参考文献 128

攻读博士学位期间的研究成果 134

第一章 绪论

1.1 研究背景

随着经济的不断发展，我国人均能源生产和消费量逐年增加，根据国家能源局统计数据，2021 年我国能源消费共 524000 万吨标准煤，其中煤炭、石油、天然气等化石能源消费占比超过 80%^[1]。图 1.1 和图 1.2 分别展示了我国能源消费及能源结构情况，巨大的化石能源消耗给环境造成巨大压力，增加了环境污染治理成本。由于我国是一个多煤、少油、贫气的国家，这样的能源结构导致我国大部分石油和天然气依赖进口，在国际争端加剧的背景环境下，现有的能源结构对我国的能源安全构成巨大潜在威胁。

在能源路线和政策上，2020 年 9 月，国家主席习近平在第七十五届联合国大会上宣布，中国力争 2030 年前二氧化碳排放达到峰值，努力争取 2060 年前实现碳中和目标，即“双碳”战略^[2-4]。电力行业作为能源的基石和桥梁，在发、输、配电等各环节的降碳减排方面可以率先起到引领和示范作用，而以新能源为重点的可再生能源的推广和应用是电力行业在“双碳”战略路线上的重要环节。

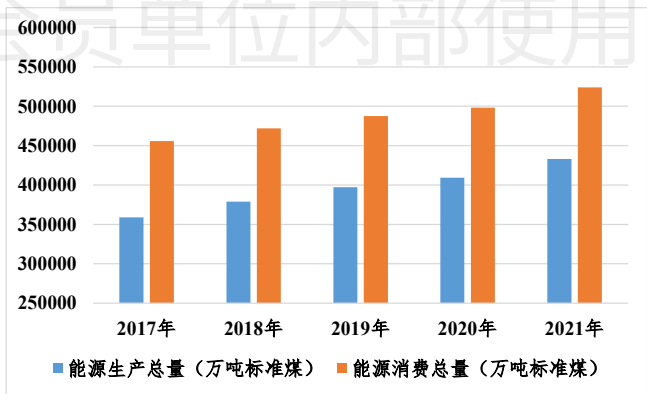


图 1.1 近五年我国能源生产与消费总量变化

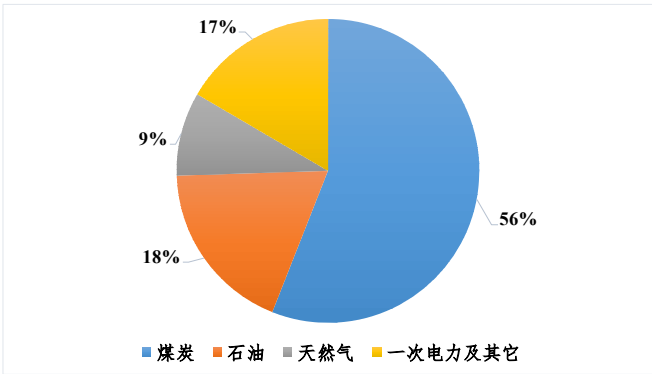


图 1.2 2021 年我国能源消费占比

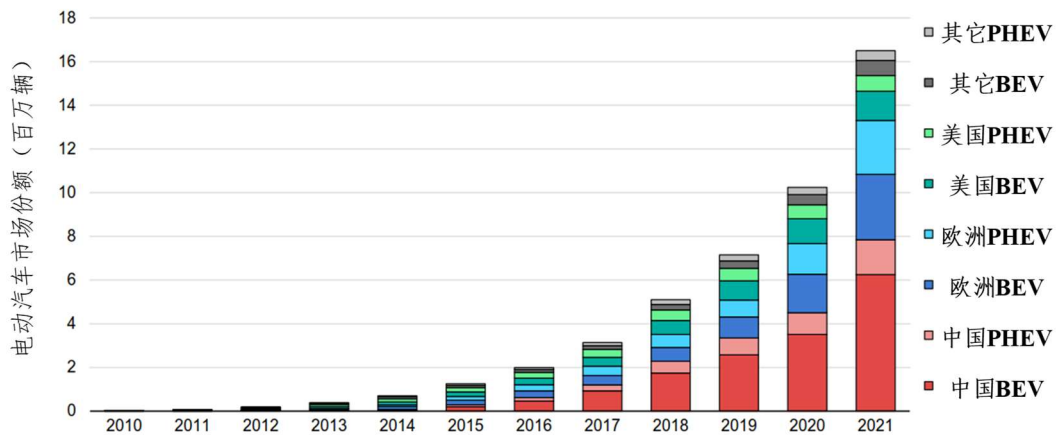


图 1.3 全球电动汽车市场近期发展情况

作为能源应用的消费端，电动汽车使用电能这一相对清洁的能源，其推广和使用在世界范围内得到了兴起。随着政策引导和技术进步，电动汽车市场逐年快速扩张^[5, 6]，各国也相继出台了禁售燃油车的规划，图 1.3 展示了近几年主要经济体的电动汽车发展情况。我国作为世界人口大国，电动汽车保有量和市场预期规模均为世界最大，大力发展电动汽车对于我国的能源消费可以起到积极的引导作用，对节碳减排起到良好的示范作用，为我国高端制造业在新能源赛道的弯道超车提供新的机遇^[7-9]。

1.2 电动汽车供电架构研究现状及问题

1.2.1 电动汽车供电架构

电动汽车的零碳排放得益于电能取代传统燃油为汽车提供动力，图 1.4 所示为电动汽车中主要能耗系统的供电架构示意图^[10-13]。电动汽车的主要储能部件为高压动力电池，该电池一方面为电机系统供电，另一方面通过 DC/DC 变换器给车载低压电池传递能量，为车载低压配电系统供电。电动汽车中高压动力电池的充电方式通常兼具直流快充和交流慢充两种方式。直流快充通常以地面充电桩的方式设置连接电网的充电装置，充电桩输出直流电压直接给电动汽车的高压动力电池供电，其功率等级分为几十千瓦到几百千瓦不等，目前最大充电功率等级已超过 350kW^[14]。交流慢充系统通常应用在户用充电系统中，其变换器通常以车载充电机的形式装配在汽车上，由于居民配电网功率等级限制，一般功率等级限制在单相系统 6.6kW，三相系统 11kW 左右。此外，还有部分学者对电动汽车的无线充电功能做了较详细的研究和论述^[15-19]。电动汽车用户对车内空间、续航里程有越来越高的需求，这对车载供电系统的效率和功率密度提出了越来越高的要求，因此 OBC 具有高效率、高功率密度、小型化和轻量化等需求。

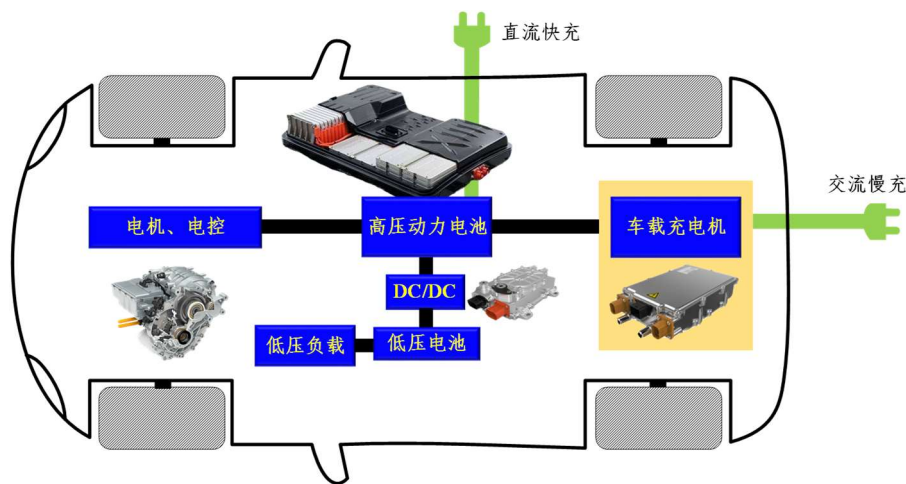


图 1.4 电动汽车供电系统架构框图

1.2.2 车载充电机常见拓扑及控制策略

车载充电机的拓扑架构及其控制策略得到了广泛研究以实现其高效率和高功率密度 [20, 21]。如图 1.5 所示为典型的车载充电机拓扑架构，其包含两级结构：前级为交流/直流（AC/DC）变换，将电网的交流电整流成直流电，并且起到功率因数校正（Power Factor Correction, PFC）的作用；后级为直流/直流变换，将直流母线的电压通过开关电源变换为动力电池所需要的电压等级，兼具电压调节和电气隔离的功能。

本文的研究重点聚焦于 OBC 后级 DC/DC 模块，仅针对该级变换器中的磁元件的集成与优化设计展开研究。DC/DC 级常见的拓扑架构为双有源桥（Dual-active-bridge, DAB）电路、LC 串联谐振电路、LLC 串并联谐振电路以及 CLLC 串并联谐振电路等。图 1.6 为 DAB 电路的典型拓扑结构 [22, 23]，变压器原、副边均为两个有源开关全桥电路，中间有串联电感和变压器。常见的控制策略有原、副边单移相角控制（SPS）、桥臂内固定角度移相加原、副边移相控制（DPS）和原、副边桥臂内各自移相加原、副边桥臂移相的三重移相控制（TPS）。由于拓扑结构简单，电路中无源元件仅包含单个电感元件，因此得到广泛应用。但是，该拓扑在输出功率和电路增益宽范围变化时，容易出现软开关丢失、无功环流增大等问题。

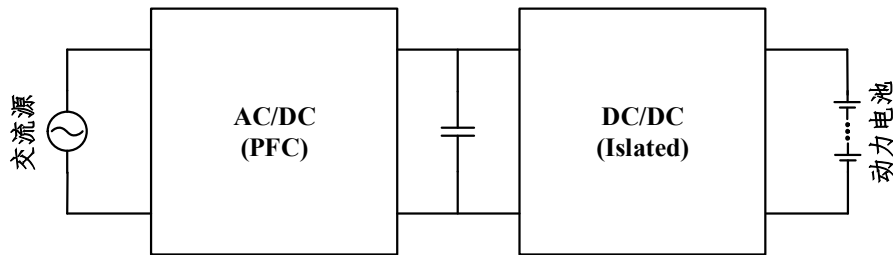


图 1.5 OBC 典型拓扑架构

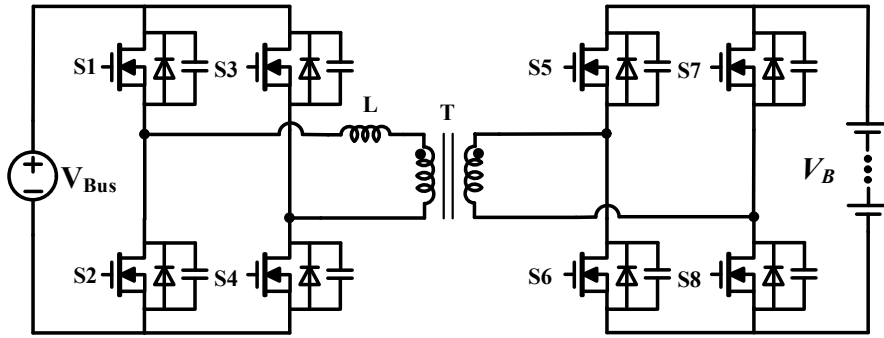
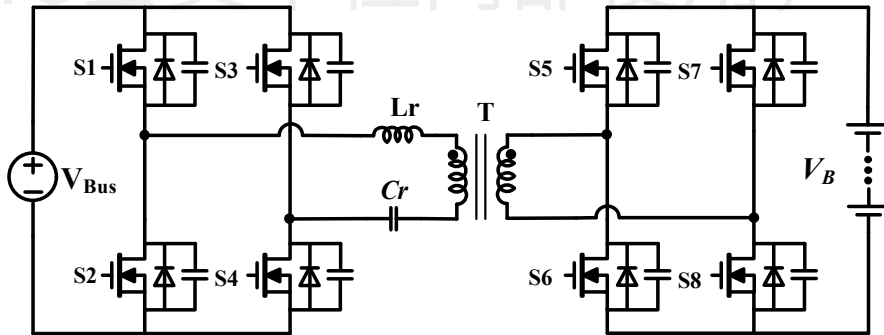
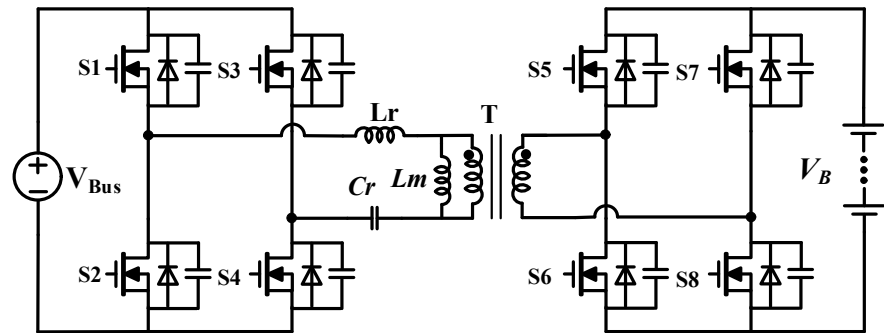


图 1.6 DAB 电路典型结构

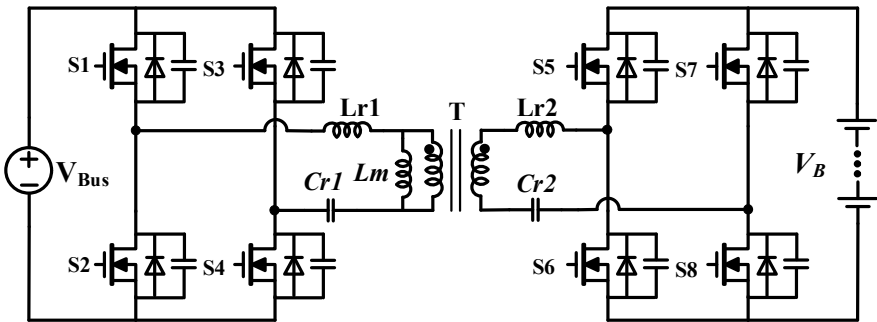
为了进一步减小开关损耗，在电路中增加电容元件与电感谐振实现软开关是常见的手段。图 1.7 所示为最常见的谐振软开关拓扑：图 1.7 (a) 为 LC 串联谐振拓扑，为了实现宽的输出电压范围，会采用脉冲频率控制 (PFM) 和占空比控制 (PWM) 等结合的混合控制策略^[24-26]；图 1.7 (b) 为 LLC 串并联谐振拓扑，励磁电感参与谐振，可拓宽相同开关频率变化范围内的增益范围^[27-32]；图 1.7 (c) 为 CLLC 串并联谐振电路拓扑，原、副边同时存在谐振腔网络，有利于实现变换器双向工作时电路增益的优化设计，其常见的控制策略是调频控制，也可以结合 PWM 调节或者相移的方式拓宽增益范围。基于该基本电路，很多学者在寄生参数设计、精细建模及拓扑改造等做了大量工作^[33-36]。



(a) LC 串联谐振电路



(b) LLC 串并联谐振电路



(c) CLLC 串并联谐振电路

图 1.7 典型谐振电路拓扑

1.2.3 高效率、高功率密度车载充电机关键问题

图 1.8 展示了目前车载充电机产品和学术界所制作的功能样机的效率和功率密度的发展趋势。图中纵轴为车载充电机的效率，横轴为其功率密度。传统基于硅开关器件的样机开关频率普遍在 200kHz 以下，产品的功率密度和效率普遍偏低。随着 SiC 和 GaN 等宽禁带半导体器件的应用、开关频率的提升、元器件的集成、控制策略的优化等新技术的研究和应用，车载充电机的效率有望在保持 97% 以上的效率的基础上实现 100W/in³ 以上的功率密度。

为了车载充电机具有越来越轻量化、小体积的需求，为了聚焦车载充电机功率密度进一步提高的关键限制因素，本文对某款 6.6kW 的车载充电机产品进行了大致体积分解如图 1.9 所示（不包含散热器等部分）。由分析结果可知，体积占比最大的部分为车载充电机后级 DC/DC 变换器中的谐振电感和变压器部分，其占比超过整机的 1/4，是提升车载充电机的功率密度首先要优化的部件。

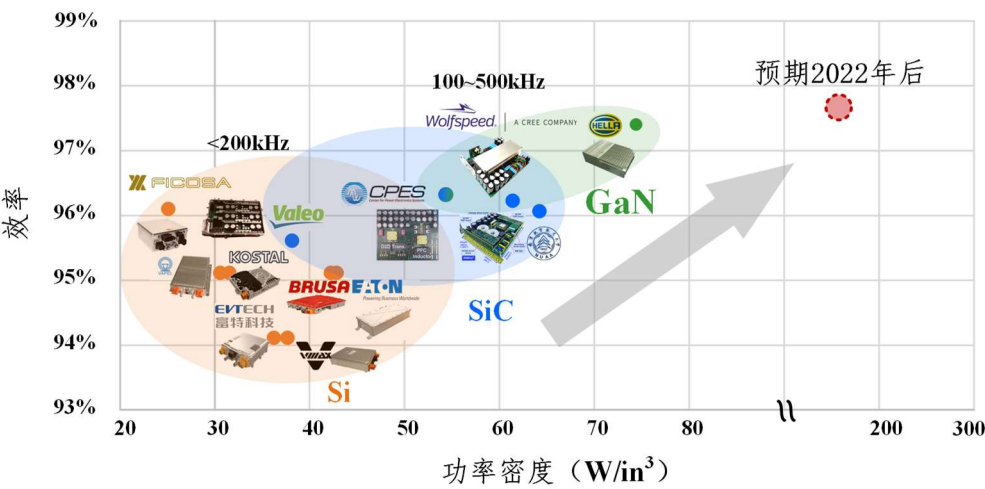
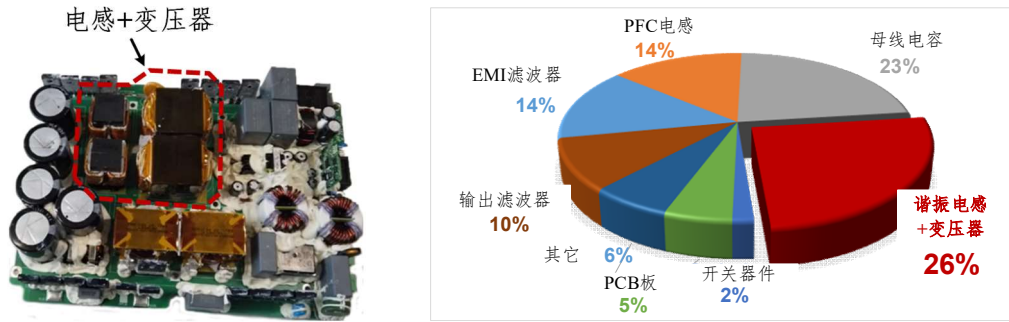


图 1.8 现有车载充电机的效率和功率密度调研



(a) 某 6.6kW 车载充电机产品 (b) 某 6.6kW 车载充电机体积分布占比

图 1.9 某 6.6kW 车载充电机体积分解

1.3 高效率、高功率密度磁集成技术研究现状

电感和变压器两大磁元件作为开关电源变换器中最重要的部件，在开关工作中起到储能、滤波、变压等功能。磁元件要处理所有的变换器能量，因此其体积和损耗在整个变换器中的占比很大，通常达到 30~50% 左右，在某些高密度模块中磁元件占比甚至更高，成为制约变换器效率和功率密度进一步提升的关键因素。磁元件的集成可以在不影响电路其它电气特性的情况下实现多个磁性元件的集成化、小型化，从而实现变换器功率密度的提升。

1.3.1 磁集成技术优势

磁元件集成技术通过磁路或者绕组的集成共用起到减小磁芯截面积和绕组总长度的目的。磁元件的绕组集成时，一方面可以通过绕组的部分公用（如单匝绕组穿过不同磁柱进行差异化的绕制），减少单匝绕组长度；另一方面可以通过整匝绕组集成减少绕组匝数（如分槽绕组集成磁结构以变压器绕组完全取代谐振电感绕组）。两种方式都可以减小绕组总长度以减小磁元件的绕组直流电阻以及绕组的空间体积。磁路集成时，可以利用绕组中电流产生的交变磁通的相位差异情况进行叠加，实现叠加磁路截面积减小的目的。例如对于同相位工作的两个或者多个变压器来说，不同磁柱中的励磁磁通同相位或反相位，可以将相位差别 180° 的磁柱进行集成，使得磁通抵消，实现磁柱消去的效果。图 1.10 为谐振电感和变压器两个不同类型的磁元件的磁通叠加情况。在谐振点工作时，变压器励磁电流通常滞后谐振电流 $70^\circ \sim 90^\circ$ 左右的相位差，励磁电流和谐振电流产生的磁通相位差与之相同，因此励磁磁通和谐振电感磁通叠加后，叠加磁通的最大值增加十分有限，这就使得在设计流通叠加磁通的磁路时磁芯截面积相对于单一的分立器件可几乎保持不变，因此相比于分立器件集成磁元件的磁芯总体积可以显著减小。

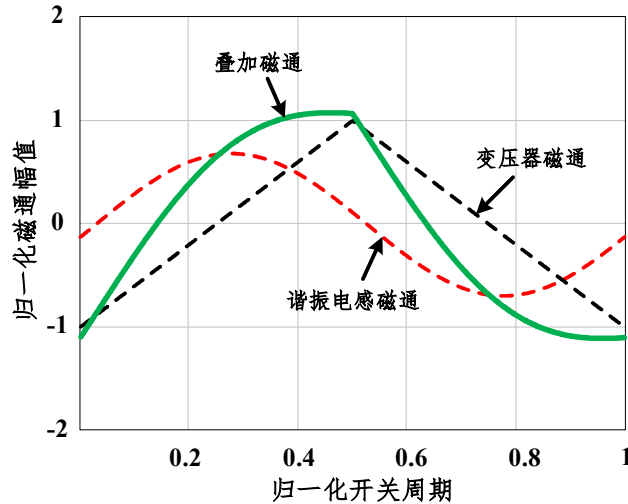


图 1.10 谐振电感和变压器的磁通叠加状态

1.3.2 集成磁元件分析方法

分析和设计集成磁元件时, 首选要分析磁性元件的电磁场分布情况, 得到磁元件电感量、变压器变比与磁芯截面积、绕组匝数的定量关系, 进而实现高效率、高密度的集成磁元件优化设计。磁元件的分析手段主要有模型计算、磁仿真和实验测试等手段。

1.3.2.1 磁元件的分析模型

1) 磁件参数直接计算方式

根据磁元件储能特性, 在通有一定电流的磁结构中计算磁元件的整体储能, 可通过公式直接计算等效电感量的大小。如图 1.11 为例, 为通有电流大小 I_L 的电感器件, 其能量存在于磁芯、磁芯气隙、绕组以及窗口空气等空间中, 由于磁芯气隙处磁场强度通常为其它空间的三个数量级以上, 因此电感器件绝大部分能量存储于磁元件的气隙位置, 可通过计算气隙储能求解电感量, 其表达式如式 (1.1) 所示。

$$L = \frac{\iiint (\vec{B} * \vec{H}) dv}{I_L^2} \quad (1.1)$$

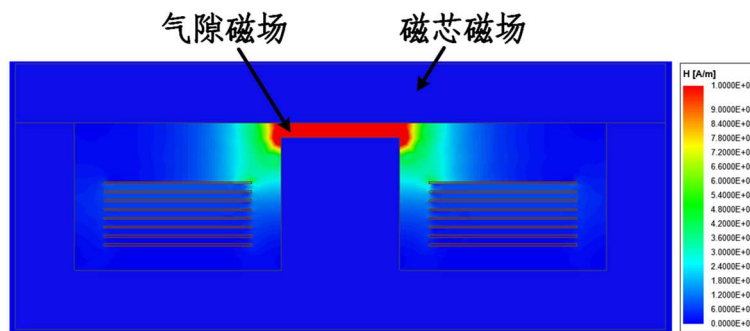


图 1.11 电感磁场幅值分布仿真

其中, $\vec{B}$ 和 $\vec{H}$ 分别为磁元件不同空间位置的磁感应强度和磁场强度, 可以根据安培环路定律求解。当磁元件模型相对简单、磁场分布均一时, 计算模型可以大幅简化。直接计算的方法针对结构简单、磁路相对均匀的情况比较方便应用, 但针对磁场二维甚至三维分布的情况难以应用。

2) 磁阻-电阻类比模型 (Magnetic reluctance model)

对于含多个耦合绕组和磁回路的结构中, 为了对较复杂的磁路进行计算, 类比于电路模型的磁阻模型得到了广泛研究。

磁阻是类比于电路中的电阻提出的分析磁路的概念, 在上个世纪甚至更早已经开始讨论^[37,38]。磁阻被定义为磁动势 (magnetomotive force, MMF) 与磁通量的比值, 其表示物体对磁通量的阻碍作用, 取决于物体的材料和几何尺寸。常用的磁阻模型通常将分布的磁芯参数简化为集总参数模型, 因此在磁场分布相对均一的磁路中可以起到简化计算和分析的作用。磁路模型和电路模型有很好的对偶关系^[39], 磁路磁阻类比于电路模型中的电阻、绕组所产生的磁动势类比于电路中的电动势、磁路中的磁通量类比于电路中的电流; 此时, 磁路中各支路的磁通量和磁路中各个节点的磁动势分别满足基尔霍夫定律, 即: 流入同一节点的磁通量为零、闭合回路中所有部件的磁动势和为零。磁阻的与磁元件几何尺寸的关系式如式 (1.2) 所示。

$$R_m = \frac{l}{\mu_0 * \mu_r * Ae} \quad (1.2)$$

其中, R_m 为磁介质的磁阻, l 为磁路长度, μ_0 为真空磁导率, μ_r 为磁介质的相对磁导率, Ae 为磁路的横截面积。

磁阻模型是基于磁元件的物理模型建立的, 以“E”型磁芯的电感结构为例 (如图 1.12 所示), 绕组绕制在中间磁柱上, 匝数为 N_L 匝, 通有电流 i_L , 根据电感结构参数对应可以画出其磁阻模型, 其中三个磁柱的磁阻分别记为 R_{air1} 、 R_{air2} 和 R_{air3} , 不同磁芯磁路段的磁阻等效记为 $R_{m1} \sim R_{m5}$, 通有电流的绕组根据磁路中产生的磁通方向定义其方向为上正下负, 其幅值等于绕组的安匝数 $N_L i_L$ 。磁阻类比于电路中的电阻, 磁动势类比电路中的电动势, 根据此磁阻磁路模型基于磁路中的基尔霍夫定律可以计算各个磁支路中的磁通大小。对于高频磁元件, 其使用的材料通常为铁氧体, 其磁导率通常为空气磁导率的三个数量级以上, 因此相比于气隙磁阻磁芯中的磁阻可以忽略, 因此在精度允许的范围内图 1.12 所示的磁阻模型可以简化为图 1.13 所示的结构。

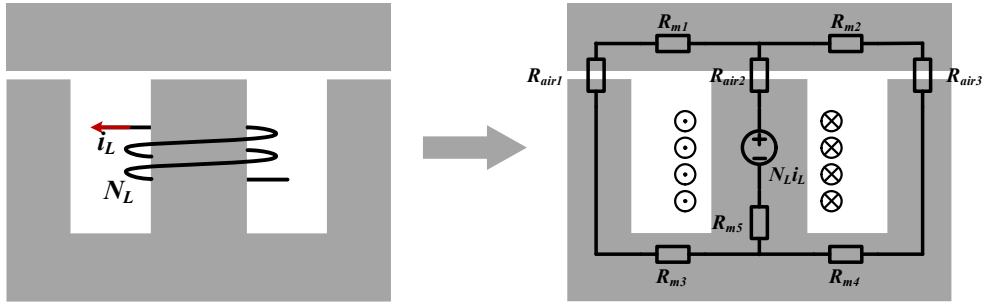


图 1.12 磁阻模型与磁结构的对应关系

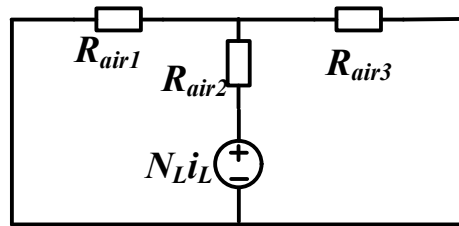


图 1.13 简化的电感磁阻模型

对于相对复杂的磁结构，可以采用源-路转移的方法对磁结构进行简化^[40]，再利用磁阻模型对其进行分析。磁阻模型在分析多绕组耦合的结构中可以起到简化磁路分析的目的，如耦合电感中得到了广泛应用^[41,42]；对于多绕组变压器结构，通过磁路与电路的对偶关系，可以将磁元件的物理结构模型转换为含有电感和理想变压器的多端口模型。

基于集总参数模型的磁元件磁阻模型的特点是简单直观、易于理解，对于结构相对复杂、多磁柱以及多绕组耦合的磁路中，可以方便的计算各磁路的磁通分布。根据磁性元件的定义式，求解出磁路中的磁通量后，可以对磁路的磁感应强度进行计算，从而对磁元件的截面积进行设计。

3) 回转器-电容类比模型（Gyrator-Capacitor model）

磁阻模型虽然可以类比电路模型，简单直观地对磁路中的磁通量、磁通密度等进行计算，但是对于复杂的磁路系统，比如磁路出现三维空间交叉的非平面磁结构中，磁阻模型网络来分析磁结构会变得十分复杂；另一方面，磁阻模型并不能普适地描述磁元件的物理特征，比如磁阻模型无法表示磁通变化率与感应电压的关系，难以求解磁元件中的瞬态电压、电流。针对磁阻模型的缺点，有文献提出“回转器-电容”模型^[43,44]，通过“磁导-电容”类比建立更加能反映磁元件物理特性的电路表示模型。在“回转器-电容”模型中，将带有绕组的磁路等效为回转器，传统回转器的回转电阻被取代为绕组匝数，磁路中的磁导以电容的形式串联在回转器的一侧。如图 1.14 为部分磁结构的回转器等效模型，该模型中，根据回转器端口特性，有式（1.3）。

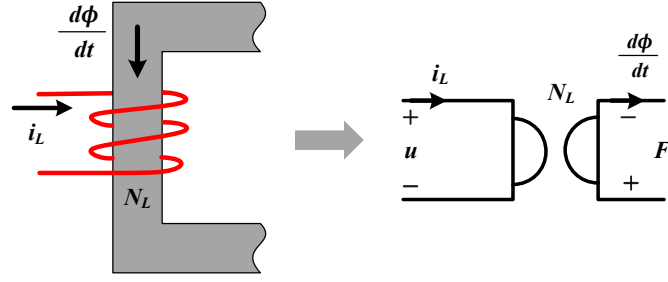


图 1.14 磁元件端口回转器等效模型

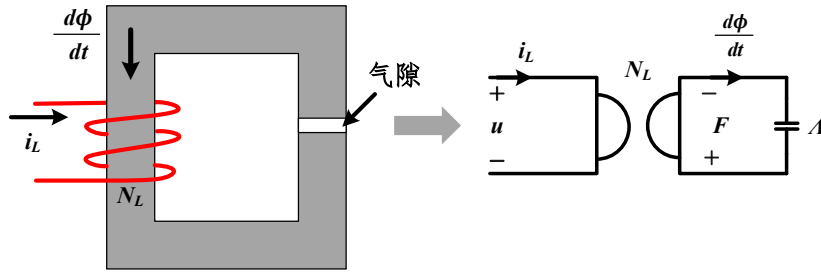


图 1.15 电感等效“回转器-电容”模型

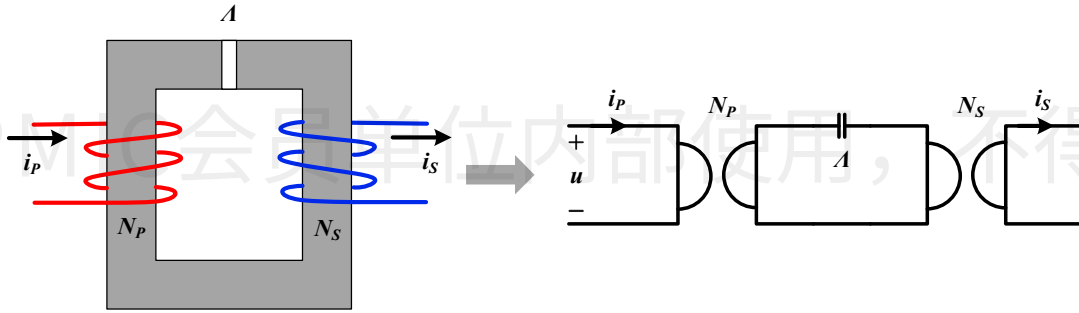


图 1.16 变压器的两级级联“回转器-电容”模型

$$\begin{bmatrix} u \\ i_L \end{bmatrix} = \begin{bmatrix} 0 & N \\ \frac{1}{N} & 0 \end{bmatrix} * \begin{bmatrix} F \\ \frac{d\phi}{dt} \end{bmatrix} \quad (1.3)$$

对于如图 1.15 所示磁芯含有气隙的电感，忽略磁芯磁阻，可以推出图中所示对应的“回转器-电容”模型。其中回转器副边侧的电容符号“ Λ ”为气隙磁阻的倒数，即磁导。

$$\Lambda = \frac{\mu_0 * Ae}{l_{gap}} \quad (1.4)$$

其中， l_{gap} 为气隙长度，其余变量对照式（1.2）。

对于如图 1.16 所示的“U”型磁芯的变压器来说，其回转器-电容模型等效为两级级联结构，其中回转器的耦合系数分别为 N_P 和 N_S ，中间级为变压器磁芯的磁导 Λ 。由于回转器模型可以等效为受控电压源的端口模型，因此磁元件的“回转器-电容”模型中的回转器也可以用受控源的形式来替代。

磁元件的“回转器-电容”模型，解决了传统磁阻模型无法表征磁元件中磁芯参数与磁元件电气参数动态特性之间的关系，也解决了磁阻模型类比电阻但又不消耗能量这一表达不一致的问题，同时对于复杂磁路的磁结构可以将磁路等效为多组受控源的形式可以建立磁路与电路对应的分析模型。

4) 磁感模型 (Magnetic-Inductance model)

磁阻模型或者回转器-电容模型将磁路与电路进行类比对照，实现了简化磁元件分析的目的，但是上述两模型将磁元件视作理想的无损阻性元件，对于多绕组耦合的磁元件中，无法表征磁路中交变磁通的相移和幅值衰减特性。对此，文献[45]提出了“磁感 (magnetic-inductance)”模型，对包含单一磁阻元件的磁元件分析模型进行了修正。如图 1.17 所示的变压器模型，原边绕组的等效电阻为 R_P ，副边为含有回路电阻 R_S 的闭合回路。基于磁回路的安培环路定律，可以推导出图 1.18 所示的含有电感元件的磁元件模型，其中 R'_S 为经过变压器变比折算到原边侧的电阻值， LM 为所提的磁元件模型中为了表征磁通相移和幅值变化而加入的感抗网络，其幅值如式 (1.5) 所示。

$$LM = \frac{N_2^2}{R_S} \quad (1.5)$$

其中 N_S 为副边绕组匝数， R_S 为副边绕组短路时的回路电阻。文章所提出的带有“磁感”的磁路模型解决了模型中仅含有阻性成分导致的磁通相移和幅值变化难以表征的问题，可以更加清晰地表示磁元件的物理特性，对于电磁设备的精准分析和调控有重要意义。

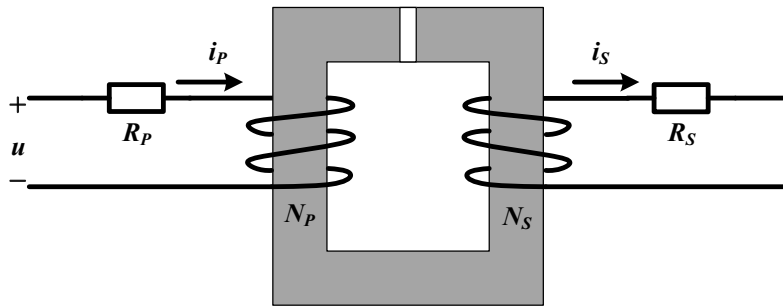


图 1.17 带有回路电阻的变压器结构

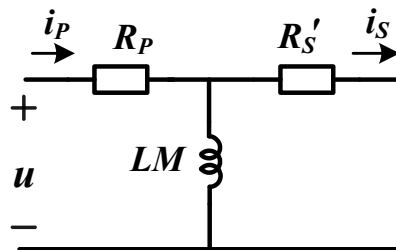


图 1.18 含有磁感元件的磁元件模型

1.3.2.2 磁元件的损耗分析方法

磁元件损耗主要分为磁芯损耗和绕组损耗两部分，磁元件的损耗可以通过建模计算、仿真及实验测试等方法进行分析。

1) 磁芯损耗的分析方法

斯坦梅兹方程（Steinmetz equation）是计算磁芯损耗最基础的方程^[46]，但该方程只适用于正弦波激励的磁芯损耗。开关电源变换器中，磁元件绕组端口电压通常为方波或矩形波电压，励磁电流往往是三角波或其它非正弦波，为了能够计算在非正弦激励波形下的磁芯损耗，在保持磁感应强度权重不变的情况下，文献[47, 48]推导出了等效频率取代原有等式中的开关频率；对于具有直流偏置的励磁波形，文献[49-51]中对其进行了细致的研究；文献[52, 53]的工作使得磁芯损耗计算方程更加简化和具有普适性；文献[54, 55]对已有方案进行了归纳整理。

$$P_c = k * f^\alpha * B_m^\beta \quad (1.6)$$

式（1.6）为最基本的斯坦梅兹方程，其中 f 为开关频率； B_m 为开关周期中的磁感应强度峰值； k 、 α 和 β 为相应的系数，由磁材料及其工作温度等决定。

另一方面，由于磁通密度在磁芯中分布可能出现不均匀，结合损耗模型和有限元仿真工具对磁芯损耗进行仿真分析可以减小计算量、提高计算精度^[56, 57]。然而在磁芯损耗计算时，磁芯材料厂家提供的损耗数据为使用标准磁环且基于正弦波电流激励测定的，与变换器中磁元件的工况有较大差距，可能引起磁芯损耗的计算值与实际值有较大偏差。

实验测量的方式可以有效避免因给定数据偏差导致的磁芯损耗计算不准确问题，相对真实地反映磁芯损耗。一种磁损测试方法为加设开路的辅助绕组测试其开路电压，同时测量被测磁元件流过的电流，对测得的电压和电流进行积分等处理后可以得到磁芯损耗^[58-61]；但是该方法在磁元件品质因数较高时测试误差会明显增大，为此有学者对其进行了修正^[62]；在此基础上，后续有工作结合具体应用进行了拓展和简化^[63, 64]。然而，由于集成磁元件磁芯磁通由多绕组决定，无法通过测得的单一绕组电压与电流积分来计算磁芯损耗。另一种类型是量热法，即测量被测磁元件工作时引起的热工质温升来反推磁元件的损耗^[65, 66]，但是该方法中绕组导通损耗导致的温升会引入额外误差；同时需要搭建相对复杂的标准热测试平台。第三类方法为如图 1.19 所示的差值损耗法，在待测磁元件上并联磁芯损耗相同的辅助磁元件，通过测量并联前后的损耗差值来得到磁芯损耗^[67]。该方法操作简单，但是现有方案仅针对单一电感的磁芯损耗进行了研究，对集成磁元件磁芯损耗测量方案的探讨和研究仍然缺乏。

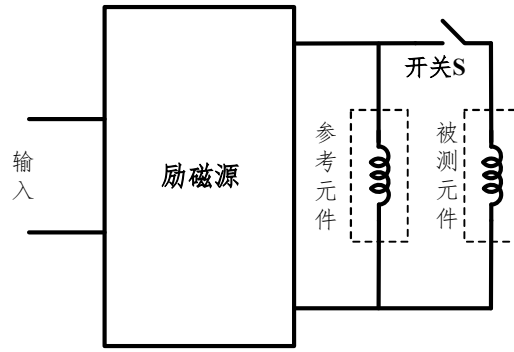


图 1.19 差值损耗测量方法

2) 绕组损耗的分析方法

在磁元件结构确定以后，绕组的直流电阻可以根据物理模型方便地计算出来，但是高频电流流过绕组时，高频电磁场穿过绕组会导致绕组中产生涡流，表现为集肤效应、邻近效应等，导致绕组中电流分布不均匀、等效交流电阻系数明显变大。因此对于绕组损耗的评估关键在于对高频电磁场下绕组中的电流分布情况进行建模，计算绕组电流不均匀分布情况下的绕组损耗。

为了研究绕组中电流分布不均匀导致的绕组等效交流阻抗的变化，早在 1966 年 Dowell 就对变压器结构中的绕线绕组建立模型进行分析，基于磁场一维分布的假设推导了绕组阻抗随着频率的变化关系^[68]，该模型得到了广泛的拓展和应用；文献[69]对多股线绕组中的单根绕组自身磁场（Self field）和临近磁场（Proximity field）进行了建模，推导了绕组的等效交流电阻系数；文献[70]基于绕组集肤效应和邻近效应的正交性提出了绕组交流电阻系数更加普适的计算公式。文献[71-75]同样对利兹线绕组进行了研究，并对绕组股数和绕组结构等进行了分析优化；文献[74, 75]针对绕组交流电阻系数的具体展开式进行了进一步探讨，以使得交流电阻系数的计算公式更加便捷；同时学者在利兹线绕组损耗进行计算时同步考虑了气隙的影响^[76]。

使用基于铜箔绕组或者 PCB 绕组的平面磁元件可以进一步提升磁元件的效率和功率密度，针对该类磁结构的绕组损耗也有很多研究工作。文献[77]针对多层方形绕组提出了任意波形下计算绕组交流电阻的计算方法，并且不需要对电流波形进行傅里叶分解求解各次谐波的系数；但对绕组电流分布的计算基于一维磁场分布的假设^[78]，难以描述扁平绕组中电流往往集中于绕组边缘的现象（edge effect），为此有学者基于二维磁场分布对绕组电流分布进行建模，使得计算更加精确^[79, 80]；由于扁平绕组的宽度和厚度比值很大，绕组中电流密度在宽度方向分布上受电磁场影响更加显著，文献[81-83]中研究人员对不同气隙结构下的电流分布进行了研究，提出减小垂直穿过绕组宽平面的竖直分量的气隙分布结构。

同时，由于绕组不同位置所处的电磁场环境可能不同，基于数学建模的有限元计算得到了很多研究^[84-86]。

式（1.7）为应用相对广泛的基于 Dowell 模型演化的绕组交流电阻系数计算公式^[70]。

$$\frac{R_{acm}}{R_{dcm}} = \frac{\varepsilon}{2} \left[\frac{\sinh \varepsilon + \sin \varepsilon}{\cosh \varepsilon - \cos \varepsilon} + (2m - 1)^2 \frac{\sinh \varepsilon - \sin \varepsilon}{\cosh \varepsilon + \cos \varepsilon} \right] \quad (1.7)$$

其中， m 为绕组的有效层数， ε 为有效集肤深度，定义为绕组厚度与集肤深度的比值。

1.3.3 现有典型磁集成方案及其优缺点

磁元件在变换器中广泛应用，包括 EMI 滤波器、储能电感、变压器等。磁元件的集成技术既可以将同一类型的元件集成在一起实现磁元件体积和损耗的优化，如多个电感元件采用耦合电感的方式集成、多个变压器采用矩阵式集成，也可以将不同类型的磁元件集成在一起，如电感和变压器的集成。

1.3.3.1 电感集成方案

电感集成通常将两个及以上的电感绕制在同一个磁芯上，通过耦合集成的方式实现减小磁元件体积、减小输入输出电流纹波、提高动态性能、实现软开关等效果。

在输出电流相对大的场合（如电压调节模块，VRM），采用多相变换器并联的结构减小单相变换器的纹波，同时可以起到热分散的作用。但同相位工作的变换器会导致输出电流纹波较大，需要很大的滤波电容才能满足输出电压的纹波限制，为了减小输出电流纹波，可以采用移相策略，将多相变换器采用移相交错并联的方式一方面可以减小输出电流纹波幅值，同时可以增大纹波电流的等效开关频率，因此可以使得输出电压纹波大幅减小。多相变换器的电感体积占比较大，可以通过耦合的方式利用磁路叠加，减小磁元件总体积。如图 1.20 所示为 VRM 中常见的多相交错并联 Buck 的拓扑架构，电感采用耦合方式进行集成^[87, 88]。

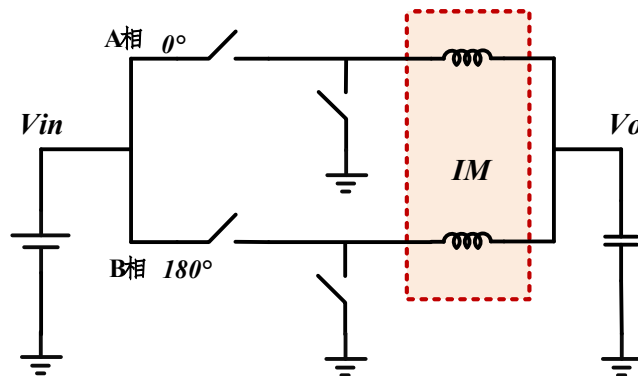
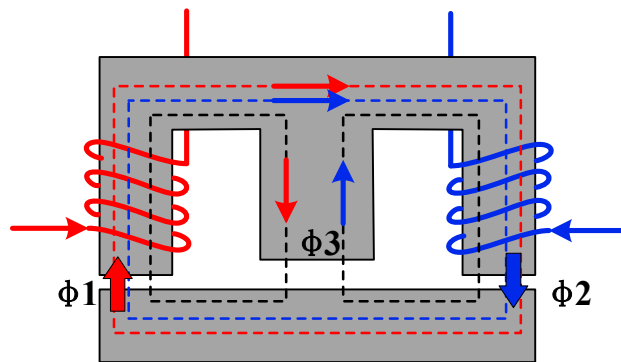
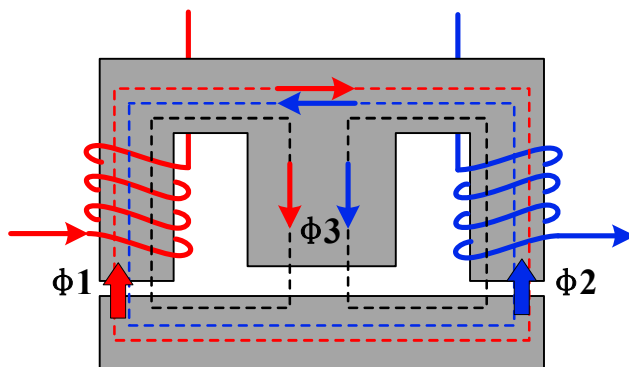


图 1.20 基于耦合电感的 VRM 拓扑架构



(a) 正向耦合电感



(b) 反向耦合电感

图 1.21 典型耦合电感结构

常见的耦合电感可以分为正向耦合和反向耦合两类^[89, 90]。如图 1.21 以两相电感耦合为例，图 1.21 (a) 为正向耦合的磁结构及磁通方向分布，左、右侧的电感绕组中的电流按照如图所示的方向流通，其产生的磁通在相互耦合的磁路中同相叠加，在解耦的中柱中，两绕组产生的磁通反向叠加。图 1.21 (b) 为反向耦合的电感结构及其磁通方向分布，左、右侧磁柱绕组中的电流产生的磁通方向在对方的线圈磁路中反向叠加，在解耦的中柱中，两绕组产生的磁通正向叠加。根据多相工作时电路的相位交错关系，在正向耦合的磁路中，绕组所在的边柱中磁通直流分量会叠加，交流分量由于相位差叠加后会减小，而中柱磁通直流分量抵消，交流分量出现部分同向叠加效果；与之相反，反向耦合的电感两绕有绕组的边柱中磁通的直流分量抵消，交流分量存在同向叠加的部分，中柱中的磁通交流分量部分抵消，直流分量同向叠加。因此，在设计磁柱截面积时，需要在综合考虑磁通叠加之后的形态，综合考虑滤波效果、损耗及体积进行设计。基本的 Buck 和 Boost 电路结构基本相同，因此该耦合电感结构也常运用于升压电路中，如多相 PFC 电路中^[90]等。

另一种典型应用是依靠耦合电感实现高升压比或降压比的电路中^[91-96]。如图 1.22 所示，耦合电感的应用可帮助实现电路输出的高升压比。当开关管 S1 开通时，输入电源给

耦合电感 $N1$ 部分充电，电感绕组 $N1$ 和 $N2$ 部分同时承受左正右负的电压， $N1$ 部分绕组承受输入电压， $N2$ 部分绕组按照匝比承受相应电压；当开关管 $S1$ 断开时，整流管 $D1$ 开通，电路向输出侧传输能量。根据电感的伏秒平衡可知，相比于传统的 **Boost** 电路，由于耦合电感的中 $N2$ 部分的存在，使得输出电压出现额外的电压上升。

此外，基于耦合电感构造额外的电路支路，可辅助电路实现软开关^[97-99]。图 1.23 所示为基于耦合电感构造的能实现 **Buck** 电路主开关管软开通的电路。其中辅助绕组 $N1$ 与传统 **Buck** 电路中的电感绕组 $N2$ 耦合在一起，辅助绕组 $N1$ 部分和二极管 Da 构成辅助实现软开关的辅助网络。在整流管 $S2$ 开通过程中，电压施加在耦合电感模型中的等效漏感上，流过二极管 Da 的电流线性上升，在 $S2$ 关断时刻 Da 的电流达到峰值，此时该峰值电流给开关管 $S1$ 的结电容放电、 $S2$ 的结电容充电，主开关管 $S1$ 的软开关得以实现。

耦合电感还可以应用于倍流整流电路中的输出滤波电感^[100]、应用于逆变器设计等多种场合^[101]，学者在[102, 103]中基于“E-I-E”结构的磁芯对双向 **DC/DC** 变换器中的电感进行了优化，减弱了气隙漏磁对绕组损耗的影响、减小了绕组长度；文献[104]针对多相、多磁柱的耦合电感，在保持电流低纹波的情况下设计了最佳的耦合系数，实现了耦合电感的优化设计。针对不同的应用场合使用耦合电感对多相电感进行集成，可以实现相比于分立电感更加优异的稳态及动态性能，同时在可以实现磁路的共用、减小磁元件体积，促进变换器效率和功率密度的提升。

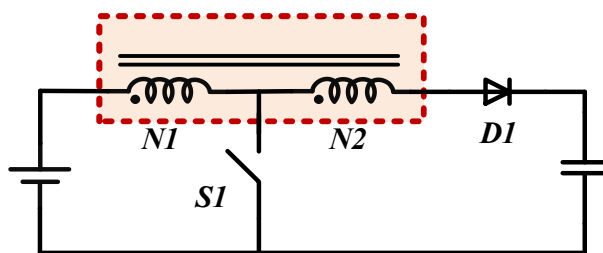


图 1.22 基于耦合电感的级联式高增拓扑

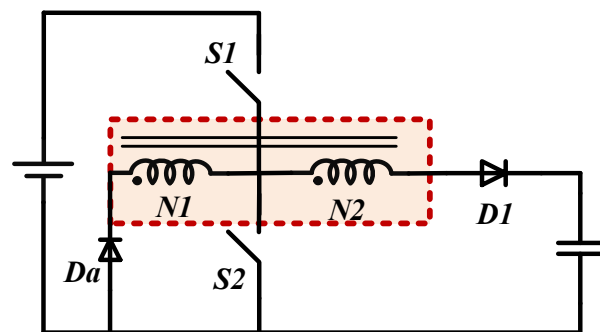


图 1.23 基于耦合电感构造的辅助软开关电路

1.3.3.2 变压器集成方案

矩阵式变压器是多变压器集成典型的应用方案。对于需要隔离且包含多路输入/输出的拓扑结构，其需要多个变压器元件的串并联实现。图 1.24 为基于 LLC 串并联谐振电路的高压转低压的电路结构，输入侧为高压小电流，输出侧为低压大电流，传统结构通常采用多变压器原边绕组串联、副边绕组并联的结构，导致磁元件总体积变大。如图 1.25 所示，为两个变压器利用磁通反向抵消实现集成的演变过程^[105]，实现了具有磁柱消去效果的矩阵变压器结构。图 1.25 (a) 为传统的分立变压器绕组结构（在此仅以部分原边绕组结构举例分析），将磁元件各自旋转 90° 后可以得到图 1.25 (b) 所示的结构，该图中相邻的变压器磁柱磁通恰好相反，将这两个磁柱集成时磁柱中的磁通可以完全抵消，磁柱得以消去，最终推导出图 1.25 (c) 所示的磁结构。基于类似的原理，可以将多组变压器的磁芯一体集成，绕组通过链式串联/并联的方式实现如图 1.26 所示的多磁柱矩阵式变压器结构^[106]。

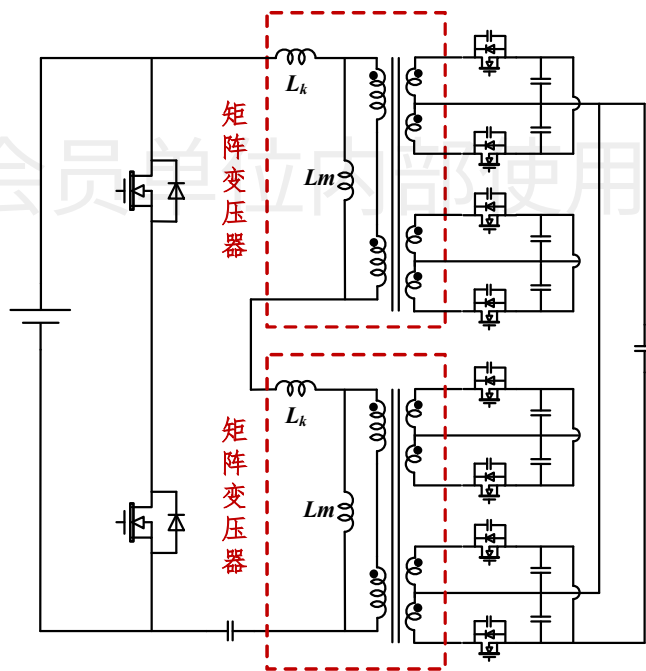
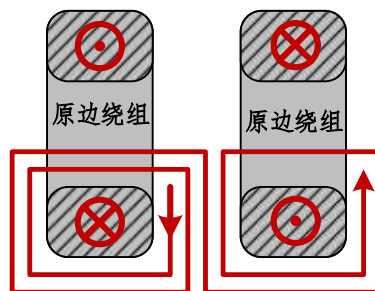
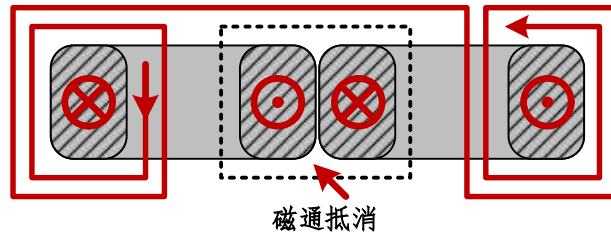


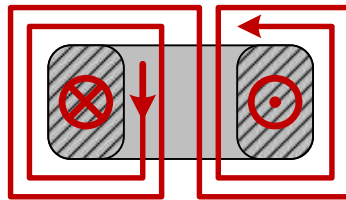
图 1.24 基于矩阵变压器的多路绕组输出 LLC 变换器



(a) 分立变压器



(b) 磁通抵消的磁柱消去过程



(c) 矩阵变压器结构

图 1.25 矩阵变压器构造过程

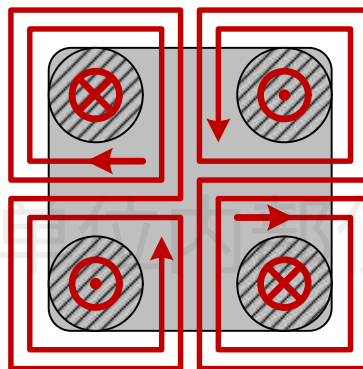


图 1.26 多磁柱矩阵变压器结构

1.3.3.3 电感和变压器集成方案

磁元件所承受的电压和电流由电路拓扑决定，电感和变压器绕组所受到的电压和电流激励情况不同，在集成时需要根据电路特性，选择合适的集成结构方案，才能达到减小磁元件体积的效果。由变压器的“T”模型等效电路可知，变压器的漏感与变压器串联，因此当漏感足够大时可以取代与变压器串联的外置电感，实现电感和变压器的完全集成；而当电路中的电感与变压器非直接串联连接时，则需要根据磁元件的电磁特性寻求其它集成方案。因此本小节根据电感是否与变压器直接串联对现有集成方案进行整理归纳。

1) 串联电感和变压器集成

图 1.27 为 DC/DC 变换器中广泛应用的电感和变压器直接连接的典型拓扑结构。其中图 1.27 (a) 为典型的谐振电路拓扑架构，两侧为开关网络，中间为变压器及阻抗网路；图 1.27 (b) 为典型的集成磁元件网络结构，如传统的 LC 串联谐振电路，变压器励磁电感足

够大，在电路中的影响可以忽略，当谐振电容 C_r 容值足够大时，谐振电感和谐振电容的谐振频率远低于开关频率，电容主要起到隔直作用，电路演变为传统的双有源桥电路；如 LLC 串并联谐振电路中，励磁电感 L_m 参与谐振，可以拓宽电路的增益范围，在调频控制策略下实现电路的升降压功能；如 CLLC 串并联谐振电路，谐振电感分布于变压器绕组两侧与电容谐振，励磁电感同步参与谐振。

分槽绕组磁结构以变压器漏感取代外置电感实现磁集成的结构得到了广泛应用^[107-120]。如图 1.28 所示为典型的分槽绕组集成磁结构，以“E”型磁芯为例，原、副边绕组完全分开，在不同的槽中绕制，中间通过挡墙隔开。通过调节挡墙的厚度以调节原、副边绕组的距离可以改变原、副边绕组的耦合程度，实现对集成漏感大小的调节。如图 1.29 所示为基于“U”型磁芯的分槽绕组集成磁元件结构，绕组绕制在磁芯左右磁柱上，具有更好的散热效果。

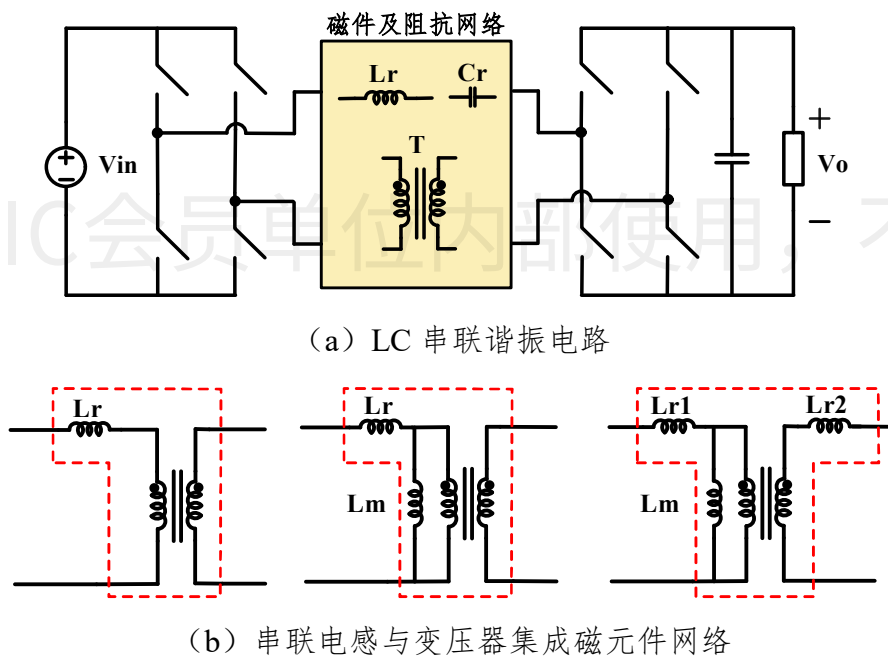


图 1.27 电感与变压器直接串联典型结构

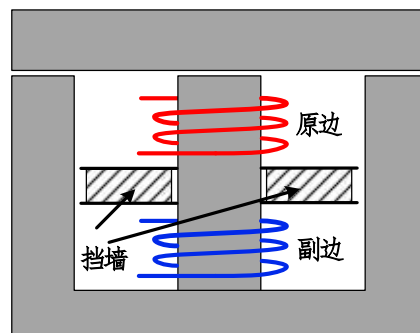


图 1.28 基于“E”型磁芯的分槽绕组集成磁元件

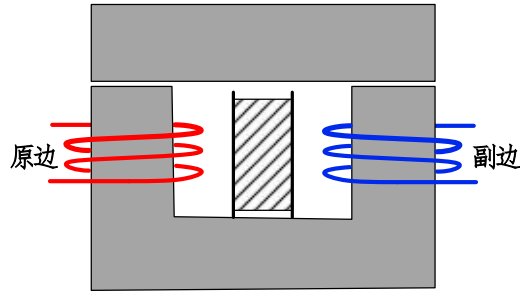


图 1.29 基于“U”型磁芯的分槽绕组集成磁元件

针对分槽绕组集成磁结构，很多学者针对不同应用中的问题对其做了分析和优化。文献[107]对分槽绕组集成磁元件的不同分槽结构对体积的影响做了归纳分析，文献[108]中基于分槽绕组集成磁结构对 DAB 电路进行了优化设计。由于分槽绕组所集成的等效串联电感在变压器两侧均有分布，因此需要基于双侧谐振电感分布的结构对传统的 LLC 电路的增益和电路设计进行修正^[109-111]。在包含中心抽头整流的 LLC 电路中，副边中心抽头绕组采用双股线绕组结构，可以使副边绕组紧密耦合，减小开关过程中副边开关管的电压过冲^[112]。开关频率提升后，基于 PCB 绕组的分槽绕组集成磁结构也得到了研究^[113]；同时为了减小原、副边绕组的间距，可以在原、副边绕组间插入额外的磁芯结构以增大漏磁回路的等效磁导率^[114]。文献[115]和[116]针对插入额外漏磁柱的分槽绕组集成磁结构的空

间磁场进行了建模，以对该结构所集成的电感量进行较为准确的定量计算。该分槽绕组结构可以推广至多绕组/多端口的变换器中应用，实现复杂电路中多个磁元件的集成。

尽管分槽绕组集成磁元件结构简单、易于制作，但该结构有明显缺点：一方面绕组缺乏交错导致绕组间隔空间中的磁场明显增强，该强磁场会发生对外泄漏。对绕组进行部分分段，可以减小绕组间隔处的磁场强度，缓解磁场泄漏问题，同时可以减小绕组损耗^[118, 119]。图 1.30 展示了“原-副”结构分槽绕组集成磁结构和有一定交错的“原-副-原”结构分槽绕组集成磁结构在施加相同激励时，空间磁场的仿真分布情况，如结果所示，绕组进行一定交错后泄漏磁场的强度和影响范围可以得到一定程度的控制（仿真条件： $f_s=100\text{kHz}$, $I_p=12\text{A}$, $I_s=13.5\text{A}$, $N_p:N_s=18:16$ ）。

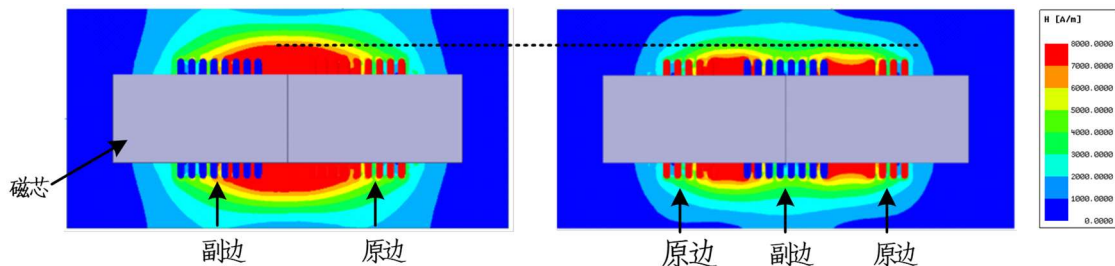


图 1.30 不同绕组结构对外泄漏磁场的仿真结果

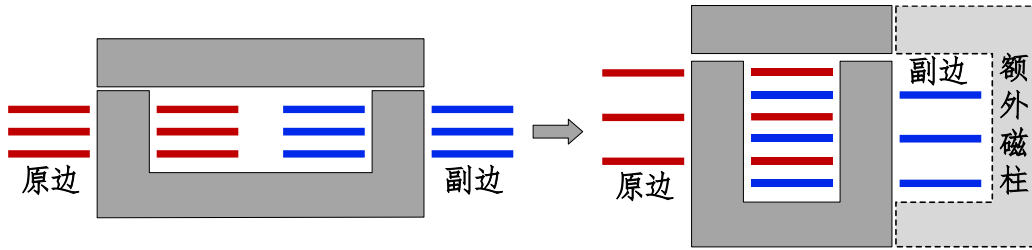


图 1.31 绕组损耗减小的分槽绕组集成磁结构

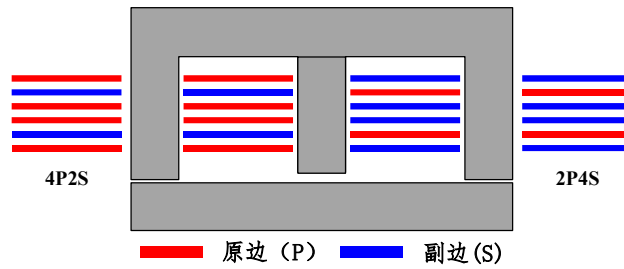


图 1.32 不对称绕组集成磁元件

另一方面，分槽绕组集成磁元件的绕组缺乏良好交错会导致绕组损耗变大，高频下尤为严重。要缓解高频下分槽绕组的绕组损耗可以对绕组结构进行一定的交错，但会导致磁元件空间体积的增大；另一方面也有学者通过对所插入的电感磁柱气隙进行优化^[120]，以减小气隙的边缘效应（fringing effect）导致的涡流损耗。同时，可以对分槽绕组进行改进，使得绕组出现部分绕组交错的效果减小绕组损耗^[121, 122]。如图 1.31 所示，展示了减小分槽绕组集成磁结构绕组损耗的构造过程，将完全分离的原、副边绕组进行交错放置，可以实现窗口内原、副边绕组的部分交错效果，减小绕组损耗。但是由于绕组交错后绕组间的耦合变强，所集成的漏感变小，需要添加额外磁柱才能实现所要集成的目标电感量，同时该结构存在 PCB 绕组空间利用率低下的问题。

另一种改善集成磁元件绕组损耗的结构如图 1.32 所示^[123, 124]。该集成磁元件在不同的磁柱上原、副边绕组保持相对较好的交错效果，但保持单个磁柱上原、副边绕组匝数不同于变压器变比，中间磁柱的插入用于增大所集成的电感量。针对该结构文献^[125]将两相结构组合，使得谐振电感磁柱上的磁通反向，可以实现该电感磁柱的消去；该结构拓展至三相系统^[126]，同样可以实现额外电感磁柱的消去。由于该结构保持了绕组相对良好的交错，高频下绕组损耗可以得到有效控制，但是同时也会导致该结构所集成的漏感较小，在需要集成大感量电感的场合，会导致磁芯体积显著增大。

2) 通用电感和变压器集成方案

在谐振电路或者移相全桥等电路中所需要的电感与变压器直接串联，可以通过增大漏

感的方式实现磁元件的集成，但是在部分其它电路中储能/滤波电感并非直接与变压器串联，无法用变压器的漏感代替，因此需要考虑更加通用的集成方案。

如图 1.33 所示集成结构可以实现非直接串联的电感和变压器的集成。该结构为部分磁芯集成方案，其中电感和变压器上下叠放，电感绕组和变压器绕组与分立结构相比均保持不变，变压器和电感独立磁芯部分分别流通励磁磁通 ϕ_{Lm} 和电感磁通 ϕ_L ，在集成磁片中流通励磁磁通和电感磁通的叠加磁通^[127-132]。该结构的优点是电感和变压器没有耦合，绕组可以保持与分立元件相同的独立性设计，但缺点是仅部分磁路得到共用，对磁元件整体体积的减小效果有限。同样的，该集成结构可以对集成共用的磁路部分进行调整，如图 1.34 所示为电感和变压器左右叠放的集成结构^[133]，变压器和电感共用磁元件中间磁柱。

在全波整流电路、多相隔离型 Boost 或者推挽电路等拓扑架构中，电感和变压器的集成可以采用图 1.35 所示的结构^[55, 130, 131, 134-136]，该结构中电感绕组单独绕制在一独立磁柱上，原、副边绕组绕制在其它两个磁柱上。由于变压器不开气隙，变压器的励磁磁通不流经电感磁柱，因此电感部分相对独立，因此该结构可应用于没有直接电气连接的电感和变压器集成。

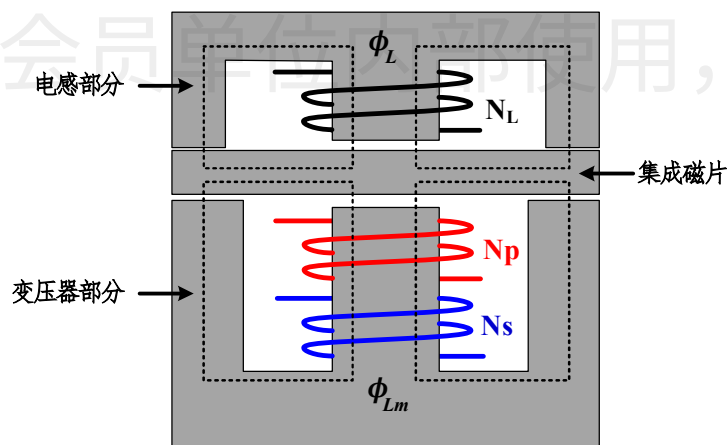


图 1.33 上下叠放式磁芯集成结构

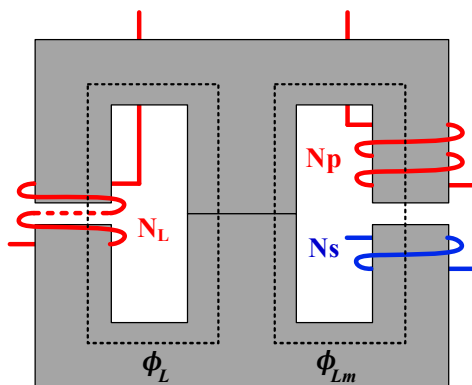


图 1.34 左右叠放式磁芯集成结构

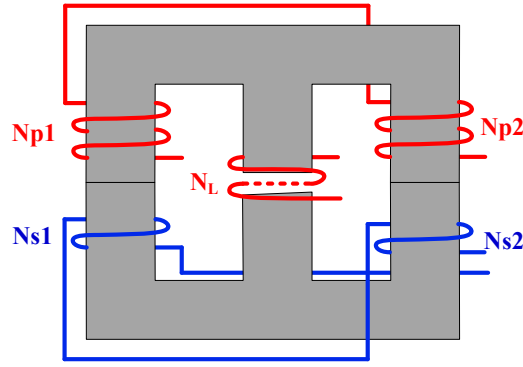
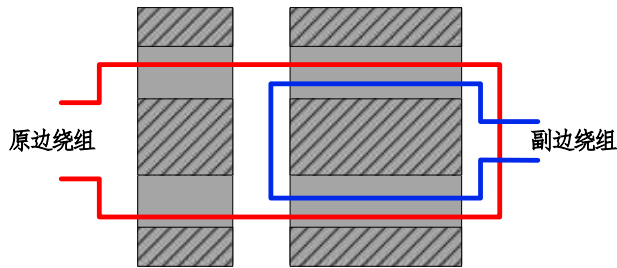
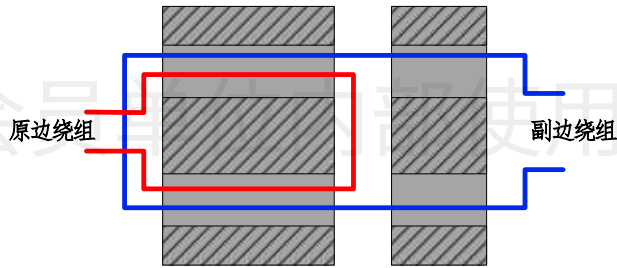


图 1.35 多磁柱绕组集成磁结构



(a) 原边绕组与电感绕组集成



(b) 副边绕组与电感绕组集成

图 1.36 电感与变压器部分绕组集成

上述磁结构电感和变压器实现了磁芯的集成共用，绕组未进行集成。与之对应，在集成结构中可以将电感和变压器绕组进行集成共用，实现绕组总长度的减小。如图 1.36 所示为变压器绕组和电感绕组集成的磁结构^[137-140]。图 1.36 (a) 为变压器原边绕组与电感绕组进行了集成共用，等效电感集成在变压器的原边侧；图 1.36 (b) 为变压器副边绕组与电感绕组进行了集成共用，等效电感集成在变压器的副边侧。与传统部分磁芯集成的结构相比，图 1.36 所示集成结构中的电感和变压器磁芯相对独立，可基本按照分立磁元件设计。上述结构中磁芯相对独立，导致磁芯体积无法减小，有学者提出将电感和变压器的磁芯盖板一体集成的结构，为电感和变压器磁通的叠加提供了通路，可以实现磁芯进一步集成，减小磁芯盖板厚度^[138, 140, 141]。上述结构推导到三相系统时，三相基波叠加磁通为零，没有绕制绕组的磁柱可以去掉，实现高密度的磁芯集成^[139]，其结构顶视图如图 1.37 所示。

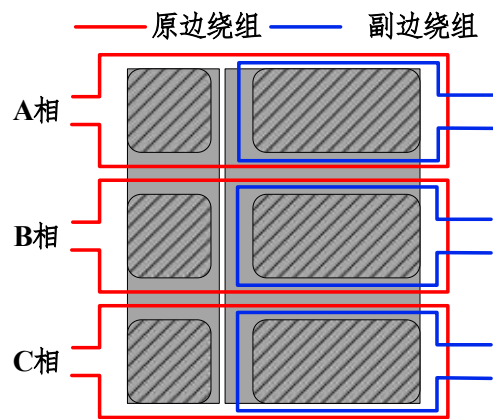


图 1.37 三相系统绕组集成磁元件剖面图

另一类应用较为广泛的磁集成结构将倍流整流电路中的电感和变压器集成一体应用 [142-145]，实现了磁元件体积的减小。由于倍流整流电路中输出侧的两个滤波电感在电路结构上等效为串联后与变压器副边侧绕组并联，因此副边绕组端口与两颗倍流整流电感所承担的电感激励相同，因此在磁元件集成时可以将副边绕组与两颗输出电感绕组集成共用。图 1.38 为倍流整流电路中分立磁元件的连接结构，图 1.39 (a) 将倍流整流电感与变压器的磁芯进行集成，图 1.39 (b) 进一步将倍流整流电感与变压器的绕组进行了集成。

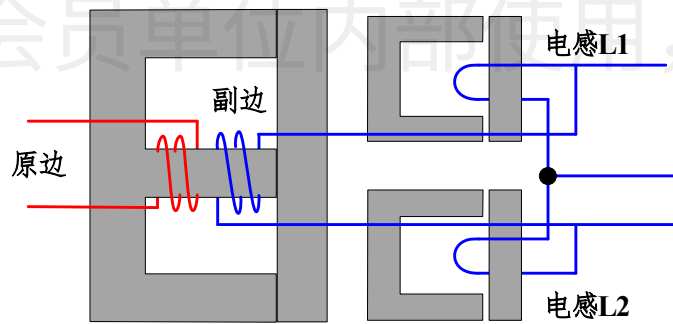
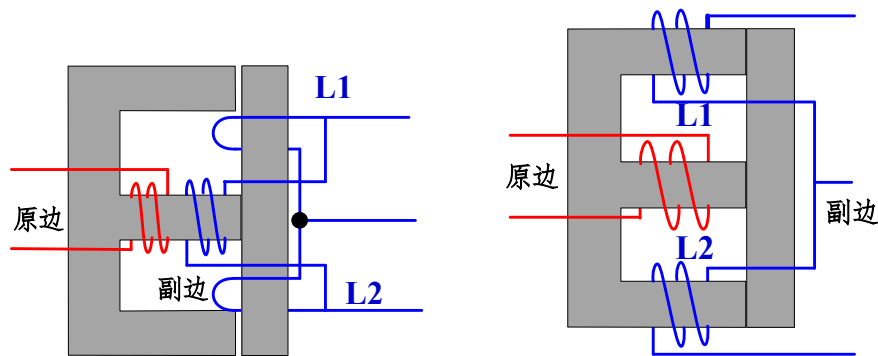


图 1.38 传统倍流整流电路变压器和电感连接方式



(a) 倍流整流电感与变压器磁芯集成 (b) 倍流整流电感与变压器绕组集成

图 1.39 倍流整流电路中的磁集成

此外,还有针对变换器特定问题所做的磁元件集成方案。诸如通过特定的绕线方式实现灵活的匝比变换^[146];利用 PCB 绕组的寄生电容实现变压器与谐振腔的集成^[147];将绕组在垂直方向上集成以减小 PCB 层厚及层间寄生电容^[148];将磁路磁通在正交方向上集成以实现更高的磁芯利用率^[149]等。

总之,根据不同电路拓扑中磁元件所受的励磁特性,配合磁路结构设计,可以实现电感和变压器绕组/磁芯的集成,可以实现变压器和电感的相对解耦集成,或者深度耦合集成,最终实现集成磁元件的小型化设计。

1.4 高效率大功率密度磁集成技术难点

分立磁元件所承受的电磁场环境相对单一,分析模型简单,设计方案成熟;但在集成磁元件中,由于绕组和磁路的集成,电磁环境变得复杂,这对集成磁元件的分析和设计带来了诸多新的挑战。

在磁芯设计方面,分立变压器和电感磁元件磁芯中所产生的磁通大小和频率会随着变换器工况发生变化,设计时可以根据最大负载电流计算电感的磁通大小,根据最大励磁电流计算变压器的励磁磁通。然而,在集成磁元件中,磁芯中的叠加磁通幅值会随着工况变化出现不同的叠加情况,最大值不一定出现在分立元件磁通最大的工况下,需要对所有工况进行遍历计算以得磁通的最大值。

在绕组设计方面,变压器和电感集成后,由于绕组和磁路的叠加,绕组所处空间的电磁场也可能由单一变压器励磁电流产生的磁场或者电感电流产生的磁场变为叠加磁场,空间电磁环境的变化可能会导致绕组中的涡流增大,绕组中电流分布变得不均匀,绕组损耗加剧。

在集成磁元件损耗评估方面,集成磁元件所承受的复杂的电磁环境导致磁元件的损耗难以准确建模计算,测试时绕组损耗和磁芯损耗难以分离,因此集成磁元件的绕组损耗和磁芯损耗的前期评估和后期的实验测试都相对困难。

从其它特性上来讲,集成磁元件也存在不少挑战。集成磁元件的电磁场更加难以管控,比如分槽绕组集成磁元件会产生大的磁场泄漏,在附近元器件上引起涡流、造成电磁干扰等问题;集成结构会使得等效电感绕组匝数变化,等效电感绕组匝数明显偏小时会导致集成磁元件所需磁芯截面积明显变大,集成磁元件失去体积优势;集成磁元件绕组或磁芯结构设计不合理会造成空间浪费。

因此,在设计集成磁元件时,需要考虑集成后的电磁场叠加状态进行分析与优化,以充分发挥出集成磁元件提升变换器整体效率或功率密度的优势。

1.5 本文的研究目标及研究内容

本文的研究目标：

本文基于车载充电机高效率、高功率密度、宽增益范围的需求，针对车载充电机后级 DC/DC 部分磁元件体积占比大、严重限制了车载充电机功率密度进一步提升的问题，旨在找出现有谐振电感和变压器集成结构损耗大、功率密度不佳的关键原因，探索实现磁路和绕组高效集成的设计方案，提出针对集成磁元件绕组损耗和磁芯损耗的简易实验方法，为高性能磁元件的集成设计提供有效指导。

本论文的主要内容概括如下：

第二章针对低频线绕式电感和变压器的集成展开研究。首先针对现有广泛应用的分槽绕组集成磁元件磁柱中最大磁通分布极不均匀的问题，提出了通过调节原、副边谐振电容容值来实现磁通最大值平衡的方案，该方案在解决磁通分布不均匀的同时也实现了磁芯中磁通最大值的减小。在此基础上，针对分槽绕组集成磁元件严重的磁场泄漏问题，提出了将绕组分区域交错的结构，在保持集成磁元件小体积的同时使得磁元件对外泄漏磁场抵消，基本消除了对外泄漏磁场造成的涡流损耗等不利影响。

第三章基于不对称绕组平面集成磁元件，针对现有方案在集成大的谐振电感时截面积过大且优化方法缺失的问题，分析了该集成磁结构有效电感绕组和有效变压器绕组的构成，揭示了集成磁元件中承担谐振电感磁通和变压器励磁磁通的绕组特性。依据绕组空间磁动势幅值最小分布的原则，提出了电感和变压器绕组混合层叠时的最佳绕组排布结构；以变压器绕组匝数、有效谐振电感绕组匝数为自由变量对所设计的集成磁结构进行建模分析，在保持小体积的情况下使得不对称绕组集成磁元件集成了更大的谐振电感。最后设计磁元件在搭建的样机上对所提出的优化设计方案进行了验证。

第四章针对现有平面集成磁元件普遍存在的 PCB 空间浪费的问题，提出了等效谐振电感绕组向同一谐振电感磁柱集成的结构，提升了 PCB 空间利用率；并且使用原、副边绕组同时与电感绕组集成的结构，进一步减小了绕组的总长度。针对等效电感绕组部分损耗严重的问题，提出了通过分段气隙调节空间磁场减弱垂直穿过绕组磁场分量的磁结构，减小了绕组损耗。同时，针对集成元件绕组损耗和磁芯损耗难以简便地直接实验测量的问题，基于所提出的集成结构，设置了单变量对照实验，通过对比测试的方法分离了绕组损耗和磁芯损耗。最后实验验证了所提出的分析与设计方案的可行性和合理性。

第五章对全文的工作进行了总结，同时对集成磁元件可探讨的优化方向进行了展望。

第二章 绕线式低磁场泄漏集成磁元件研究

在目前的常规的高压应用场合中,硅材料开关器件可靠性高、应用技术成熟、价格低廉,因此得到了广泛应用。但是,高压硅器件寄生电感、寄生电容等参数较大,导致单次开关损耗偏大,为了防止开关损耗过大,通常变换器采用几十千赫兹到一百千赫兹左右的开关频率。低频工况下绕线式绕组结构灵活方便,得到了大规模应用。

通过第一章对磁元件集成与优化的调研和综述可知,磁元件的集成可以在不牺牲电路其它部分性能的情况下通过绕组复用和磁路复用的方式来减小绕组长度、绕组匝数或磁芯截面积,从而缩小磁元件整体体积、提升变换器效率。但如绪论所述现有的绕线式集成磁元件仍然存在集成度偏低、或磁场泄漏严重等诸多问题。本章针对上述问题,首次提出绕组结构重构、分段交错的概念,设计了一种体积小、对外泄漏磁场低的变压器和电感的集成磁元件结构。

本章所涉及的磁元件的应用于车载充电机(OBC)后级的DC/DC变换器,基于串联谐振电路拓扑,针对其中的谐振电感和变压器的集成与优化开展研究。

2.1 串联谐振拓扑及其控制策略

在OBC应用中,由于负载侧电池电压宽范围变化,变换器的谐振电感要足够大以保证在满足电路增益变化时电路开关频率限定在合理范围内。图2.1展示了输出侧电池的充电曲线,输出电压在200~275V时,电路工作于恒流充电模式,输出电流 I_o 为24A;输出电压在275~450V时,电路工作于恒功率充电模式,输出功率为 P_o 为6.6kW;输出电压在450V时,电路工作于恒压模式。

本章节所研究的磁元件基于LC串联谐振拓扑(图2.2),根据功率等级原、副边均采用全桥结构。图中展示了采用谐振电感和变压器集成的磁结构,励磁电感足够大,不参与谐振,因此未在图中画出。采用分槽绕组集成磁结构时,等效谐振电感分布在变压器两侧,由于励磁电感可以忽略,谐振电感可以向单侧折算,因此电路工作状态与传统电感在单侧的LC串联谐振电路几乎一致。

为了实现电路整个输出电压范围内的高效率,电路的谐振点设置在主要工作范围的中间点左右,谐振点输出电压约350V,全工作范围内电路需要工作于升压和降压的不同模式。传统基于调频控制的LC串联谐振电路无法实现电路增益大于1的升压功能。为了使电路能够满足全增益范围的输出要求,同时缩减工作时的调频范围,本章的控制策略采用调频控制和副边开关管延时关断控制的混合控制模式^[150]。

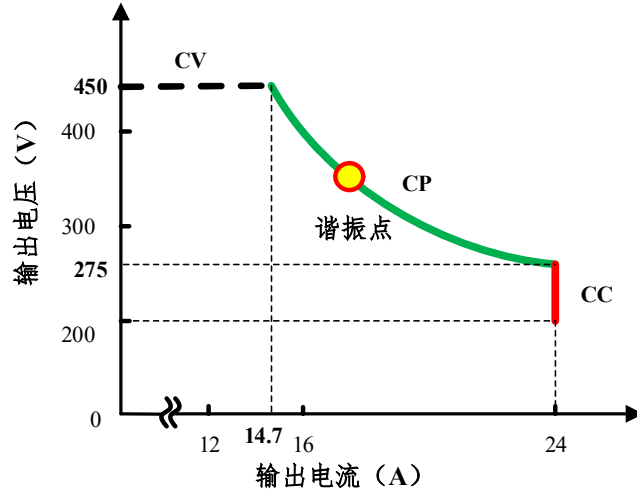


图 2.1 电动汽车电池充电工况曲线

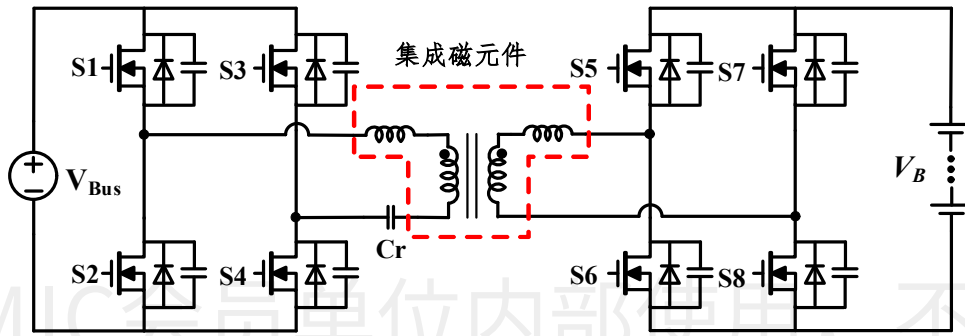


图 2.2 基于集成磁元件的 LC 串联谐振拓扑

图 2.3 为 LC 串联谐振电路处于升压工作模式时的门极控制信号逻辑及原边侧谐振腔电流波形图。在 $t_1 \sim t_2$ 时刻电路工作模式如图 2.4 所示。本章所采用的控制方案中，桥臂上、下管的门极信号互补开通，占空比接近 50%（忽略死区时间），相比于传统的 PFM 控制，在实现电路升压时，增加了副边开关管延时关断的控制模式，使得电路出现 Boost 特性。具体地说，在 t_1 时刻，原边谐振腔过零，而副边桥臂中的开关管 S6 相比于原边开关管 S2 的驱动信号延时 T_d 时间关断。在该延时关断时间段内，由于原边侧的电流过零，副边整流侧的电流由开关管 S7 自然切换到开关管 S8 的体二极管；由于 S6 保持开通，此时磁元件副边侧桥臂端口被短路，该模式下原边侧的电源向谐振腔元件存储额外能量，该模式向谐振腔存储的额外能量在 $t_2 \sim t_3$ 时段释放到输出侧。根据功率守恒，在输出电流不变的情况下，谐振腔额外增加的能量使得副边侧电压升高。在合理的参数设计范围内，副边延时关断时间 T_d 越大，电路增益越高。本控制策略参考文献^[150]，该文献中对电路的模式、增益表达式等都有详细建模和分析，本章在此不做赘述。

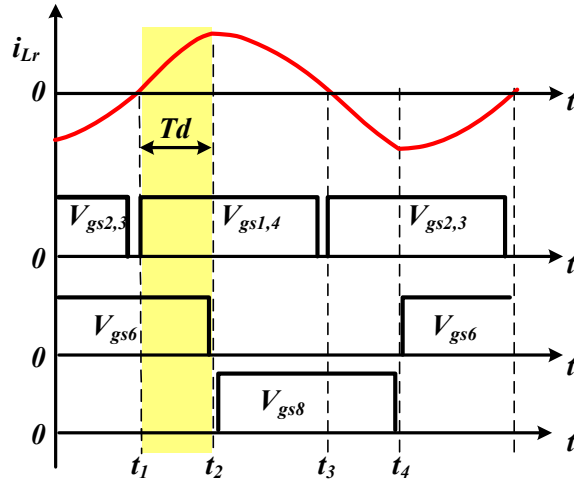


图 2.3 升压工作模式下的控制逻辑及关键波形

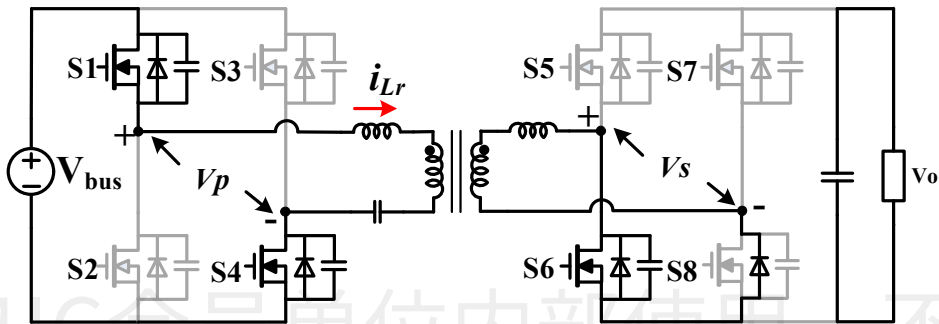
图 2.4 LC 串联谐振电路副边延时控制时段 ($t_1 \sim t_2$) 电路模式

图 2.5 所示为该控制模式下 LC 串联谐振电路的增益随归一化的开关频率变化的曲线。传统基于 PFM 控制的 LC 串联谐振电路增益曲线如蓝色曲线所示，在整个频率范围内增益均小于 1；在谐振点左侧，谐振腔处于容性工作状态，无法实现开关管的零电压开通，因此工作频率范围一般设计在谐振点及其右侧。在电路输出范围处于降增益的工作范围内，电路处于 PFM 控制模式，其增益与传统的 LC 串联谐振工作模式相同，如图中蓝色曲线实线部分所示；电路输出范围处于升增益工作范围时，副边延迟开通导致变压器副边侧绕组被短路，该模式会导致谐振腔电流提前过零，电路工作进入容性工作模式，因此需要同步提高开关频率，以确保开关管工作于软开通 (ZVS-on) 的区域。在升增益模式下，其增益曲线如图中红色实线所示。根据本章所设计样机的输入/输出规格，在输出电压范围内满载工况下的开关频率以及副边延迟关断控制时间 T_d 的参数如图 2.6 所示，电路中变压器变比为 18:16，谐振频率约 60kHz，谐振电感为 75 μH 。谐振点设置在输出电压 350V 左右，低输出电压时仅通过提升开关频率使得增益降低，此时副边延时关断时间为 0；输出电压高于 350V 时，通过增大副边延时关断时间以提升输出电压，同时开关频率同步提高以确保开关管软开关的实现。

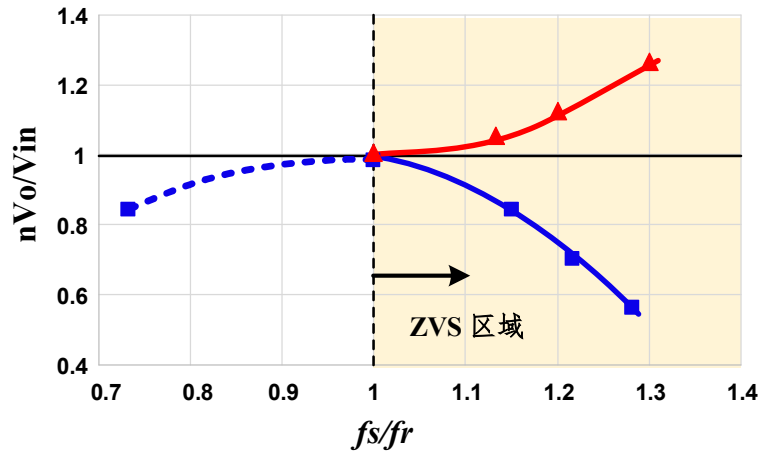


图 2.5 增益曲线随归一化开关频率的关系

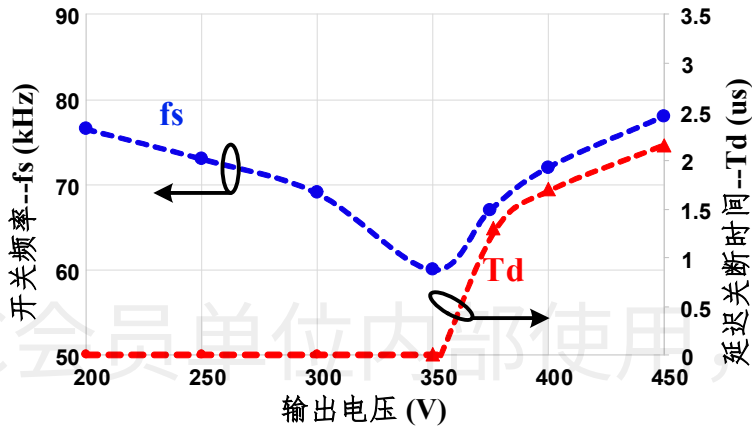


图 2.6 整个电池充电范围内的延时关断时间与开关频率

2.2 分槽绕组集成磁元件

传统低频工况下, 由于磁元件绕组匝数较多, 为了方便设计和生产, 通常采用多股漆包线或者利兹线作为绕组来制作磁元件。从第一章的调研中可知, 目前集成磁元件的方案有多种结构, 其中分槽绕组集成磁元件利用变压器的漏感作为谐振电感取代外置电感实现磁元件的集成效果, 这种磁元件结构简单, 易于制作。

图 2.7 为分槽绕组集成磁元件的基本结构, 由传统的“E”型磁芯改变为“U”型磁芯。该结构绕组绕在磁元件的磁柱上, 一半绕组暴露在空气中有利于绕组散热。另一方面, 该结构两边柱的绕组产生的漏磁通除了窗口内侧的空间可以作为漏磁路, 窗口外侧的空间也可以作为漏磁路, 且外部漏磁路空间体积远大于窗口内侧空间体积, 因此构造同样大小的漏感时, 相比于基于“E”型磁芯的分槽绕组集成磁结构, 该分槽绕组结构所需的磁芯体积可以更小, 因此本章首先对该分槽绕组集成磁元件进行了分析和设计。

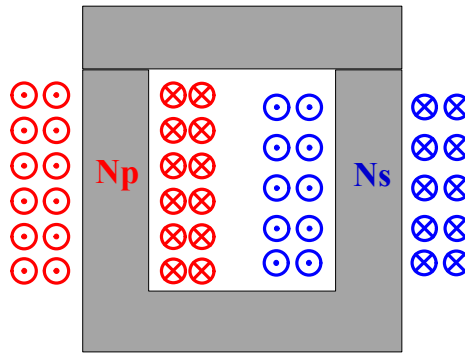


图 2.7 基于“U”型磁芯的分槽绕组集成磁结构

2.2.1 分槽绕组集成磁元件磁通分析

如图 2.8 所示磁柱中流过左侧 A 磁柱磁通是励磁磁通 Φ_{Lm} 以及原边等效谐振电感磁通 Φ_{Lr} 的正向叠加；类似地，流过右侧 B 磁柱磁通是励磁磁通 Φ_{Lm} 以及副边等效谐振电感磁通 Φ_{Lr} 的反向叠加。

对于该分槽绕组集成磁元件，原、副边绕组耦合度较低，原、副边绕组的单匝绕组伏秒不同，导致原、副边绕组所在磁柱磁通出现差异。图 2.9 所示为集成磁元件的剖面图，磁芯可分为上下左右（以 A、B、C、D 记）4 个磁柱部分，左右磁芯柱分别绕有原、副边绕组。如图 2.9 所示不同的磁通叠加状态导致不同磁柱中磁通分布有明显差异（仿真参数：开关频率 60kHz，原边电流峰值 22A，副边电流峰值 24.75A）。作为连接 A、B 磁柱的顶部磁柱 C 和底部的磁柱 D，流过它们的磁通可近似看做从左到右由 A 磁柱的磁通逐渐减小为 B 磁柱的磁通。在不同的工况下，不同磁柱中的最大通量会出现很大差异，因此磁通密度也会随之变化。为了防止磁芯饱和，在磁芯截面设计需要按照磁芯中最大的瞬时磁通考虑。

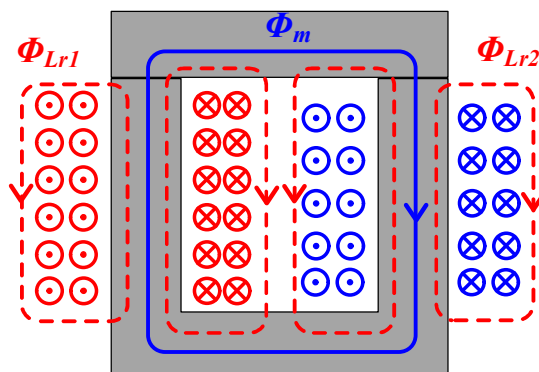


图 2.8 “U”型磁芯的分槽绕组集成磁结构磁通分布

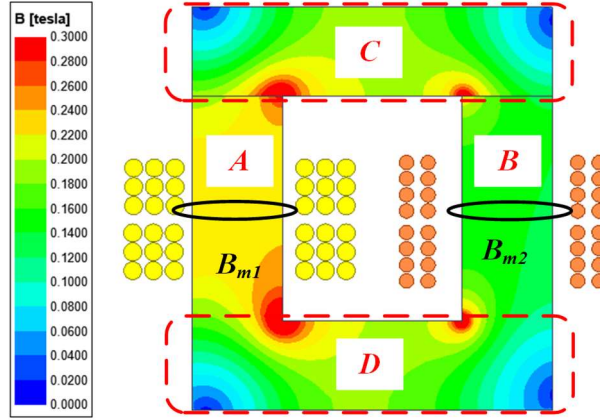


图 2.9 不同磁柱中的磁通分布分析

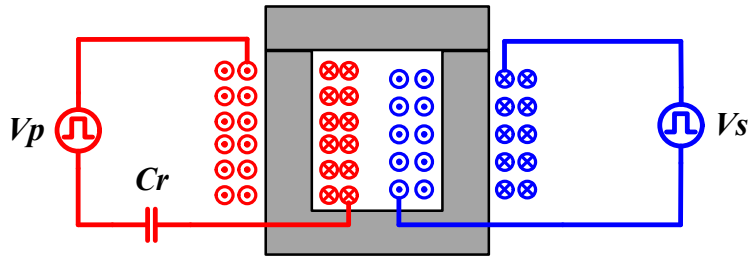


图 2.10 分槽绕组集成磁元件及其外围简化电路

在本章所研究的集成磁结构中，原边侧绕组和副边侧绕组分布在左、右两个不同的磁柱上，对应的电路及磁结构简化结构如图 2.10 所示。磁芯中的磁通量与绕制在磁芯上的绕组端电压的伏秒成正比，因此本章以绕组的伏秒来评估磁柱中磁通量。因此，可以分别用原边侧和副边侧绕组的伏秒来反映左、右磁柱中的磁通量大小。对于图 2.2 所示的 LC 串联谐振变换器，原、副边绕组端口总的伏秒分别为：

$$\text{Volt} - \text{Sec}_P = \int_0^{\frac{T_s}{2}} |V_P(t) + V_{Cr}(t)| dt \quad (2.1)$$

$$\text{Volt} - \text{Sec}'_S = n * \int_0^{\frac{T_s}{2}} |V_S(t)| dt \quad (2.2)$$

其中 $V_P(t)$ 是原边侧桥臂中间点间的电压， $V_S(t)$ 是副边侧桥臂中点间的电压， $V_{Cr}(t)$ 是谐振电容器的电压。 $\text{Volt} - \text{Sec}_P$ 是原边侧绕组的伏秒数，由于原、副边绕组匝数不同；考虑变比进行归一化比较将副边侧绕组的伏秒数乘以变压器匝数比 n 向原边侧折算，记为 $\text{Volt} - \text{Sec}'_S$ 。

图 2.11 展示了基于式 (2.1) 和式 (2.2) 得到的在变换器满载输出工况下整个输出电压范围内原边侧绕组和副边侧绕组的伏秒大小。红色曲线是原边侧绕组端口的伏秒，蓝色曲线是折算后的副边侧绕组端口的伏秒。在整个输出增益范围内，绕组端口的伏秒变化很大；更糟糕的是，原、副边两侧绕组之间的伏秒最大值差异超过 50%。如图 2.12 所示，如

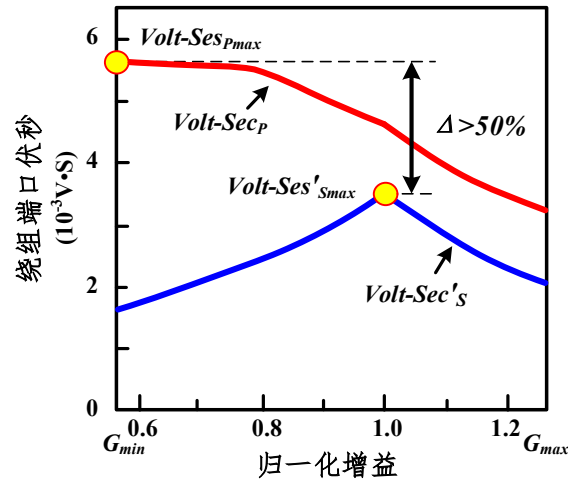
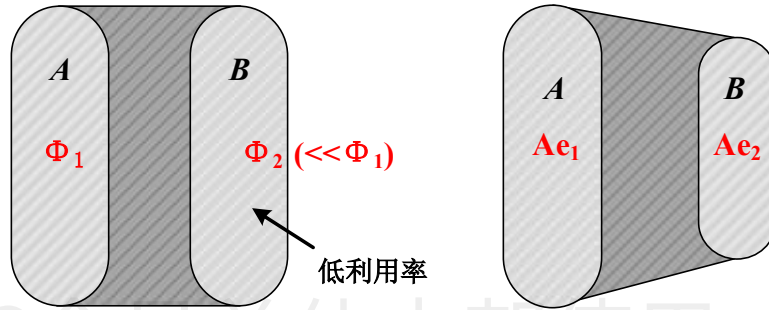


图 2.11 传统分槽绕组集成磁结构不同磁柱磁通幅值分布



(a) 不同磁柱相同截面积设计 (b) 不同磁柱需差异化设计

图 2.12 传统分槽绕组的磁元件

果每个磁柱的横截面核心面积设计相等，则除原边侧绕组所在的 A 磁柱外，其它磁柱的利用效率将会非常低。如果左侧 A 磁柱和右侧 B 磁柱的横截面按两侧绕组各自的最大磁通进行分别设计，磁芯利用率可以提高，但差异化定制设计会导致成本上升，并且磁元件整体的空间利用率也难以提高。

2.2.2 分槽绕组集成磁元件最大磁通均一化设计

传统的分槽绕组由于原、副边绕组的弱耦合，在不同工况下会使得原、副边绕组所在磁柱中的磁通幅值差异很大，磁芯优化困难。若能够将不同磁芯的最大磁通调整为大小相等，则可以实现磁元件的截面积可进行简易的均等化设计，提高集成磁元件磁芯利用率，获得高功率密度的集成磁元件。从式 (2.1) 和式 (2.2) 可知，在电路参数确定的情况下，原、副边侧绕组的伏秒也固定，无法通过改变电路规格解决传统分槽绕组集成磁元件不同磁柱磁通差异大的问题。

在串联谐振电路中，变压器近似看作理想变压器，如果把分布在原边侧谐振电容分配至变压器两侧（如图 2.13 所示），只要保证根据变比折算后总的容值不变，电路的工

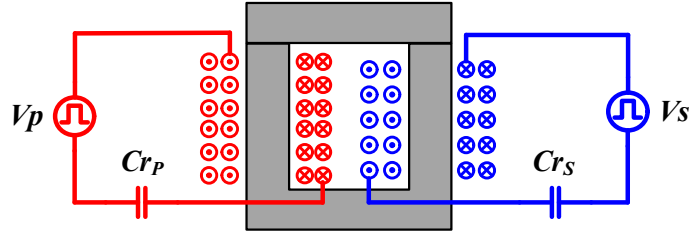


图 2.13 双边谐振电容分布的集成磁元件

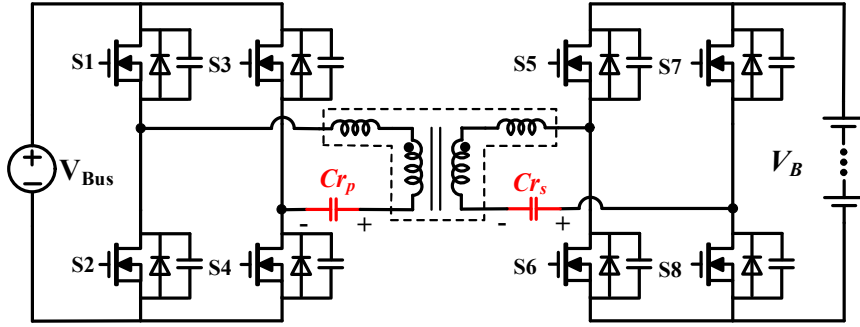


图 2.14 双边谐振电容分布的 LC 串联谐振电路

况基本不发生变化。当谐振电容被分开分布在变压器两侧时，单侧的谐振电容电压会随着谐振容值的改变而变化，该结构为集成磁元件原、副边绕组的伏秒引入了谐振电容电压这一额外可调变量，可以实现不同磁柱中最大磁通的平衡。

当谐振电容分布在集成磁元件两侧时，绕组的伏秒由式 (2.1) ~ (2.2) 变为 (2.3) 和 (2.4)：

$$Volt * Sec_p = \int_0^{\frac{T_s}{2}} |V_p(t) - V_{Crp}(t)| dt \quad (2.3)$$

$$Volt - Sec'_s = n * \int_0^{\frac{T_s}{2}} |V_s(t) + V_{Crs}(t)| dt \quad (2.4)$$

为了实现集成磁元件不同磁柱中最大磁通的一致，根据式 (2.3) 和 (2.4)，通过调节谐振电容在集成磁元件原、副边侧的容值大小，可以实现对绕组端口伏秒的调节，最终得到使不同磁柱中最大伏秒相同的谐振电容容值参数。以归一化的分配在副边侧的谐振电容容值 C_{rs}^* 为自变量（基准值为 $n^2 C_r$ ），将图 2.11 中的整个变换器工作范围内原、副边绕组端口伏秒的最大值作为因变量，在图 2.15 中描绘了随着副边谐振电容容值的变化时，原、副边绕组最大伏秒的变化。从中可见随着副边侧谐振电容容值的增大，原边侧绕组的最大伏秒增加，副边侧绕组的最大伏秒减小，两者在归一化的谐振电容容值 $C_{rs}^* \approx 2$ 时取得相等的值，即按照该参数下进行谐振电容容值分配，可以使得不同磁柱中的最大磁通取得相等值。

图 2.16 所示为谐振电容分布在原、副边绕组双边后,随着谐振电容容值分配的改变,原、副边谐振电容上最大电压应力的变化情况。可见,随着副边谐振电容容值的减小,副边电容所需耐压增大,原边谐振电容所需耐压减小。谐振电容仅分布在原边侧时,副边等效的串联谐振电容容值为无穷大,原边电容所需耐压高;谐振电容两侧分布时,由于每一侧的容值均变大,使得所承受的电压应力会下降,且在磁元件最大磁密相同的设计点,原、副边谐振电容所承受的最大电压基本相同,且均小于电容单侧分布时的耐压值,原、副边谐振电容可以使用同种型号的更低耐压的谐振电容。综合考虑耐压和使用个数的变化后选择谐振电容,谐振电容两侧分布并不会导致谐振电容总体积增加,不影响变换器的功率密度。与图 2.10 所示的谐振电容仅在原边分布的结构相比,本方案设计中,当 $Crs^* \approx 2$ 时,不仅实现了不同磁柱最大磁通的一致,而且最大磁通的幅值也明显下降,使得所需要的磁柱截面积减小。

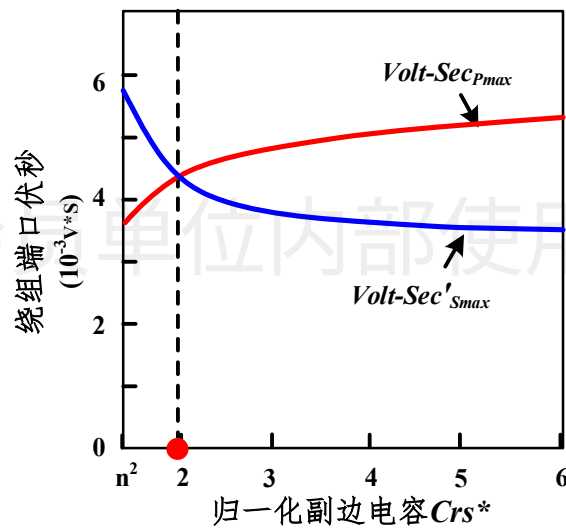


图 2.15 绕组端口最大伏秒与副边电容容值

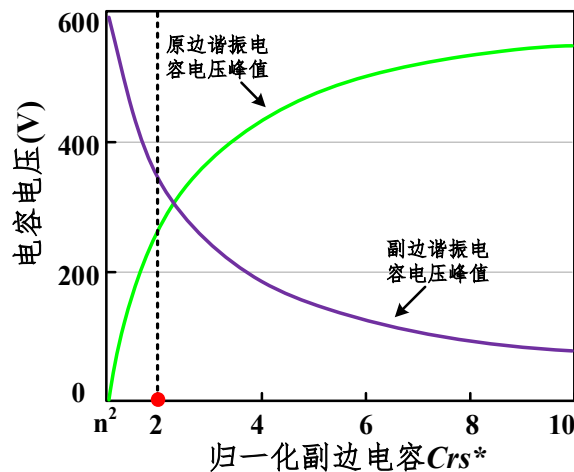


图 2.16 原、副边两侧谐振电容电压峰值随容值分配的变化

2.2.3 分槽绕组集成磁元件集成电感设计

磁元件电气参数确定后对磁元件进行仿真，其结果如图 2.17 所示，可见磁场在整个空间中呈三维形式分布（仿真参数：开关频率 60kHz，原边电流峰值 22A，副边电流峰值 24.75A）。由于空气磁回路最短，在磁原件的窗口内部原、副边绕组之间的气隙空间磁场强度最强，集成磁元件绕组外侧同样有较强的磁场分布，且随着与绕组的距离增加呈散射状分布。

由于磁结构确定之后，集成磁元件外部空间的磁场分布情况基本固定，原、副边绕组间的窗口空间磁场强度最大，谐振电感的储能大部分位于该空间内，因此为了使所设计的磁元件所集成的谐振电感感量达到目标值，最方便的方法是调节原、副边绕组的间距。但由于磁场在空间中呈三维不均匀分布，且受几何尺寸影响，难以建立统一模型通过手动计算的方式计算空间磁场来计算该结构所集成的漏感大小。因此对于分槽绕组磁结构所集成的电感量设计借助了有限元仿真工具，通过磁仿真的方式不断调整原、副边绕组的间距来调节磁元件所集成的谐振电感大小。图 2.18 所示为调节原、副边绕组距离 D 来实现所要集成的目标谐振电感感量的示意图。

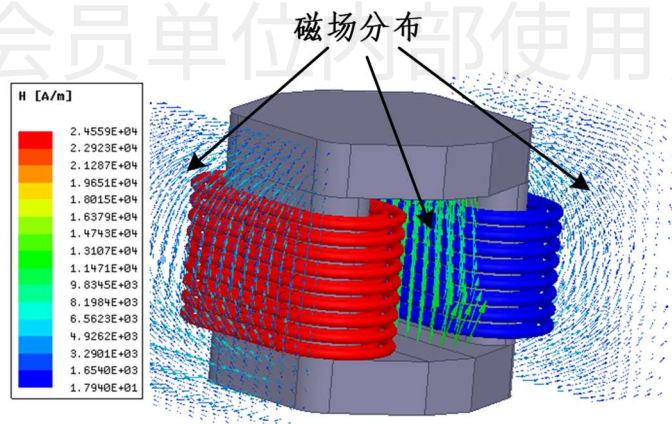


图 2.17 分槽绕组集成磁元件空间磁场分布仿真

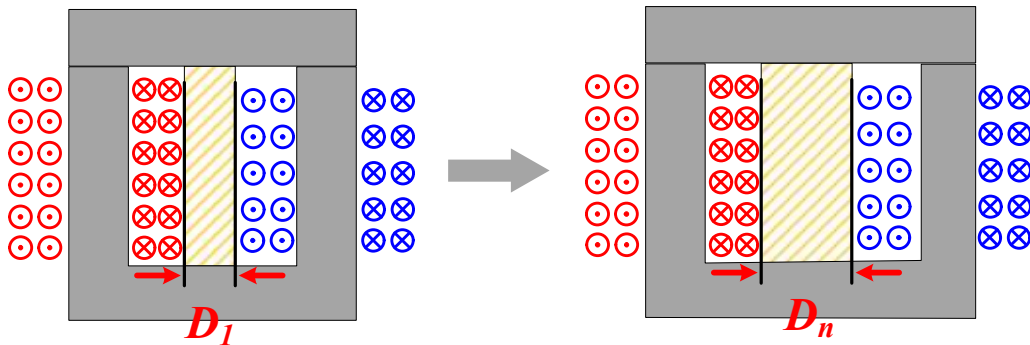


图 2.18 分槽绕组集成磁元件集成谐振电感感量调节示意图

2.2.4 分槽绕组集成磁元件实验测试

2.2.4.1 磁通分布验证

为了验证所提出的磁通分析模型和设计的可行性,本章制作了一台输出功率 6.6kW 基于 LC 串联谐振拓扑的 DC/DC 变换器实验样机,表 2.1 给出了样机的关键参数。

表 2.1 磁元件关键参数及谐振参数

谐振频率	55kHz
Lr	75μH
Crp/Crs	33nF (7 颗并联) /33nF (9 颗并联)
MOSFET	IPB65R048CFD
集成磁元件匝比	18:16
磁元件截面积	Ae=380mm ²
磁芯材质	DMR95

在实验中,磁通密度是通过测量绕在两个磁柱上缠绕的一匝紧贴磁柱绕制的辅助绕组的端电压间接测量得到的(见图 2.19)。图 2.20 为实验测得的辅助绕组端电压波形 V_{AB} 和 V_{CD} 。根据法拉第电磁感应定律,线圈端电压与磁通变化之间的关系为:

$$V_{AB} = \frac{d\phi_{AB}}{dt} \quad (2.5)$$

因此左边磁柱磁通密度为:

$$B_{m1}(t) = \frac{\int_0^t |V_{AB}(x)| dx}{Ae} \quad (2.6)$$

右边磁柱的磁密 $B_{m2}(t)$ 可以用同样的方法计算。

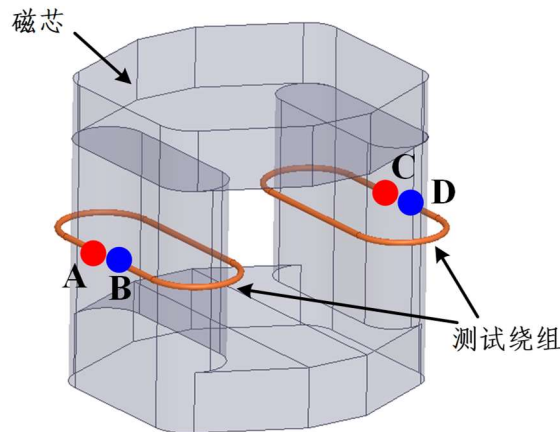
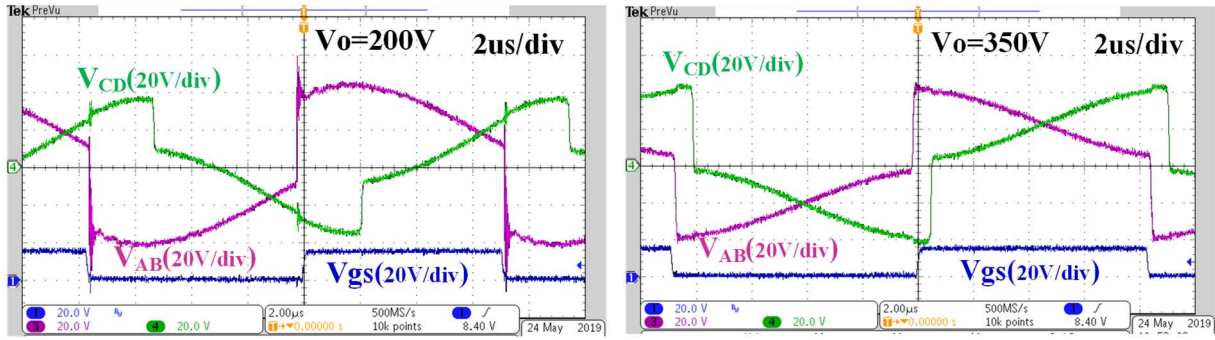
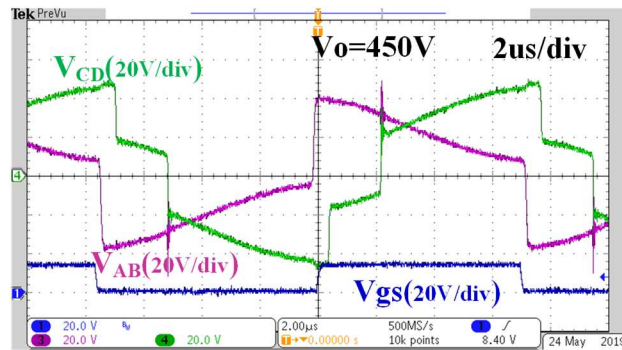


图 2.19 辅助绕组磁通测试方法



(a) 最低输出电压时的辅助绕组电压波形 (b) 谐振点输出时的辅助绕组电压波形



(c) 最高 450V 的辅助绕组电压波形

图 2.20 辅助绕组电压波形测试

从图 2.20 中可以得到 V_{AB} 和 V_{CD} 的值，再由式 (2.6) 计算出磁柱的磁通密度在一个开关周期内的瞬时分布，把不同输出电压下的磁密的峰值取出绘制在图 2.21 中。红色和蓝色线分别代表原边侧绕组和副边侧绕组所绕制磁柱的磁通密度。结果表明，在两个磁柱截面积相同的情况下，最大磁通密度几乎一致，与预期设计相同。因此，本章所提出的设计方案对集成磁元件中不同磁柱磁密最大值的均一化效果得到了验证。

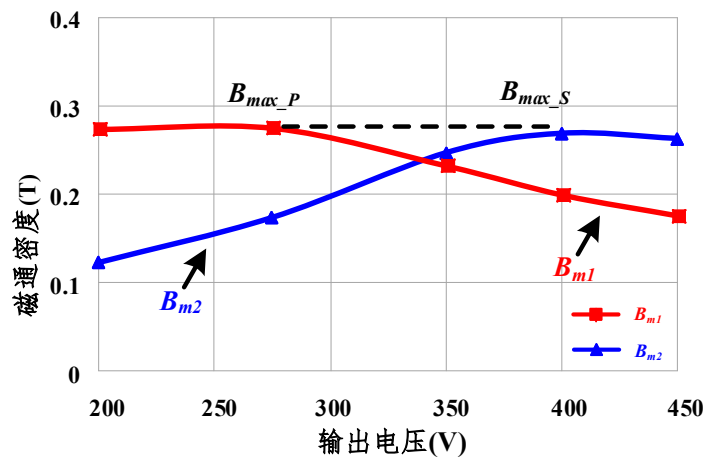
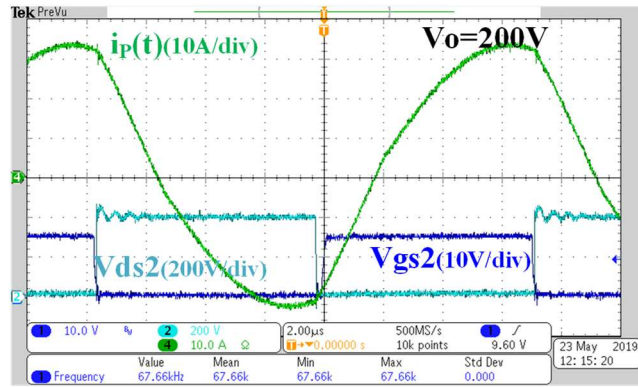


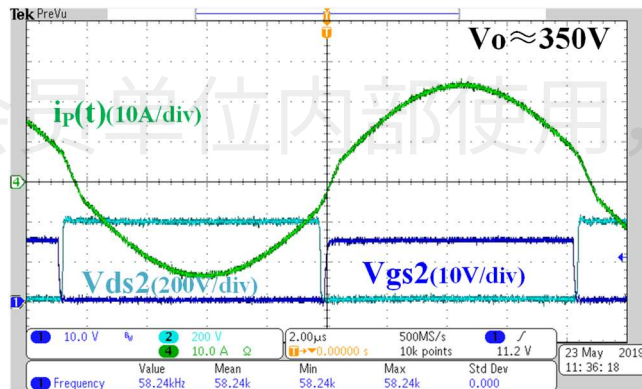
图 2.21 原、副边绕组所在磁柱磁通密度测试结果

2.2.4.2 效率测试及分析

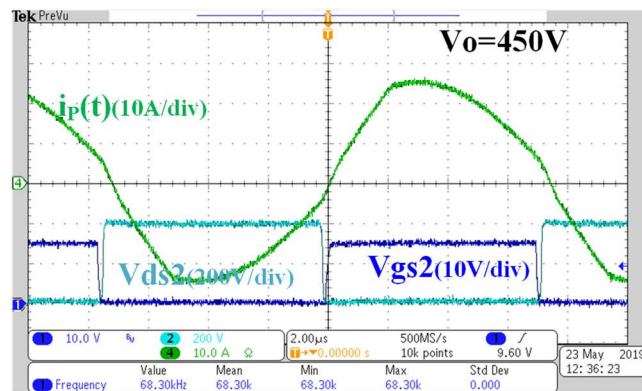
样机按照图 2.1 充电曲线对所设计的磁元件进行了测试，图 2.22 (a) ~ (c) 分别为最低输出电压、谐振点和最高输出电压时的关键波形，其中绿色谐振电流为原边侧谐振腔电流波形，浅蓝色和深蓝色波形分别为开关管 S2 的漏-源电压 V_{ds2} 和门极驱动信号 V_{gs2} 。在不同的输出电压下，原边开关管都实现了软开关。



(a) 最低输出电压时的开关波形



(b) 谐振点工作时的开关波形



(c) 最高输出电压时的开关波形

图 2.22 不同输出电压下满载工作波形

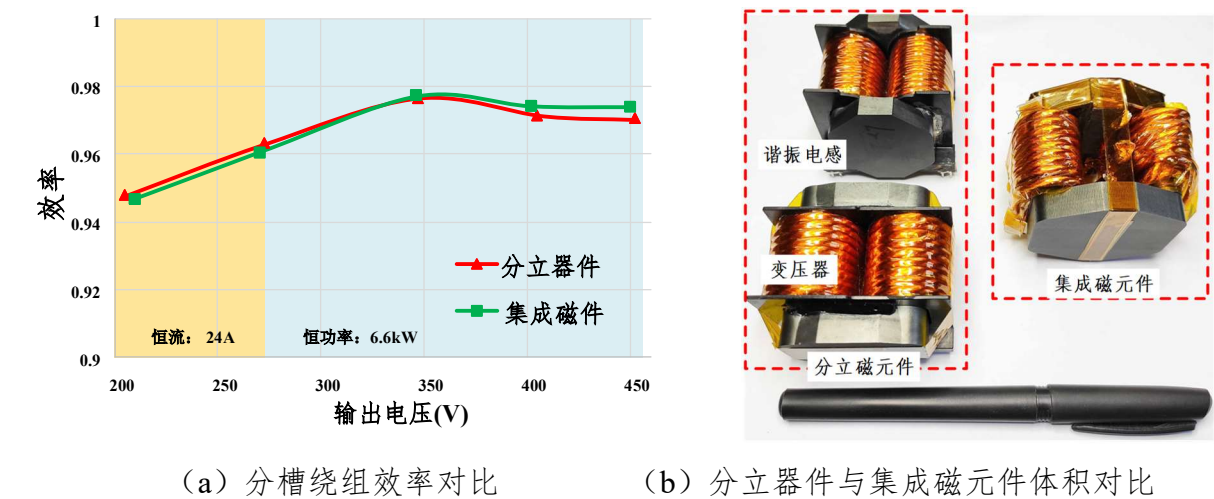


图 2.23 分槽绕组集成磁元件与分立器件对比

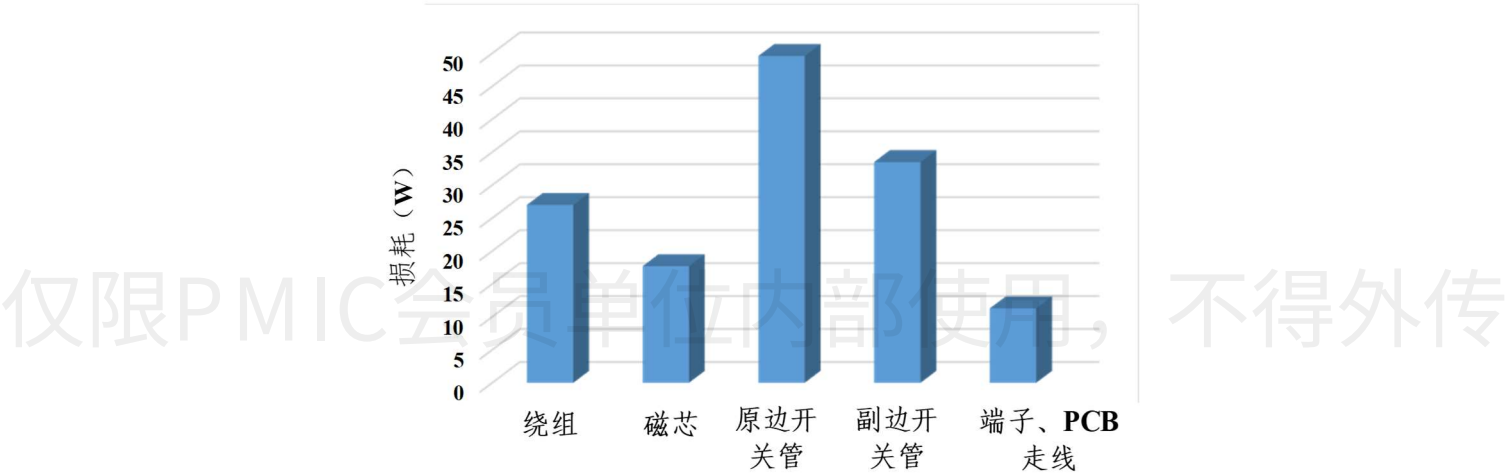


图 2.24 LC 串联谐振电路谐振点损耗分析

图 2.23 展示了全范围输出电压下的测试效率曲线，其中绿色曲线为本小节所设计的集成磁元件的效率，其峰值为 97.8%。为了验证所设计的集成磁元件的有益效果，在此同步测量了相同电气参数及磁元件规格的分立磁元件的效率，如图中红色曲线所示。与图 2.23 (b) 所示的分立磁元件和集成磁元件的体积对比，所设计的集成磁元件在保持效率基本一致的情况下，体积下降了 35% 以上，证明了所设计的集成磁元件的优势。图 2.24 所示为所设计的集成磁元件的样机在谐振点时的损耗分解，主要分为绕组损耗、磁芯损耗、原边和副边开关管损耗、PCB 走线以及连接端子损耗等部分。通过对集成磁元件的优化设计，使得电感和变压器集成磁元件的损耗占比得以控制在较低水平；由于原边电流较大，流经开关管沟道时引起的压降较大所以导通损耗较大，可以通过选择会用更小导通损耗的开关管或者宽禁带半导体器件实现进一步效率优化。

2.3 低磁场泄漏集成磁元件结构推导

2.3.1 传统分槽绕组集成磁元件问题及其解决方法

在上一小节中的分槽绕组的集成结构虽然可以将电感绕组完全消除，以变压器的漏感作为谐振电感，且磁元件体积小，整体集成度高；但是，该结构也有明显缺点：由于该结构借助绕组附近的空气磁路作为集成的电感磁路，绕组周围空间会有比较严重的磁场泄漏现象。磁元件作为主要发热元件之一，在工作时通常会尽量靠近金属散热机壳放置以减小散热时的热阻，此时该集成磁元件的泄漏磁场交链金属机壳会在机壳上引起涡流损耗，导致总损耗变大。图 2.25 展示了传统的带有额外增强电感磁柱的分槽绕组集成磁结构，该图为其剖面图，其中左侧槽中红色部分绕组为原边绕组，右侧槽中蓝色部分为副边绕组，磁元件黑色虚线为磁元件对外泄漏磁场的磁力线分布。泄漏的交变磁场穿过其临近的金属散热器时，会在散热器上引起涡流损耗，导致整机效率下降。

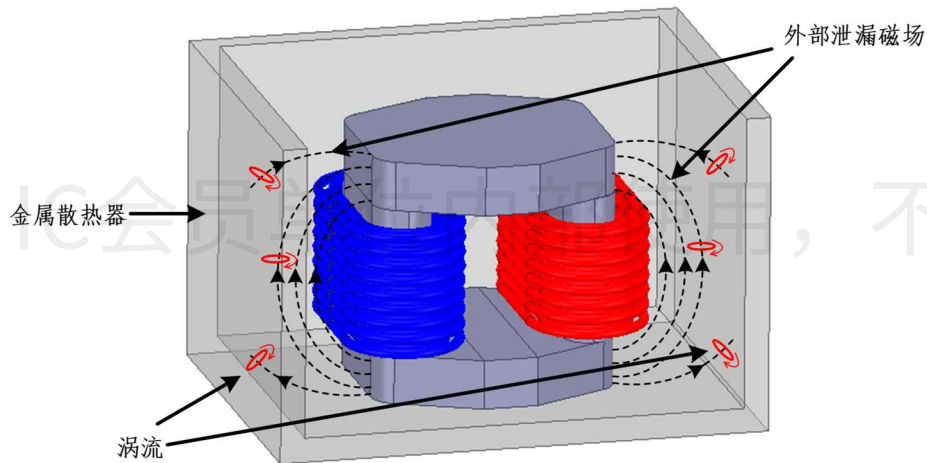
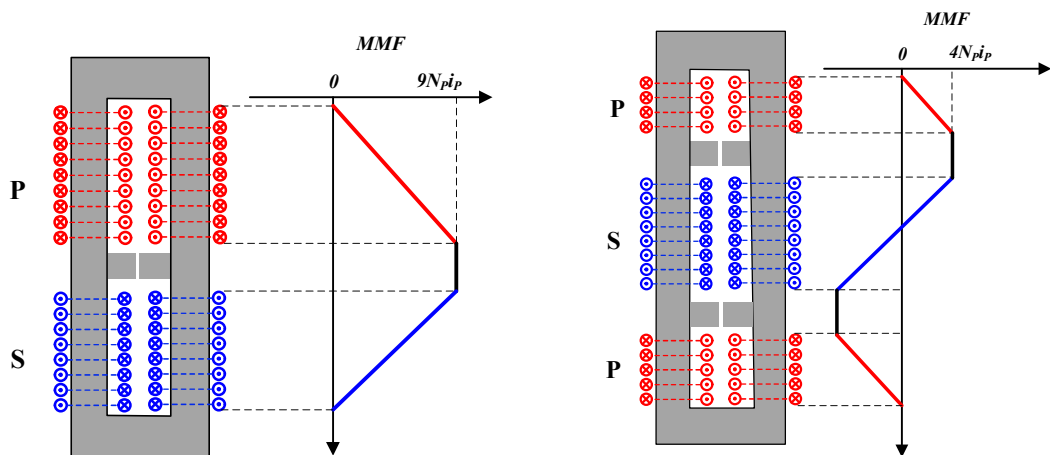


图 2.25 分槽绕组的泄漏磁场及其影响



(a) 带有电感磁柱的分槽绕组集成结构 (b) 有一定交错程度的分槽绕组结构

图 2.26 带有额外电感磁柱的分槽绕组集成磁元件及其改进

为了缓解分槽绕组磁场泄漏而导致的涡流损耗问题,可以通过减小绕组空间磁场大小的方式来缓解,例如采用将绕组进行一定程度交错的方式,图 2.26 (a) 和图 2.26 (b) 展示了通过改善绕组交错后绕组空间磁动势的变化。可以看到,将传统的“原(P)—副(S)”绕组结构,改为将原边绕组一分为二与副边形成“原(P)—副(S)—原(P)”的交错结构,磁动势幅值 MMF 会减少接近一半。尽管该结构可以减小磁动势幅值,但是由于绕组间磁场强度的减小,集成同样大小的谐振电感时需要插入额外的电感磁路磁柱,增加了磁芯体积。增加交错效果可以进一步减小 MMF 的幅值,从而进一步减小磁元件对外泄漏磁场,但会导致磁元件体积的进一步增大。

综上所述,分槽绕组集成磁结构,虽然具有高集成度的优势,但是现有的设计结构不可避免地出现严重磁场对外泄漏现象。该泄漏磁场不仅会在磁元件临近的金属散热机构上引起大的涡流损耗,同时还会引起额外的 EMI 等问题,但是现有集成方案却几乎没有针对该问题的解决方案。因此,针对该结构研究如何在保持集成磁元件小体积的基础上解决其磁场对外泄漏具有重要应用价值。

2.3.2 低磁场泄漏集成磁元件

针对分槽绕组磁场对外泄露现象严重的问题,本章提出将传统的整匝绕组进行解构,使绕组按照磁元件窗口内外侧区域进行分段,不同片段的绕组进行交错程度不均一的排布结构。图 2.27 展示了绕组重构后的集成磁元件基本结构,该图为所提集成磁结构的剖面图,红色线代表原边绕组,蓝色线代表副边绕组,磁芯分为主磁路磁元件和原、副边绕组间的谐振电感磁柱。以磁芯主磁路窗口为基本界线,原、副边绕组按空间区域分为三段:内侧绕组、外侧绕组以及交叉绕组。内侧绕组,处于磁芯窗口之中,该区域原、副边绕组完全分开使得构造等效谐振电感的有效绕组匝数最大,以增大谐振电感磁柱处的磁场强度,这样可以在构造同等大小的谐振电感的情况下使得磁元件的体积最小;外侧绕组,包围在磁芯上下表面,该区域原、副边绕组充分交错,由于在 LC 串联谐振电路中,相比于负载电流励磁电流基本可以忽略,临近的原、副边绕组电流产生的磁通近似完全抵消,因此该结构下集成磁元件对外的泄漏磁场可以减小到最低;交叉绕组,连接窗口内侧和外侧绕组,该段绕组绕制结构上原、副边倾斜交叉,以实现交错程度不同的窗口内侧和外侧绕组的衔接。该集成结构中全部原、副边绕组作为有效电感绕组来构造谐振电感,因此磁芯截面积可以保持最小;同时由于窗口外侧的原、副边绕组片段充分交错,使得集成磁元件对外泄漏磁场降至与传统绕组良好交错的变压器结构相同的水平。

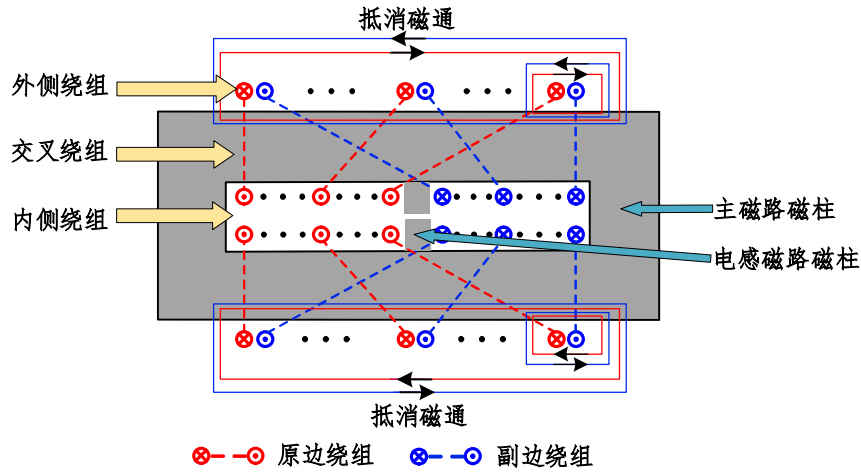


图 2.27 所提出的电感和变压器基本集成结构

2.3.3 绕组长度进一步缩短的集成磁结构

尽管上述所提出的磁结构可以在保持集成磁元件最小体积的基础上基本抵消磁元件对外泄漏磁场，但是，相比于传统集成磁元件的绕组结构，由于交叉绕组部分的存在，会导致绕组长度增加。该结构下交叉绕组最长的部分在水平方向上要横跨整个磁元件接近一半的窗口宽度，如图 2.28 所示。绕组总长度增加使得绕组直流电阻变大，绕组损耗增大。

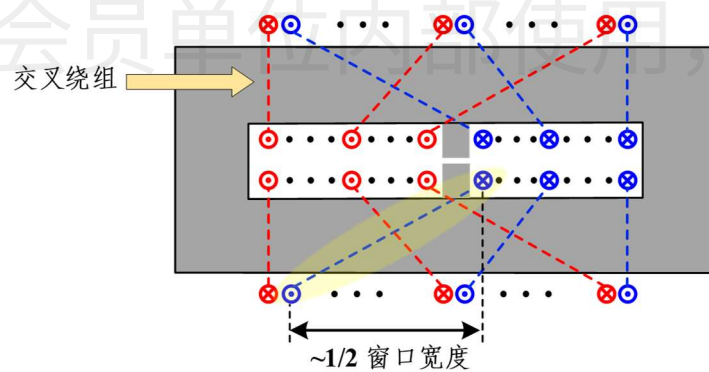


图 2.28 所提基本集成磁元件的交叉绕组尺寸

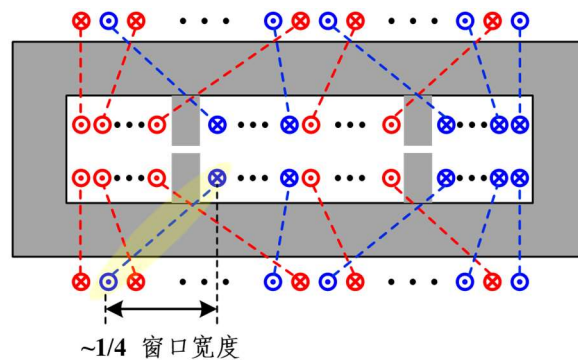
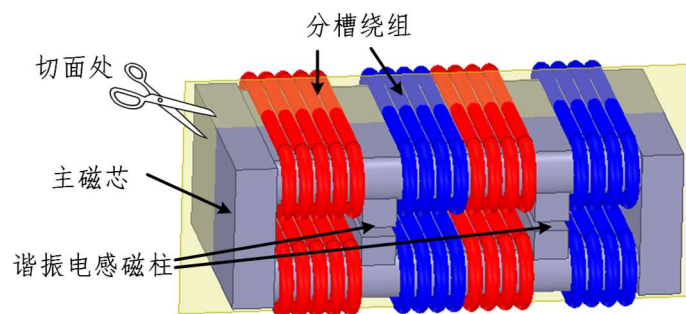


图 2.29 交叉绕组水平跨度减小的集成磁结构

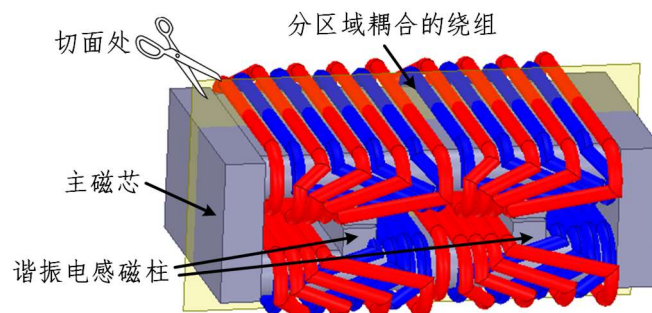
为了缓解这一问题,所提出的集成磁结构可以进一步优化,通过插入额外的电感磁柱,增加绕组的分段数,可以大幅减小交叉绕组段的水平方向最大跨度。如图 2.29 所示,额外增加一个电感磁柱之后,总的窗口宽度会略有牺牲,但交叉绕组的最大水平跨度可减小为 $1/4$ 的窗口宽度。设计时,如果磁元件绕组损耗占比仍然偏大,可以通过继续增加电感磁柱的方式减小交叉绕组的长度来减小绕组损耗。考虑实际应用中,磁芯和绕组的比例损耗相当,继续增加电感磁柱时电感磁柱体积线性增加,但交叉绕组的水平跨度下降比例越来越小,因此本章设计的磁元件选择在数量为图 2.29 所示插入两个独立谐振电感磁柱的结构。

2.3.4 磁场泄漏的抑制效果仿真验证

为了验证上述所提出的集成磁元件对磁场泄漏现象的抑制效果,本小节对所提出的低磁场泄漏集成磁元件与传统的分槽绕组集成磁元件进行了建模和磁仿真对比。为了公平地比较,本小节给出了具有相同磁芯结构的传统分槽绕组集成磁结构(如图 2.30(a)所示),绕组采用“原-副-原-副”的排布结构,原、副边绕组间插入谐振电感磁柱。图 2.30(b)为所提出的低磁场泄漏集成磁元件结构图,磁芯结构与分槽绕组结构完全一致,绕组采用不同空间区域分段交错的排布结构:主磁路磁芯内侧绕组原、副边完全分开,主磁路外侧原、副边绕组充分交错。

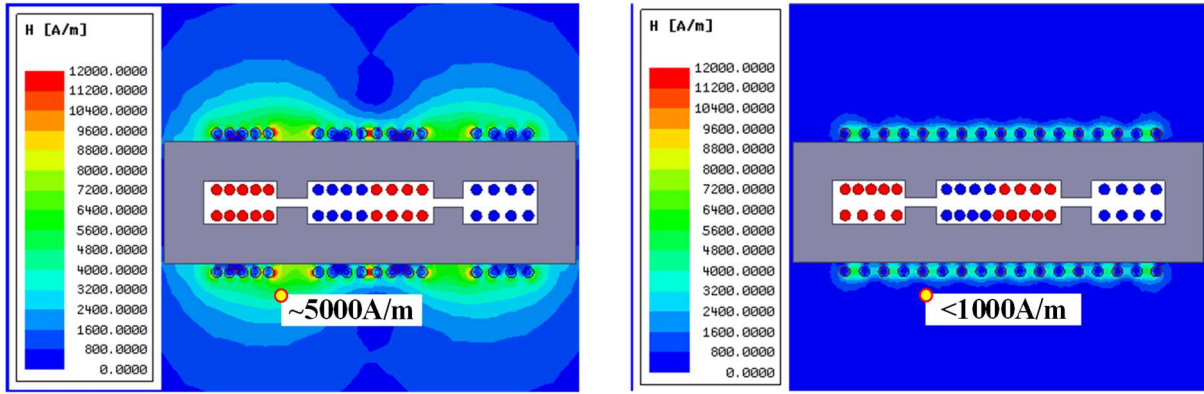


(a) 传统分槽绕组集成磁元件结构图



(b) 所提低磁场泄漏集成磁元件结构图

图 2.30 传统分槽绕组集成磁元件与所提低磁场泄漏集成磁元件结构图



(a) 传统集成磁元件外侧磁场强度分布 (b) 所提集成磁元件外侧磁场强度分布

图 2.31 不同集成磁结构外侧泄漏磁场强度分布

本文根据所建立的仿真模型进行了有限元涡流场磁仿真，两种结构的绕组上施加相同的电流激励，为原边电流峰值 $I_{Pri}=22A$ ，副边电流峰值 $I_{Sec}=24.75A$ ，开关频率 $f_s=60kHz$ 。在电流峰值时刻，不同磁元件外部磁场强度分布情况如图 2.31 (a) 和 (b) 所示。从图中对比可以看出，相比于传统结构，所提集成磁结构的外部空间磁场幅值明显下降。以图中距离磁元件最外侧绕组单倍绕组直径距离的位置磁场强度为例，磁场强度的幅值从大约 $5000A/m$ 下降到小于 $1000A/m$ ，减小为原来的 $1/5$ 以下，由于交变磁场产生的涡流损耗大小与磁场幅值的二次方成正比，因此该泄漏磁场在临近金属机壳上产生的涡流引起的损耗理论上可以下降为原来的 $1/25$ 以下。该仿真结果证明了本章所提出的集成磁结构相比于传统分槽绕组集成磁结构，对外泄漏磁场具有明显的抵消效果。

2.4 低磁场泄漏集成磁元件建模与设计流程

本小节对上述所提出的集成磁结构进行精细的数学建模与计算，给出磁元件设计的整体流程。通过建立磁元件对应的磁阻模型，对空间磁场进行计算，得出所要集成的谐振电感 L_r 与绕组及磁芯尺寸的定量关系，通过优化设计流程给出磁芯不同位置磁芯截面积的设计方法。

2.4.1 低磁场泄漏集成磁元件磁路分析

由于本章所设计的磁元件基于 LC 串联谐振电路，其励磁电感 L_m 不参与谐振，励磁电感感量可以尽可能设计地大一些，因此励磁磁通回路不需要开气隙。对该磁元件的分析首先是计算磁元件所集成的谐振电感感量与磁元件结构参数的关系。由于本章所提出的集成磁元件主磁路外侧的原、副边绕组充分交错抵消了对外泄露的磁场，所以磁元件外部侧磁场强度基本可以忽略，磁场基本完全被控制在磁芯主磁路窗口内部；因此，在分析磁元件空间电磁场时可以仅分析主磁路内侧窗口内的绕组空间区域和谐振电感磁柱的磁场储

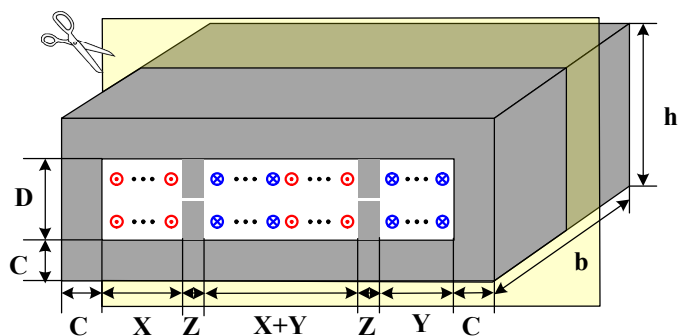


图 2.32 简化后的集成磁元件结构

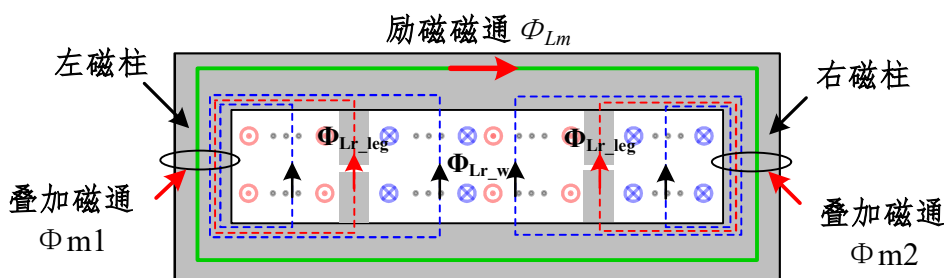


图 2.33 集成磁元件磁通分布情况

能，以此来计算所集成的谐振电感感量。所提的集成结构的简化图如图 2.32 所示，磁元件各部分的尺寸标注在图中：“X”为原边绕组窗口宽度，“Y”为副边绕组窗口宽度，“Z”为谐振电感磁柱宽度，“C”为主磁路磁芯厚度，“D”为窗口高度，“b”为磁元件垂直纸面方向的长度，“h”为磁元件的总高度。

将图 2.32 所示简化后的磁元件结构沿切面展开得到其剖面图，如图 2.33 所示，由于本章所设计的磁元件在垂直纸面方向结构一致，可以以该剖面图为例分析该集成磁元件的磁场分布。图 2.33 其中绿色实线代表磁芯中励磁磁通（ Φ_{Lm} ）路径，同时交链所有原、副边绕组；虚线为谐振电感磁通路径，分别交链原、副边绕组，该部分谐振电感磁通又可分为交链绕组空间的分布式电感磁通（ $\Phi_{Lr,w}$ ）磁路和铰链谐振电感磁柱的磁通（ $\Phi_{Lr,leg}$ ）磁路。由绕组排布所产生的磁通分布可知，流经电感磁路磁柱中的磁通为等效谐振电感磁通，主磁路中流通的磁通可以看作是分立谐振电感和变压器励磁磁通的叠加磁通。具体而言，主磁路左磁柱叠加磁通记为 Φ_{m1} ，右磁柱叠加磁通记为 Φ_{m2} ，上下磁路磁柱为渐变的谐振电感磁通和励磁磁通的叠加磁通，其最大值为左磁柱或右磁柱中的最大值。

2.4.2 低磁场泄漏集成磁元件设计流程

为了更清晰的对本章节所提出的集成磁元件进行分析和设计，图 2.34 给出了磁元件截面积及其尺寸参数设计的流程图。首先，磁元件的匝比、谐振电感感量等参数根据电路

的输入、输出特性确定；下一步给出初步估计的磁元件宽度尺寸“b”（图 2.32 所示），接下来根据安培环路定律可以计算磁元件内部绕组空间的漏磁场磁通量 Φ_{Lr_w} ，进而可以求解出绕组空间的漏磁场所寄生的等效谐振电感 L_{Lr_w} ，然后根据要集成的总的目标谐振电感来确定额外插入的电感磁柱所要构建的谐振电感量 $L_{Lr_{le}}$ ，进一步可以计算出电感磁柱的磁通量 $\Phi_{Lr_{leg}}$ ；所设计的集成磁元件的等效励磁磁通 Φ_{Lm} 可以根据集成磁元件“T”参数模型中等效变压器绕组所承受的伏秒计算得到；根据图 2.33 所分析的磁通叠加情况可以求解出主磁路左、右磁柱各自的磁通 Φ_{m1} 和 Φ_{m2} ；至此，电感磁柱磁通和主磁路磁柱磁通均已求解得出，选择合适的最大磁密 B_{max} 后就可求出集成磁元件电感磁柱和主磁路磁柱的截面积；更进一步，根据求出的截面积大小计算磁元件总体的尺寸，判断总体尺寸是否满足要求，如果不满足那么重新修改最初给定的磁元件宽度“b”，重新进行上述磁元件本体参数的计算，直到得到满足要求的磁元件参数。

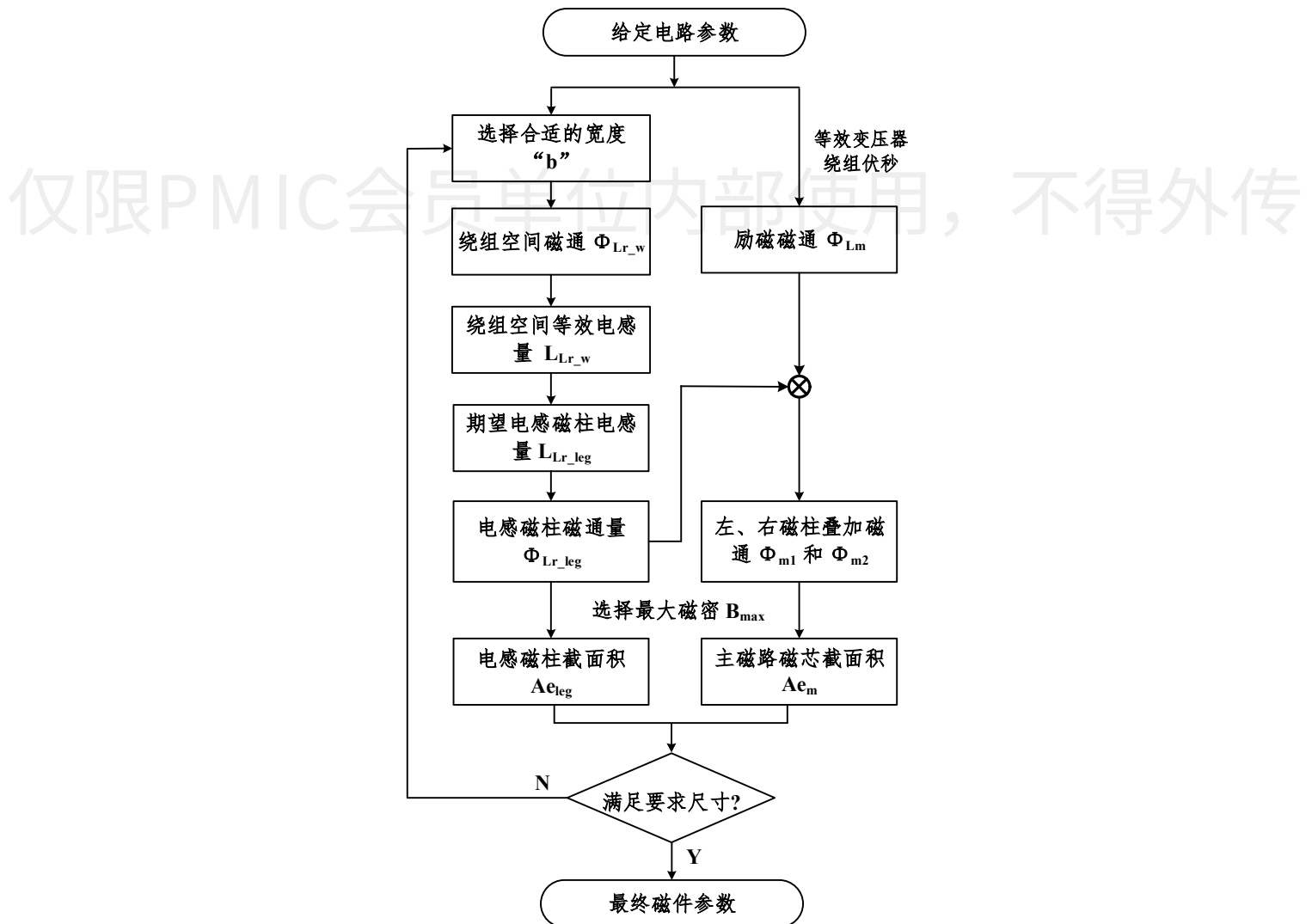


图 2.34 低磁场泄漏集成磁元件设计流程图

2.4.3 低磁场泄漏集成磁元件建模计算

磁元件内部空间按照磁场特性主要分为两部分：绕组空间渐变的分布式磁场和磁芯中相对均一分布的磁场。绕组空间内渐变的分布式磁场可以基于安培环路定律对磁场强度进行求解，进而通过积分的方式计算磁通分布和等效电感的大小。而磁芯回路中的磁场分布相对均一，可以使用基于集总参数的磁阻模型来分析。由于磁阻模型把磁路转化为类似于电路的回路模型，且磁路的磁通方程和磁动势方程可以类比于电路中的电流、电压方程，因此对于磁芯回路的磁场建立磁元件集总参数的磁阻模型更加清晰和直观。

由于磁元件的电磁场实际分布复杂，为了对本章所提出的集成磁元件分析和设计进行简化，在误差可以接受的范围内，本小节做以下假设：

- 1) 本章节所研究的拓扑基于 LC 串联谐振电路，其励磁电感感量在毫亨 (mH) 等级，在所研究的频率范围内等效变压器的励磁电压激励产生的励磁电流与负载电流相比可以忽略，因此可以认为集成磁元件仅流过负载电流，原、副边电流与等效变压器的变比成比例，即有：

$$N_P i_P \approx N_S i_S \quad (2.7)$$

其中 N_P 、 N_S 分别为集成磁元件原、副边绕组总匝数， i_P 、 i_S 分别为流过原、副边绕组的电流大小。

- 2) 本章节所设计的磁元件磁芯材料为锰锌功率铁氧体，磁芯磁导率在空气磁导率的三个数量级左右，即有：

$$\mu_{Core} \gg \mu_0 \quad (2.8)$$

其中 μ_{Core} 为磁芯磁导率， μ_0 为空气磁导率。根据磁通连续性定理，磁芯里的磁场强度远小于气隙中的磁场强度，因此在考虑带有气隙的导磁回路时，磁芯中的磁场强度近似忽略。

2.4.3.1 绕组空间的磁场计算

在磁回路中，磁场强度与回路所包围绕组通过的电流安匝数成正比，因此在图 2.36 所示的剖面图中沿磁芯水平长度方向建立 X 轴，Y 轴代表磁场强度。取任意坐标位置 x 处为例，分析该位置处的磁场情况：在磁元件剖视图中，以 x 位置为界向左和向右分别做回路 1 和回路 2 两个磁回路，该位置处的磁场可以看作是由回路 1 和回路 2 包围的电流所产生的，又由于该磁元件原、副边总电流等大反向，因此回路 1 和回路 2 中的有效电流安匝数大小相同，所以该位置处的磁通 Φ_{Lr_wx} 在回路 1 和回路 2 中各分一半。计算该位置处的磁场强度时，可以取回路 1 基于安培环路定律进行计算，在该回路磁芯中的磁场强度与空气

磁路中的磁场强度相比可以忽略,可以认为回路 1 包围的总电流产生的磁动势完全施加在该回路包含的窗口内气隙磁路上,因此可以求得该位置处的磁场强度为:

$$H_x = \frac{N_{P1}i_P - N_{S1}i_S}{D} \quad (2.9)$$

其中, N_{P1} 、 N_{S1} 分别为回路 1 中原、副边绕组的匝数, D 为窗口高度(如图 2.32 所示)。

本章设计的集成磁元件,绕组基本均匀分配在不同的磁芯槽中,图 2.33 所示三个槽中的绕组均分为原、副边绕组匝数的一半。据此,可以求出绕组空间磁场强度峰值出现在插入的谐振电感磁柱位置,其大小为:

$$H_{peak} = \frac{N_P i_P}{2D} \quad (2.10)$$

图 2.35 为集成磁元件窗口内侧的磁场强度分布仿真结果,可以看到,在图中所建立的坐标系中,磁场强度在 xz 平面上几乎不发生变化,沿着 y 轴方向随着坐标位置几乎呈线性变化。在谐振电感磁柱气隙位置,由于气隙的边缘效应,会导致气隙边缘空间磁场发生明显变化,为了避免气隙处泄漏磁场交链附近绕组引起严重涡流损耗,绕组对气隙进行了适当距离的避让。

在整个 x 轴方向上,窗口内磁场强度幅值在最左边槽中随着回路中原边匝数的增加呈现先线性增加,跨过第一个槽后回路中出现反向电流的副边绕组,磁场强度幅值开始线性下降,之后再重复该磁场强度分布形式。具体的磁场分布如图 2.36 所示。

磁场强度得到之后,可以对空间磁场进行积分,求解出绕组空间的磁通量 Φ_{Lr-w} 。

$$\Phi_{Lr-w} = \int_0^{2(X+Y)} (\mu_0 H_x b) dx = \frac{\mu_0 i_P b N_P (X+Y)}{2D} \quad (2.11)$$

该磁通量会各有一半流过主磁路的左侧和右侧磁柱。

同时,磁元件窗口内部绕组空间磁场储能等效的电感折算到集成磁元件原边侧为:

$$L_{Lr-w} = \sum \frac{\iiint \mu_0 H_x^2 d(Ve_w)}{i_P^2} = \frac{\mu_0 b (X+Y) N_P^2}{6D} \quad (2.12)$$

其中, Ve_w 为主磁元件窗口内部的空间体积。上式对不同窗口内的磁场储能进行计算,之后对整个绕组空间的磁场储能进行叠加,再除以原边绕组的电流值,就得到向原边侧折算的总的谐振电感感量。

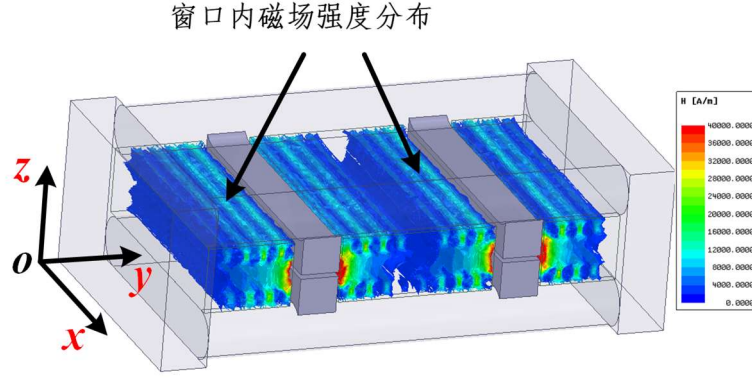


图 2.35 窗口内侧磁场强度分布三维仿真图

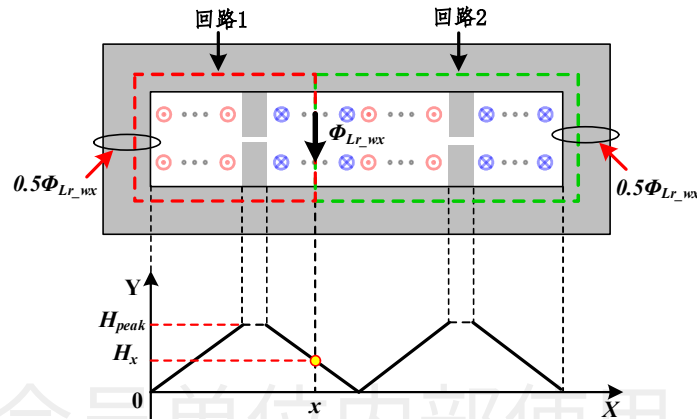


图 2.36 磁元件窗口内磁场强度分布曲线

2.4.3.2 谐振电感磁柱磁场计算

在分析计算完绕组空间的等效谐振电感之后，根据期望集成的目标电感感量可以得出所插入的谐振电感磁柱所要集成的电感感量：

$$L_{Lr_leg} = Lr - L_{Lr_w} \quad (2.13)$$

其中， Lr 为所要集成的总谐振电感感量。

接下来根据谐振电感磁柱所要集成的等效谐振电感感量，对谐振电感磁柱进行建模分析和设计。由于该谐振电感磁柱磁路相对均匀，因此建立磁阻模型以便更清晰直观地对该磁回路的磁场进行分析。如图 2.37 所示为磁元件所对应的磁阻模型，其中 F_1 、 F_2 分别为最左边和中间磁芯槽中原边绕组产生的磁动势， F_3 、 F_4 分别为中间磁芯槽和最右边磁芯槽中副边绕组产生的磁动势， R_{m1} 、 R_{m2} 和 R_{m3} 分别为对应磁芯磁路段的磁阻， R_{leg1} 和 R_{leg2} 分别为所插入的谐振电感磁柱所包含的气隙的磁阻（气隙长度记为 δ ）。由于磁结构的对称性，在励磁电流几乎可以忽略的条件下，不同磁芯槽中的绕组产生的磁动势满足：

$$F_1 \approx F_4 \approx N_{P1} i_P \quad (2.14)$$

$$F_2 - F_3 \approx 0 \quad (2.15)$$

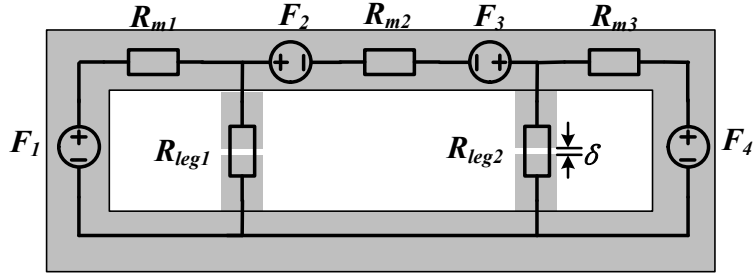


图 2.37 集成磁元件磁阻模型

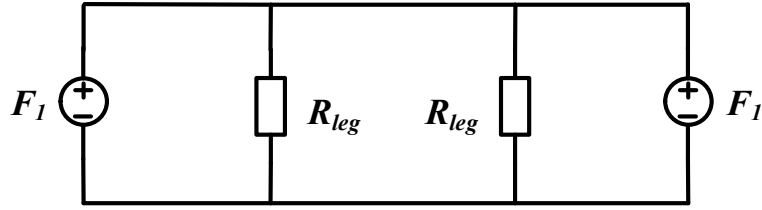


图 2.38 简化后的谐振电感磁路磁阻模型

同时，为了简化设计根据本章节所涉及的集成磁元件结构，可以将两个插入的谐振电感磁柱按照对称设计，两电感磁柱气隙设计为相同值，此处记所插入的两个谐振电感磁柱磁阻为：

$$R_{leg} = R_{leg2} = R_{leg} \quad (2.16)$$

基于式 (2.14) 和 (2.15) 可以将磁阻模型回路中的中间磁芯槽中的磁动势消去，两边槽中的绕组产生的磁动势均可简化为 F_1 ；主磁路磁芯不开气隙，因此主磁路磁芯的磁阻相比两个谐振电感磁柱磁阻相差三个数量级，其大小可以忽略，因此分析谐振电感的磁阻模型中仅保留谐振电感磁柱磁阻。基于上述分析和简化，图 2.37 所示的磁阻模型可以简化为图 2.38 所示的结构。

根据电感量与磁通关系的基本定义式，基于下图所示的磁阻模型可以得出该集成磁元件所构造的谐振电感大小与磁阻的关系式。

$$L_{k_leg} = \frac{N_P^2}{2R_{leg}} \quad (2.17)$$

进一步可以推导出流过单个谐振电感磁柱的瞬时磁通大小，可表示为式 (2.18) 的形式。

$$\phi_{Lr_leg} = \frac{F_1}{R_{leg}} = \frac{N_P i_P}{R_{leg}} \quad (2.18)$$

由于气隙长度相对于磁元件尺寸相对较小，为了简化分析，在计算谐振电感磁柱气隙

处的阻抗时近似认为该位置处的磁通分布均匀，忽略其扩散现象。根据实际工况，给定磁芯一个合理的最大磁密 B_{max} ，基于磁阻模型可以求解出所插入的谐振电感磁柱的气隙长度为：

$$\delta = \frac{\mu_0 N_P I_{P_max}}{2B_{max}} \quad (2.19)$$

其中 μ_0 为空气磁导率， I_{P_max} 为整个输出电压下满载工况时原边绕组电流的最大值， B_{max} 为设计的磁芯磁密最大值。

2.4.3.3 集成磁元件截面积计算

以上模型对本章所提低磁场泄漏集成磁元件的磁场构成及分布特征进行了分析，为了完成对磁元件的设计，进一步对磁芯截面积进行计算。

结合式（2.17）和（2.19），可以求解出谐振电感磁柱的截面积 Ae_{leg} 的表达式，如式（2.20）所示。

$$Ae_{leg} = \frac{\delta}{\mu_0 R_{leg}} = \frac{L_{kleg} I_{P_max}}{N_P B_{max}} \quad (2.20)$$

上述建模分析给出了谐振电感磁柱的设计和计算过程，接下来对主磁路磁元件部分进行设计。由于主磁路中的磁通为励磁电感磁通和谐振电感的叠加形式，且绕组空间中的谐振电感磁通为分布式参数，因此要计算该叠加磁通，需要进一步分析等效的励磁磁通。通过磁阻模型计算虽然直观，但是计算时会涉及到磁芯磁阻参数，但实际情况由于磁芯拼接时即使细小的空气缝隙也会导致磁芯磁阻计算出现较大偏差。在谐振电路中，磁元件的磁通在一个开关周期内正负对称，不存在直流偏置，流过磁芯的磁通与绕组两端的励磁电压大小成正比，因此可以通过绕组端口的伏秒来计算。对于励磁电压的分析，可以基于变压器的“T”模型进行分析。根据法拉第电磁感应定律，变压器的励磁磁通与变压器绕组两端的伏秒成正比，因此集成磁元件中等效变压器的励磁磁通为：

$$\phi_{Lm} = \frac{\int_0^t V_{TP}(x) dx}{N_P} + \phi_{t0} \quad (2.21)$$

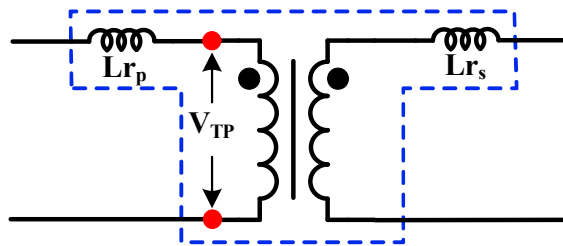


图 2.39 分槽绕组集成磁元件电路模型

其中 V_{Tp} 是磁元件“T”模型中等效变压器两端的电压,该部分电压可以根据实际输入输出的工况计算得出, ϕ_{t0} 是零时刻的磁通初始值。因为上述两个量随输出电压和输出功率变化,可以通过数值计算或者仿真的方式得到。

根据上述模型中对磁通的分布分析可知,最左侧和最右侧磁柱分别流过励磁磁通 ϕ_{Lm} 、谐振电感磁柱磁通 ϕ_{Lr_leg} 和一半的窗口空间漏磁通 $0.5\phi_{Lr_w}$,在主磁路中,左右两边磁柱的磁通最大值大于上、下侧磁柱,因此在设计时考虑按照左、右两边最大的磁通来选取主磁路磁元件截面积。根据图 2.33 所定义的磁通方向,左、右两侧主磁路磁柱磁通可表示为式 (2.22) 和式 (2.23)。

$$\phi_{m1} = \phi_{Lm} + \frac{\phi_{Lr_w}}{2} + \phi_{Lr_leg} \quad (2.22)$$

$$\phi_{m2} = \phi_{Lm} - \frac{\phi_{Lr_w}}{2} - \phi_{Lr_leg} \quad (2.23)$$

其中, ϕ_{m1} 、 ϕ_{m2} 分别为主磁元件左、右磁柱的磁通。为了保证磁芯最大磁密在整个变换器工作区间不超过限定值,主磁路截面积按照式 (2.24) 选取。

$$Ae_m = \frac{1}{B_{max}} \max\{\phi_{m1}, \phi_{m2}\} \quad (2.24)$$

2.4.3.4 集成磁元件损耗分析

集成磁元件损耗可以根据上述部分推导的磁元件参数进行求解。已有不少文献已经对绕组损耗的计算建模做了相当多的工作。由于本章内容所涉及的磁元件原、副边均使用绕线绕组因此绕组的交流电阻系数参考了文献[151]的模型。绕组中第 m 层绕线的交流电阻系数为:

$$K_{AC}(m) = \frac{\zeta}{\sqrt{2}} \left[\psi_1(\zeta) - \frac{\pi^2 N_0 \beta}{24} \left(16m^2 - 1 + \frac{24}{\pi^2} \right) \psi_2(\zeta) \right] \quad (2.25)$$

其中, N_0 为一根导体中的绕组股数, β 为绕组的填充系数, $\psi_1(\zeta)$ 和 $\psi_2(\zeta)$ 为文章[151]中定义的函数式, ζ 为单根绕组线束中单股线的有效线径,定义为:

$$\zeta = \frac{d_0}{\delta} \quad (2.26)$$

其中, d_0 为单股线直径, δ 为集肤深度。式 (2.25) 中 m 是从磁场强度角度定义的绕组的等效层数,外侧绕组充分交错,等效层数 $m=1$ (其分析如图 2.40 所示);内侧绕组等效层数随着其本身所处位置的磁场强度变化,图 2.41 以一半绕组为例,展示了该集成磁元件窗口内侧不同位置处绕组的等效层数。整匝绕组的等效交流电阻系数取内、外侧绕组部分等效交流电阻系数的平均值,记为 K_{AC_avgx} 。

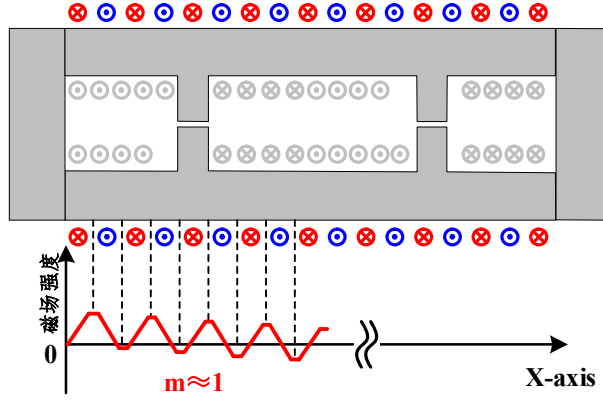


图 2.40 所提集成磁元件窗口外侧绕组等效层数分析

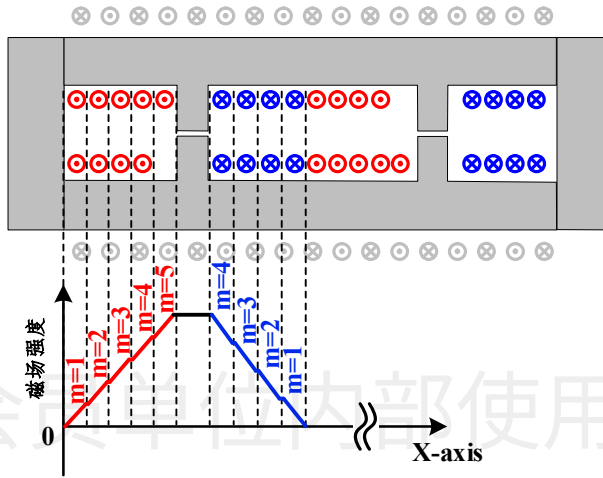


图 2.41 所提集成磁元件窗口内侧绕组等效层数分析

绕组总损耗为所有绕组损耗的加和，其表达式如式 (2.27)。

$$P_W = \sum I_{RMS}^2 R_{dc_avg} K_{AC_avgx} \quad (2.27)$$

其中, K_{AC_avgx} 为任意一匝绕组的平均交流电阻系数, I_{RMS} 为原边/副边绕组的电流有效值, R_{dc_avg} 为单匝绕组的平均直流电阻。

磁芯损耗基于式 (2.28) 所示的 Steinmetz 公式来评估。

$$P_{core} = k \cdot f^\alpha \cdot B^\beta \cdot Ve \quad (2.28)$$

其中, 系数 k 、 α 、 β 可以从磁芯数据手册中的磁元件损耗密度曲线中拟合得到, f 为开关频率, B 为磁芯中开关周期内的磁密峰值, Ve 是集成磁元件的磁芯体积。综上, 集成磁元件总的损耗可表示为式 (2.29) 所示。

$$P_T = P_W + P_{Core} \quad (2.29)$$

2.5 实验验证

2.5.1 主电路参数及控制方案

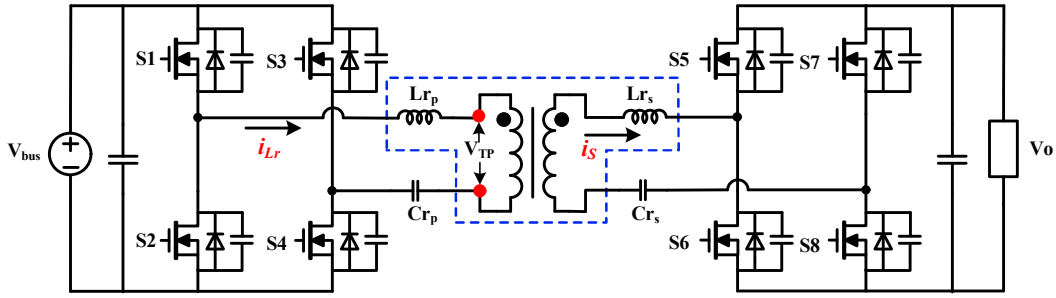


图 2.42 基于集成磁元件的串联谐振拓扑

表 2.2 样机规格及关键元器件参数

参数	规格
输入电压	400V
输出电压	200~450V
最大输出功率	6.6kW
最大输出电流	24A
谐振频率	~60kHz
谐振电容 C_{rp} 、 C_{rs}	231nF/297nF
谐振电感	60μH
变比	18:16
开关管型号	IPW60R045CP

为了验证所提出的集成磁元件的可行性，本章节搭建了一台基于 LC 串联谐振电路的 6.6kW DC/DC 样机，并进行了实验测试。图 2.42 为本章节实验样机的电路原理图原、副边均采用全桥结构，谐振电容分配在集成磁元件原、副边两侧。输出电压在 200~275V 时，电路工作与恒流充电模式，输出电流 I_o 为 24A；输出电压在 275~450V 时，电路工作于恒功率充电模式，输出功率为 P_o 为 6.6kW。电路的关键器件参数及输入输出规格如表 2.2 所示。

2.5.2 实验测试及分析

2.5.2.1 集成磁元件规格参数

实验样机的整机图片如图 2.43 所示，主要包含输入输出电容、原、副边开关管以及集成磁元件。表 2.3 给出了本章节所设计的磁元件的磁芯各部分的具体尺寸参数及绕组的规格。磁元件主磁路不开气隙，但在磁元件实际组装时，不同磁柱间无法完全紧密贴合，导致励磁电感量实际值比预估值偏小，但励磁电感感量依然是谐振电感感量的 20 倍以上，励磁电感对电路模态导致的影响可以忽略。图 2.44 为样机的测试平台，包括可编程直流源、电阻负载、示波器、功率分析仪、电压、电流探头等部件，具体的测试设备型号已在

图中标出。

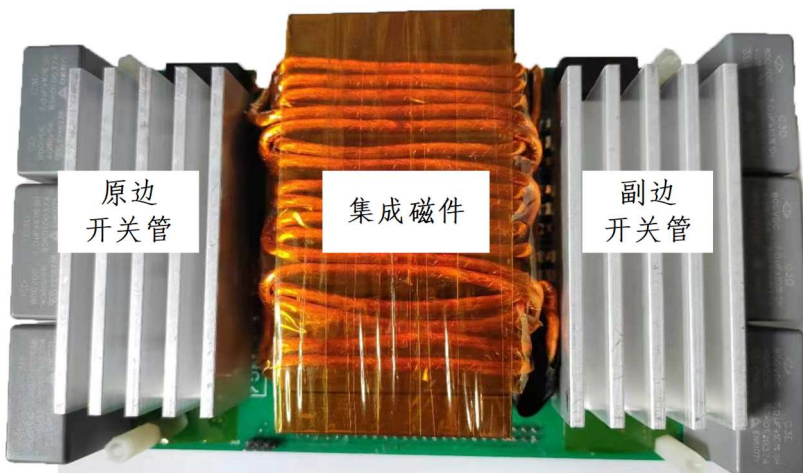


图 2.43 串联谐振 DC/DC 变换器样机

表 2.3 低磁场泄漏集成磁元件关键参数

参数	规格
磁材料	DMR95
尺寸“b”	50mm
尺寸“b”“h”“C”“D”	50/30/9/12(mm)
尺寸“X”“Y”“Z”	15/15/7(mm)
绕组规格	2UEW-H/φ0.08mm(600 股并联)
励磁电感	~1.8mH
气隙长度	~1.2mm
绕组避让距离	~3.4mm

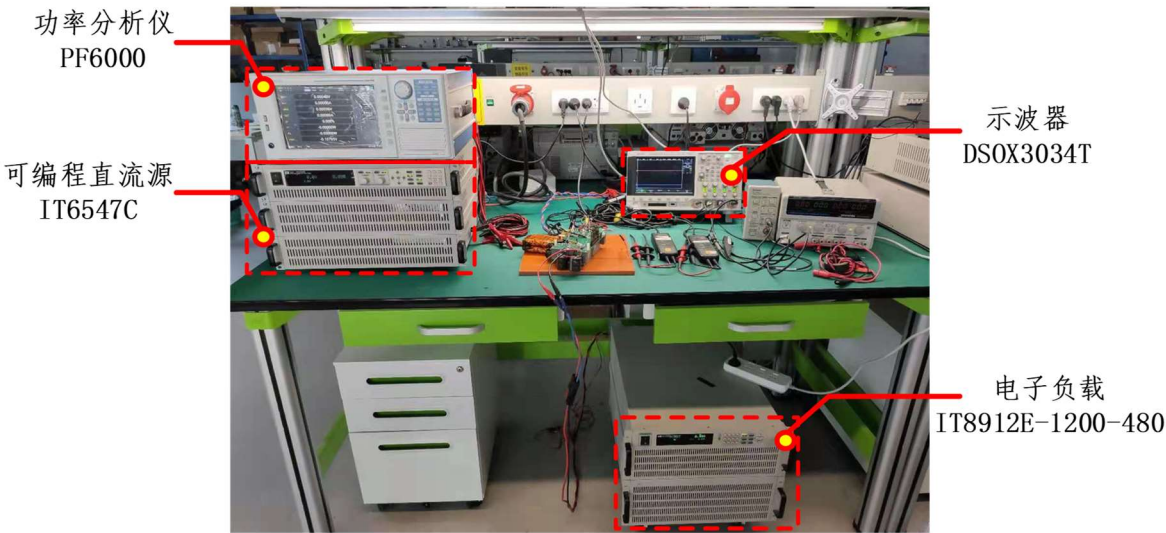
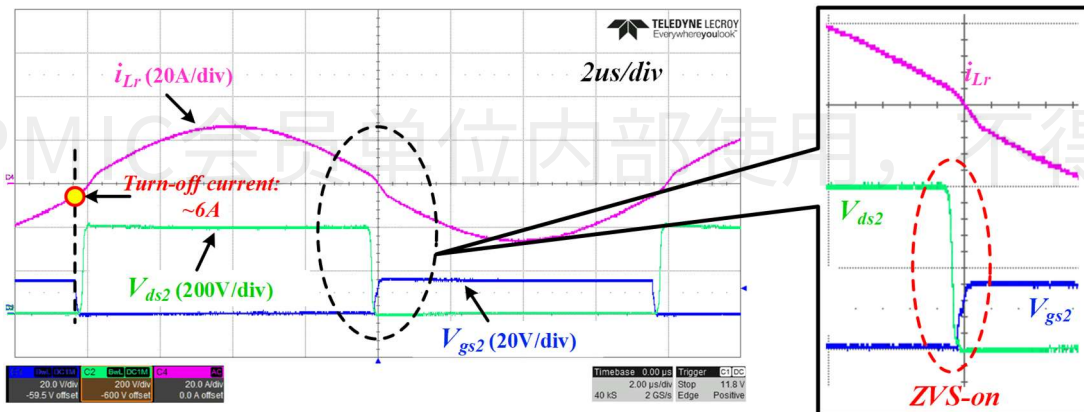


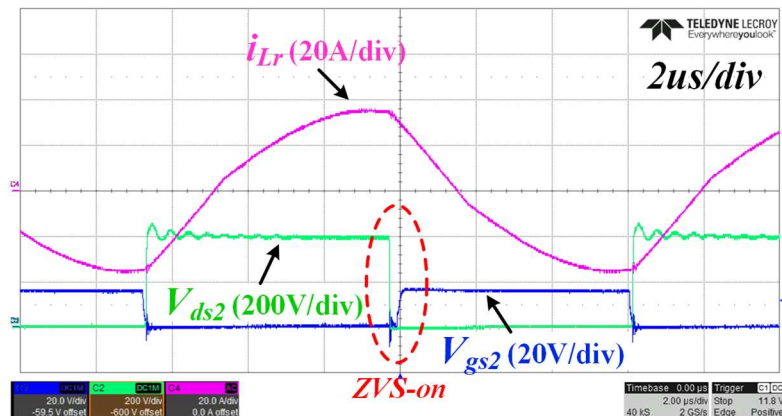
图 2.44 测试平台设备及其型号

2.5.2.2 全增益范围测试波形

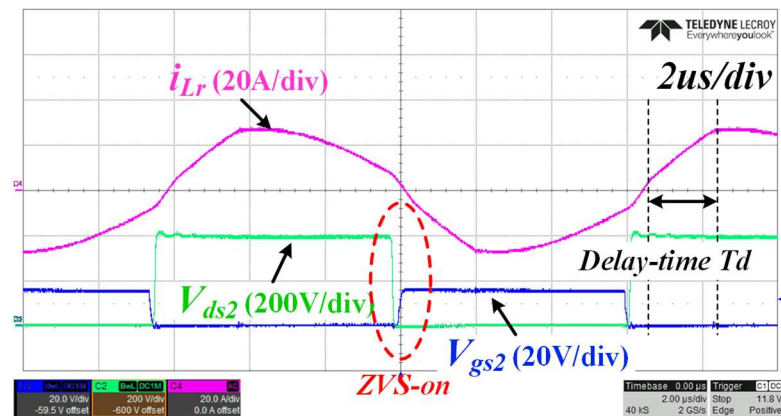
为了对样机的实际工况进行验证,接下来对基于集成磁元件制作的串联谐振样机进行了实验测试。图 2.45 展示了不同输出电压满载工况的电路关键波形,其中紫红色曲线为原边侧谐振腔电流,绿色曲线为原边桥臂下管 S2 的漏-源电压 V_{ds2} ,蓝色曲线为开关管 S2 的门极驱动信号。图 2.45 (a) 为谐振点工作下的波形,从右侧的开通瞬间的放大图来看,开关管开通时刻其漏-源电压 V_{ds2} 已经下降至零伏,开关管实现了软开通。图 2.45 (b) 展示了最低输出电压下 200V 下的电路波形,此时电路处于仅调频工作模式,开关频率约为 1.3 倍的谐振点开关频率;图 2.45 (c) 为最高输出电压 450V 下的电路波形,此时变换器工作于升压模式,采用了副边延时关断的控制方案,延时电压约 2 μ s,开关频率与最低输出电压时的频率基本一致;由于开关频率随着副边开通延时的增加同步增加,保证了电路始终处于软开通工作模式。



(a) 谐振点工作时电流、电压波形



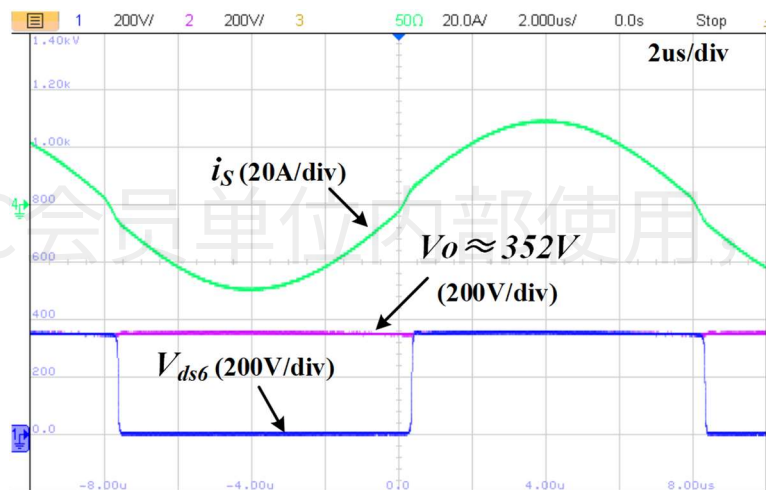
(b) 最低输出电压时的电压电流波形



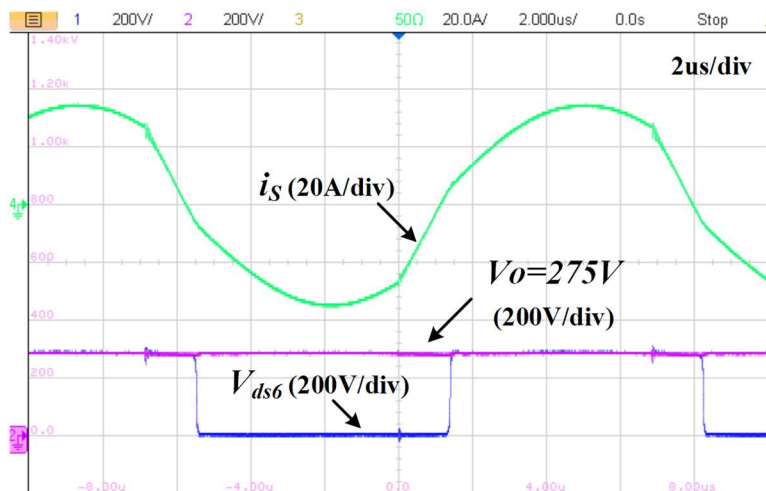
(c) 最高输出电压时的电压电流波形

图 2.45 不同输出电压下原边谐振电流及电压波形

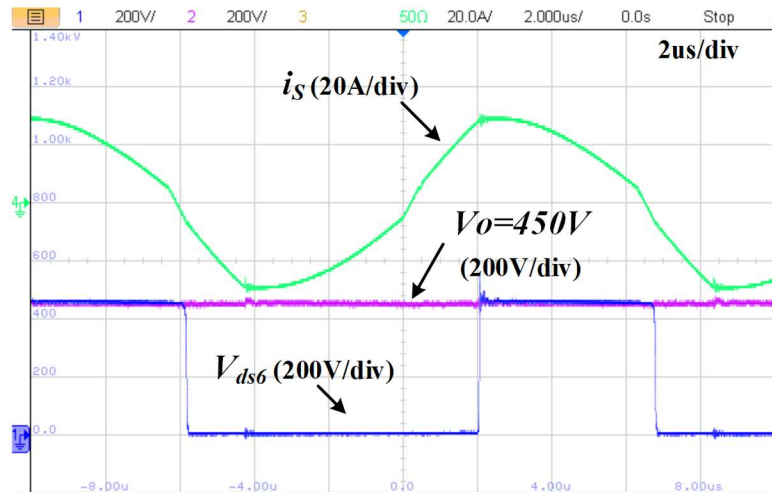
图 2.46 展示了满载工况不同输出电压下副边侧关键波形，其中绿色曲线为副边谐振电流，紫红色曲线为输出电压，蓝色曲线为副边开关管 S6 的漏-源电压 V_{ds6} 。



(a) 谐振点工作时的副边波形



(b) 最低输出电压下的副边波形



(c) 最高输出电压下的副边波形

图 2.46 不同输出电压下副边谐振电流及电压波形

2.5.2.3 效率测试及损耗分析

为了对所提集成磁元件的效率表现进行验证，本小节对传统集成磁元件和所提出的集成磁元件进行了对比测试。由于本章所提出的绕线式集成磁元件重点针对传统的分槽绕组集成磁元件严重的对外磁场泄漏引起额外涡流损耗的问题提出解决方案，为了验证所提出的集成磁元件效果本章节建立了传统分槽绕组集成结构以进行对比测试。如图 2.47 所示为传统的分槽绕组集成磁元件结构，原、副边绕组分槽绕制，采用“原-副-原-副”的绕组交错结构（绕组结构与图 2.30 所示的仿真结构相同）。为了测试传统分槽绕组集成结构在靠近金属散热机壳时的效率变化特性，实验同步测试了将磁元件放入图 2.47 所示的铝制金属机壳中的效率。同样地，所提出的低磁场泄漏绕线磁元件如图 2.48 所示，原、副边绕组在磁元件窗口外侧充分交错，在窗口内侧同样采用“原-副-原-副”的交错绕制结构，将该所提的集成磁结构放入相同的金属机壳中进行对比测试，以验证其抑制磁场泄漏的效果。

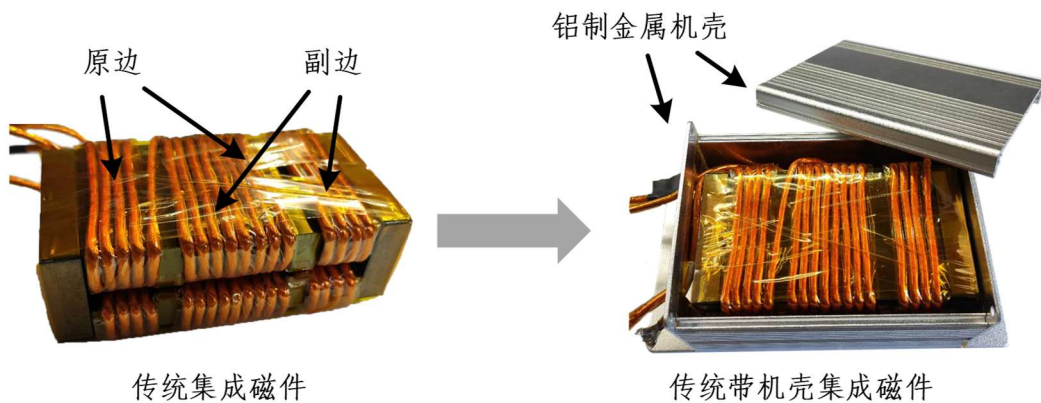


图 2.47 传统分槽绕组集成磁元件及实验对照设置

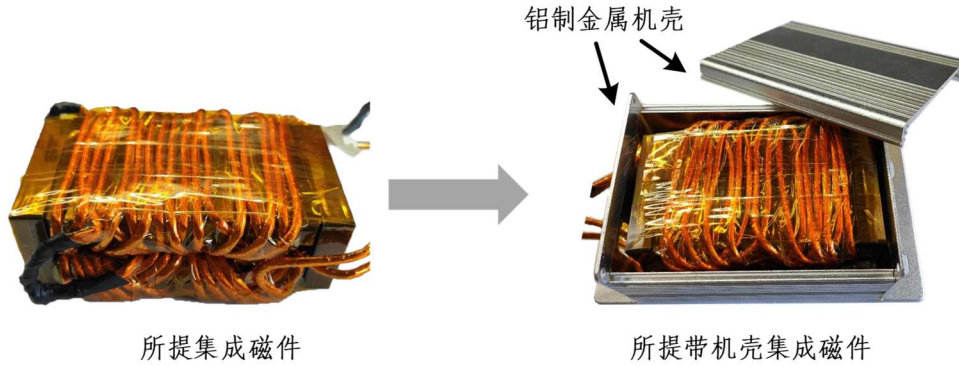
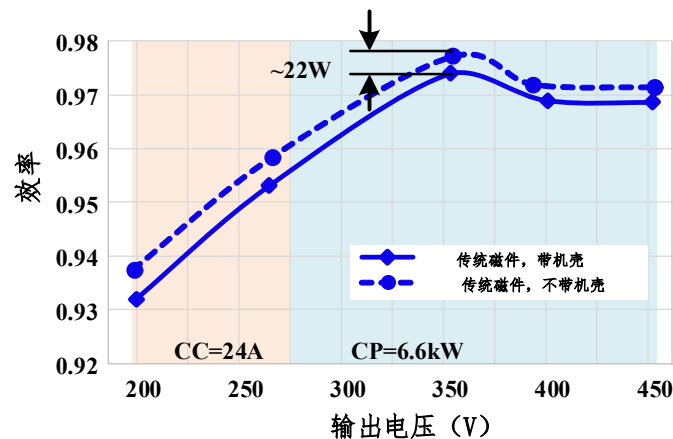
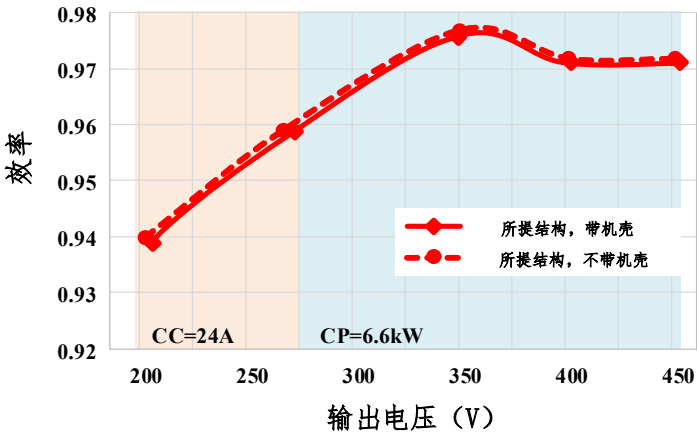


图 2.48 所提出的低磁场泄漏集成磁元件及实验对照设置

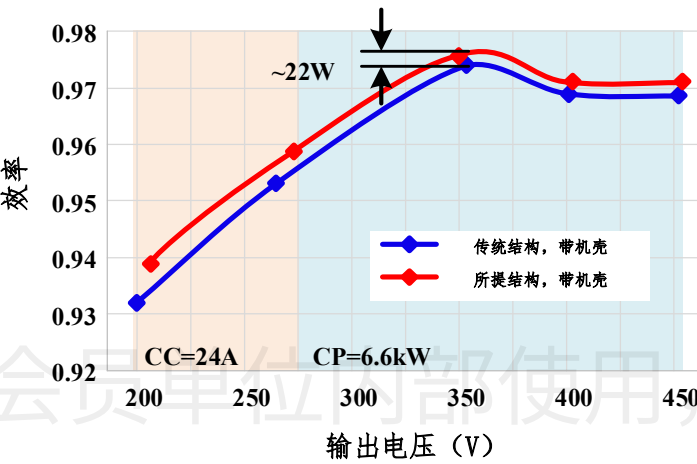
图 2.49 展示了传统分槽绕组集成磁元件和所提出的低磁场泄漏集成磁元件分别在有无安放金属机壳时的实验对比测试结果。图 2.49 (a) 展示了传统分槽绕组集成磁元件在没有金属机壳和安放金属机壳两种情况下的效率对比测试曲线。可以看到两种情况峰值效率均出现在谐振点工况附近，两者效率差别大于 0.3%（损耗差别 22W 以上），表明传统分槽绕组集成磁元件在靠近金属机壳时泄漏磁场会导致涡流损耗，引起明显的效率下降；另一方面，由于低压输出时开关频率更高且谐振腔电流幅值更大，同步产生频率和幅值更大的交变磁场引起更大的涡流损耗，导致两条曲线损耗偏差更大。图 2.49 (b) 展示了所提出的低磁场泄漏集成磁元件在没有金属机壳和安放金属机壳两种情况下的效率对比测试曲线。可以看到所提出的集成磁元件在靠近和不靠近金属机壳安放时，效率曲线基本重合验证了所提出的集成磁元件对磁元件外部空间的磁场泄漏有良好的抑制效果。图 2.49 (c) 给出了将磁元件安放在金属机壳中时传统集成磁元件和所提出的集成磁元件的效率对比，可以看到所提集成磁元件的样机效率在整个输出电压范围内都有明显提升。上述三组测试效率曲线的对比结果，验证了本章所提出的集成磁元件对磁元件外部空间泄漏磁场的抑制效果，证明了该集成磁元件相对于传统的集成磁元件的效率优势。



(a) 传统分槽绕组集成磁元件效率对比



(b) 所提集成磁元件效率对比



(c) 传统集成磁元件和所提集成磁元件效率对比

图 2.49 传统分槽绕组集成磁元件和所提低磁场泄漏集成磁元件效率对比

针对本章所提出的低磁场泄漏集成磁元件的效率曲线，图 2.50 给出了在谐振点处满载工况下的损耗分布。样机损耗分布主要包含磁元件的原、副边绕组导通损耗、磁芯损耗、开关管以及 PCB 走线的损耗。

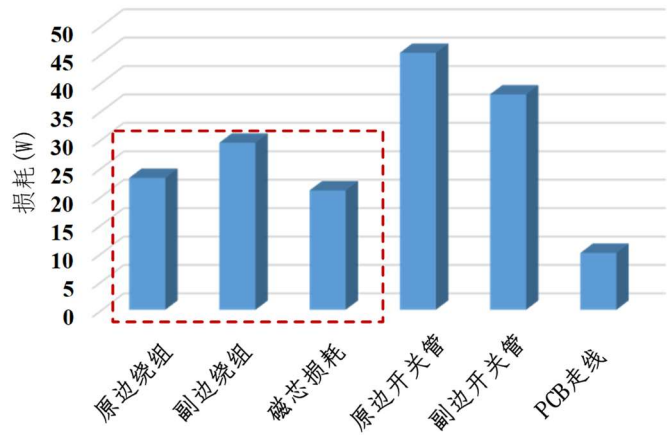
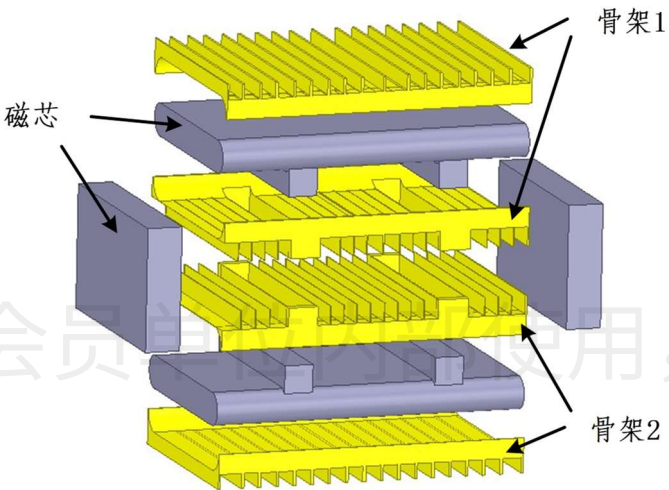


图 2.50 谐振点满载的损耗分布

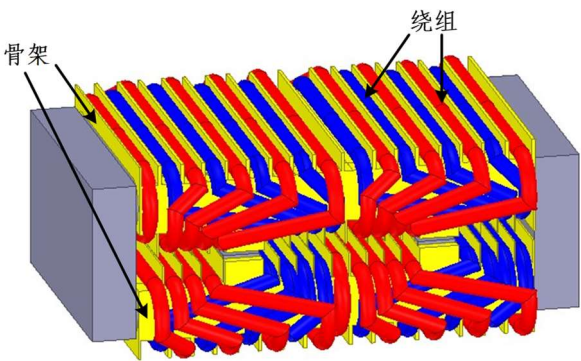
2.6 集成磁结构实施方案优化

2.6.1 与绕线配合的骨架结构

上述分析和实验测试验证了本章节所提出的集成磁元件对磁元件外部空间磁场泄漏现象的抑制效果，在体积不变的情况下进一步提高了集成磁元件效率。但是，考虑实际磁元件制作时，内侧交错外侧不交错的绕组结构在磁芯上难以固定，导致磁元件绕组制作难度增加。为了提高绕组制作的可操作性，提出图 2.51 所示的绕组骨架结构。图 2.51（a）中黄色部分为所提出的骨架结构，该骨架含有多槽结构，每个槽中放置单根绕组以在绕组内、外的部分交叉绕制时提供支撑和定型作用；同时该骨架可以满足磁芯和绕组的绝缘要求。图 2.51（b）展示了所提出的骨架具体实施后的最终效果图。



（a）所提出的骨架结构



（b）添加骨架后集成磁元件的最终效果图

图 2.51 添加骨架后的集成磁元件实施方案

2.6.2 绕组结构改进的集成磁元件

为了解决上述所提出的集成磁元件绕线难的问题，本文提出了图 2.52 所示的结构改进的集成磁元件预期结构。在图 2.52 提出的改进结构中，原边绕组绕制在磁件侧边柱，

副边绕组同时绕制在原边绕组所在的侧边柱和中间的谐振电感磁柱。该结构中，与本章所提出的低泄漏磁场集成磁元件原理完全一致，磁件窗口外侧绕组部分原、副边充分交错，磁件对外泄漏磁场得以基本抵消；窗口内侧原、副边绕组完全分开，以最大有效绕组匝数构造谐振电感，以保持磁件小体积。同时该结构的原、副边绕组可以分别独立一体绕制，使得该集成磁件具有更大的工程化应用价值。

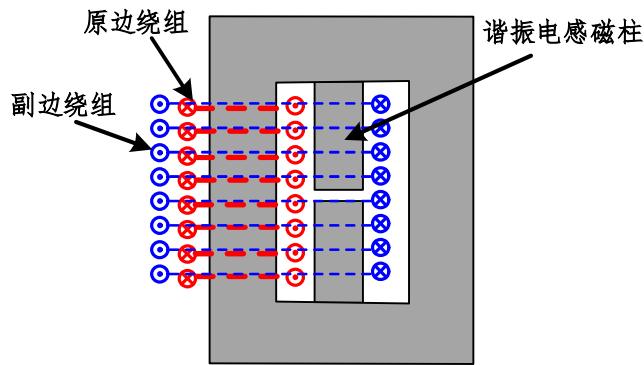


图 2.52 绕组结构改进的集成磁元件

2.7 本章小结

磁元件作为变换器中必不可少的器件，其损耗和体积是制约变换器性能最重要的因素之一，因此对磁元件的优化具有重要价值。集成磁元件可以在不牺牲电路其它电气性能的情况下减小磁元件体积、提升变换器效率。绕线式磁元件在变换器中有广泛的应用，尤其是在低频应用场合，绕线绕组更具灵活性优势。

分槽绕组绕线式集成磁元件因其结构简单、成本低且易于制作，已在不少中小场合得到应用，但是传统基于分槽绕组集成磁元件的拓扑中谐振电容单边放置会导致不同磁柱中的磁通密度最大值出现明显差异，导致磁元件难以实现高密度的设计，针对这一问题本章首次提出了基于谐振电容双边放置，通过调节两侧谐振电容容值的方式平衡原、副边绕组所在磁柱中的最大磁通的设计方案，同时减小了磁芯截面积。

更进一步，分槽绕组集成磁元件由于缺乏绕组交错，在磁元件外侧空间会产生严重的磁场泄漏问题。在电源整体需要高密度设计时，该泄漏磁场会对附近元器件产生严重的电磁干扰，尤其是当其作为主要发热元件靠近金属机壳放置时，会在金属机壳上引起严重的涡流损耗，导致变换器效率降低。针对传统分槽绕组集成磁元件磁场对外泄漏导致的一系列问题，本章节提出了改进的磁元件集成方案。首次提出了整匝绕组分段交错耦合的概念，打破了传统设计中整匝绕组间耦合度完全一致的限制，通过绕组的交叉绕制使得窗口外侧部分原、副边绕组片段充分交错，原、副边电流产生的磁场抵消；窗口内侧原、副边绕组

分槽绕制以保证构造相同大小集成谐振电感的情况下磁芯体积最小。相比于传统分槽绕组集成磁元件，本章所提出的集成磁元件方案在保持相同磁芯体积的情况下可基本消除磁元件对磁场外泄漏的问题。根据所提出的集成磁元件结构，本章分析了该结构的磁场分布，并对磁结构进行了建模分析，推导了电感量的计算表达式，给出了磁芯截面积的优化设计流程。最后本章搭建了 6.6kW 的串联谐振变换器样机对所设计的集成磁元件进行了实验，通过与传统分槽绕组集成磁元件的对比测试，验证了本章所提出的集成磁元件泄漏磁场的抵消效果，在保持磁元件小体积的情况下，明显提升了样机效率。

仅限PMIC会员单位内部使用，不得外传

第三章 基于 PCB 绕组的低 MMF 集成磁元件优化研究

前一章的研究内容中所提出的低泄漏磁场集成方案最大限度的减小了磁元件对外部空间的泄漏磁场强度,降低了磁元件损耗。但是由于开关频率较低,磁元件承受的伏秒大,导致磁元件的匝数和截面积依然较大。随着开关器件、磁材料等的进步,借助于软开关技术手段,变换器开关频率可提升至几百千赫兹甚至兆赫兹等级。由于磁芯中的磁通与绕组端口所承担的伏秒成正比,提高开关频率可以减小电压作用时间,同比减小磁芯中产生的磁通量,从而大幅减小磁芯匝数或截面积。因此研究高频下磁元件的集成与优化对于实现磁元件的高功率密度具有重要意义。

相比于绕线磁元件,平面磁元件具有高度低、散热能力强、参数一致性好、制作难度小等优点,因此平面磁元件在高频、高密度需求的工作场合得以广泛应用。但是平面磁元件的布板面积 (footprint area) 较大,在包含多个磁元件的谐振软开关电路中,平面磁元件的布板面积占比往往会超过 50%,成为制约变换器功率密度的进一步提升的主要因素。磁集成技术可以减小平面磁元件布板面积,提升变换器整体功率密度,但在高频工作时,平面集成磁性元件存在绕组损耗严重^[114]、大电感集成时磁件优化困难^[124]等问题。本章对现有集成方案进行了分析,针对不对称绕组集成磁元件集成大的谐振电感是体积和损耗难以优化的问题,提出了绕组匝数和结构的优化设置方案,给出了体积和效率的综合优化方法。

3.1 高频谐振软开关拓扑及其平面磁元件

3.1.1 CLLC 谐振软开关拓扑

提高开关频率虽然可以减小磁元件所承受的伏秒,进而减小磁芯截面积或者绕组匝数,但是开关频率的提升会大幅增加开关器件的开关损耗。传统的 Si 器件寄生电感和寄生电容大导致开关速度慢,高频下开关损耗严重,软开关技术的使用也可以使得开关损耗大幅减小甚至基本消除。软开关拓扑通常分为零电流软开关 (ZCS) 和零电压软开关 (ZVS),由于高压 MOSFET 等开关器件的开通损耗明显大于关断损耗,因此高频工况下通常采用能实现 ZVS 的谐振软开关拓扑,如 LLC、CLLC 等。同时,相比于 Si 器件, GaN、SiC 等宽禁带半导体开关器件其寄生参数可以减小至原来的几分之一甚至十几分之一,可以大幅减小开关损耗。本章所涉及的磁元件是基于 GaN 器件的 CLLC 串并联谐振软开关拓扑,图 3.1 展示了其基本拓扑架构,开关管的 ZVS 可以借助变压器的励磁电流来实现,同时励磁电感参与谐振,在开关频率变化时可以起到调节电路增益的作用,电路采用调频控制实现对输出电压的调节。

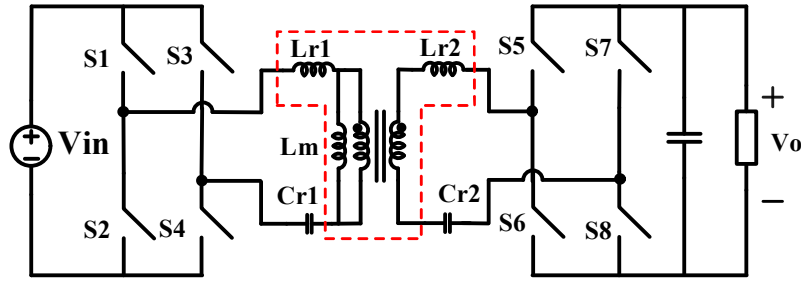


图 3.1 CLLC 谐振拓扑基本结构

3.1.2 高频平面磁元件简述

平面磁元件集成的基本原理与绕线磁元件相同，通过绕组复用、设计磁通在磁芯中叠加等方式实现多个磁元件的集成。因此绕线磁元件的集成方案可以结合平面磁元件的特性移植到平面磁元件的集成设计中。平面集成磁元件有多种结构类型，众多文献也对其进行了研究。电感和变压器绕组与分立元件保持不变，部分磁芯可实现集成共用；电感和变压器各自磁芯保持独立，变压器原边/副边绕组和谐振电感绕组可实现集成共用^[138-140]；绕组集成时，谐振电感磁芯和变压器磁芯集成共用可进一步减小磁元件体积^[141]；第二章所研究的分槽绕组集成结构在平面磁元件中也得到了研究和应用^[113]，但由于原、副边变压器绕组缺乏有效的交错，导致绕组损耗加剧，图 3.3 为根据相关论文提取数据绘制出的兆赫兹开关频率下分槽绕组集成磁元件各部分的损耗占比^[114]，可见绕组损耗所占比重最大，占比超过总损耗的 1.5%，成为制约高频平面集成磁元件应用的最重要问题。

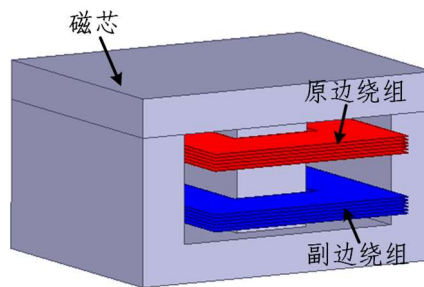


图 3.2 分槽绕组集成磁元件

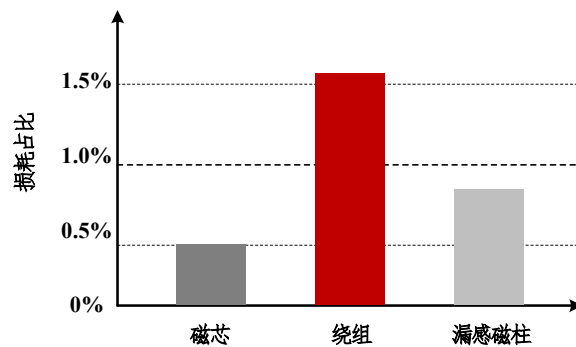


图 3.3 分槽绕组集成磁元件损耗占比

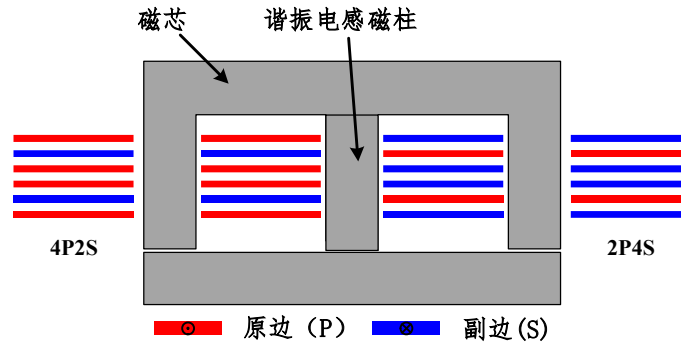


图 3.4 不对称绕组集成磁结构

文献[124]提出了一种不对称绕组的集成方案，可以在绕组的充分交错的基础上，通过改变微调不同磁柱上原、副边绕组的匝数，在保证绕组充分交错的条件下实现电感和变压器的集成。图 3.4 所示为现有不对称绕组集成磁元件的剖面结构图。其中灰色部分为磁芯，红色和蓝色分别为原、副边 PCB 绕组，PCB 为 6 层结构，变压器匝比为 6:6。为了实现较好的交错效果，单个磁柱上有两匝原、副边绕组做了交错，即左、右磁柱上原、副边绕组分配为 2P4S 和 4P2S。

上述结构仅集成了一个小的谐振电感，输出调压能力非常有限，仅能用以调节输入侧母线电压纹波导致的增益波动，因此只能在针对变输入母线电压来调节输出电压的应用场合得到了较好验证。对于目前广泛使用的固定输入母线应用场合，变换器的增益范围较宽，系统需要足够大的谐振电感量来保证变换器的开关频率限定在合理的范围内。但由于绕组交错良好，图 3.4 所示集成结构在集成大的谐振电感时所需要的磁芯截面积会成倍增大，导致集成磁元件体积明显变大，效率和功率密度降低。本章针对集成大谐振电感的不对称绕组平面集成结构提出最优化的匝数分配和绕组排布结构，使得高频平面集成磁元件实现更高效率和功率密度。

3.2 不对称绕组集成磁结构分析与改进方案

3.2.1 不对称绕组集成磁结构分析

对于集成磁元件，设计磁芯之前首先需分析磁回路中磁通分布情况。根据磁阻模型推导出的磁通大小往往是与瞬时电流相关的复杂公式，在磁元件的优化设计阶段，难以借助磁阻模型发现直观规律找到优化方向。电感或变压器等单一磁元件的磁通分布较为简单，采用直接计算的形式可以直观地得到磁通以绕组匝数的关系式，磁通大小与匝数、电流激励等自变量的关系清晰直观。基于此，从分立磁元件的角度入手，通过叠加定理对集成磁元件的磁通分布进行分析和计算，可以更加清晰地找到磁元件的优化方向。

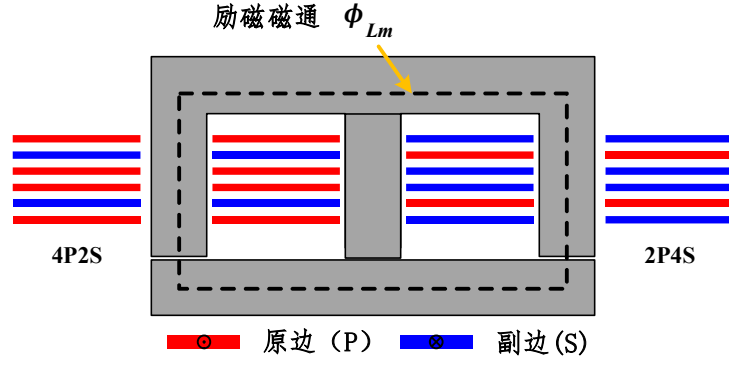


图 3.5 励磁磁通磁回路

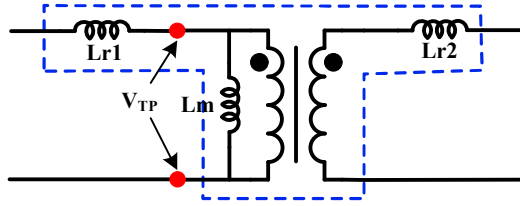


图 3.6 不对称绕组集成磁元件等效电路图

图 3.5 为不对称绕组集成磁元件的剖面图，其中虚线部分展示了等效励磁磁通 ϕ_{Lm} 的磁回路，原、副边绕组中电流的差值为励磁电流，其激励产生的磁通完全交链所有的原、副边绕组，该集成结构中所有的原、副边绕组全部起到承担等效励磁电压的作用。因此可以求解出等效励磁磁通的计算式为：

$$\phi_{Lm} = \frac{\int V_{TP} dt}{N_p} \quad (3.1)$$

其中 V_{TP} 为集成磁元件“T”模型中等效变压器原边电压（如图 3.6 所示）， N_p 为集成磁元件原边绕组匝数。不对称绕组集成磁元件在集成等效谐振电感时，在不同磁柱上绕组原、副边的等效匝数必须保证与变压器变比差别设计才能使得绕组产生额外的漏磁通流过该磁元件中间的等效谐振电感磁柱，该部分漏磁通引起的等效漏感作为谐振电感实现变压器和谐振电感的集成。应用不对称绕组结构来构造谐振电感时，由于原、副边绕组的电流方向相反，产生的磁通存在抵消作用，因此考虑集成的等效谐振电感时需要考虑绕组电流抵消后剩余产生有效谐振电感磁通的绕组。为了对等效谐振电感的集成情况进行定量分析，基于集成磁元件构造谐振电感的物理本质，本章提出有效谐振电感绕组(N_{Lr_Eff})的概念。

$$N_{Lr_Eff} = N_{P1} - n * N_{S1} \quad (3.2)$$

其中， n 为变压器变比， N_{P1} 为左边磁柱上原边绕组的总匝数， N_{S1} 为左边磁柱上副边绕组总匝数。该有效匝数根据右侧磁柱上的绕组分布情况计算可以得到相同的结果，等式相应的使用右边磁柱上的分配绕组进行计算如式（3.3）所示。

$$N_{Lr_Eff} = n * N_{S2} - N_{P2} \quad (3.3)$$

相应地， N_{P2} 为右边磁柱上原边绕组的总匝数， N_{S2} 为右边磁柱上副边绕组总匝数。图 3.7 展示了等效谐振电感磁通 ϕ_{Lr} 的磁回路，由于原、副边绕组电流的抵消作用，图中抵消的绕组显示为灰色，高亮绕组为构造谐振电感的有效谐振电感绕组。根据电流与磁通方向的关系可知，等效谐振电感磁通在左、右两边柱中方向一致，两者叠加汇总后流过中间的等效谐振电感磁柱。根据有效谐振电感匝数和磁通的定量关系可以得到等效谐振电感磁通的表达式。

$$\phi_{Lr} = \frac{Lr_P * i_P}{N_{Lr_Eff}} \quad (3.4)$$

其中， Lr_P 为集成磁元件“T”电路模型中原边侧等效谐振电感， i_P 为折算到原边侧的负载电流， N_{Lr_Eff} 为式 (3.2) 或 (3.3) 中计算得到的有效电感匝数。

上述分析从分立磁元件的角度将集成磁元件的等效励磁磁通和等效谐振电感磁通独立拆分，在分析集成磁元件中实际流过的磁通时，需要采用叠加定理将分立磁通在集成磁元件磁路中进行叠加分析。图 3.8 展示了集成磁元件磁路中叠加磁通的分布情况，黑色虚线表示等效励磁磁通 ϕ_{Lm} ，红色虚线表示等效谐振电感磁通 ϕ_{Lr} ，等效谐振电感磁柱仅流过等效谐振电感磁通，外围的磁芯流通等效励磁磁通和等效谐振电感磁通二者的叠加磁通。由于左、右磁柱中等效励磁磁通方向相反，而等效谐振电感磁通方向相同，因此流通叠加磁通的磁芯左、右两侧有差异具体表达式如式 (3.5) 和 (3.6) 所示。

$$\phi_{Int1} = \frac{\int V_{TP} dt}{N_P} + \frac{Lr_P * i_P}{N_{Lr_eff}} \quad (3.5)$$

$$\phi_{Int2} = \frac{\int V_{TP} dt}{N_P} - \frac{Lr_P * i_P}{N_{Lr_eff}} \quad (3.6)$$

其中， ϕ_{Int1} 为左侧磁芯的叠加磁通，其为等效励磁磁通和等效谐振电感磁通的正向叠加； ϕ_{Int2} 为右侧磁芯的叠加磁通，其为等效励磁磁通和等效谐振电感磁通的反向叠加。

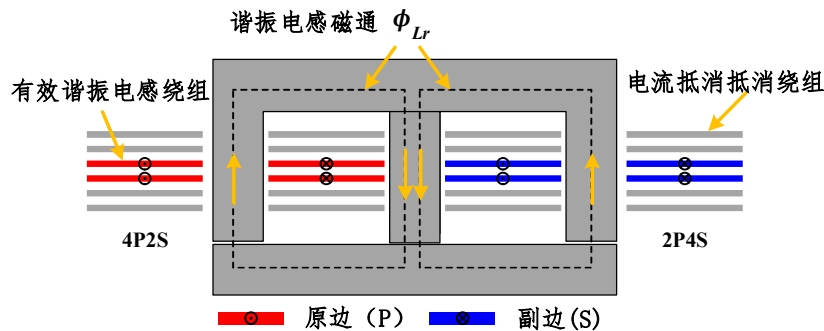


图 3.7 谐振电感磁通磁回路

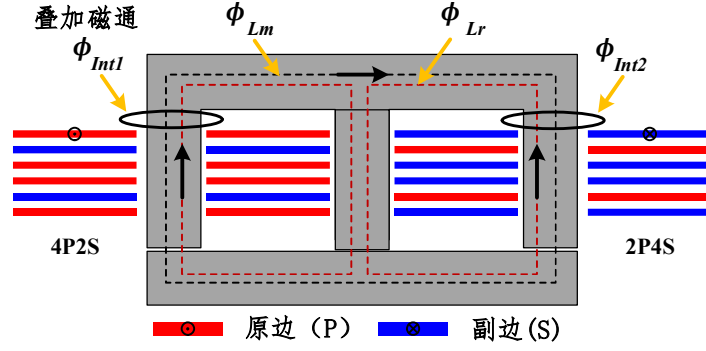


图 3.8 叠加磁通磁路分析

磁芯的截面积需要根据磁芯流过磁通的最大值进行设计，本章所研究的不对称绕组集成磁元件磁芯可以分为两部分：流通等效谐振电感磁通的记为谐振电感磁柱，流通叠加磁通的记为主磁路。根据上述磁通分析可知，主磁路中左、右两侧不同磁柱中流过的磁通最大值可能不同，但从制作简易程度考虑，在设计磁芯截面积时按照最大磁通设计。因此可以推导出该集成磁元件的磁柱截面积表达式。

$$Ae_{Lr} = \frac{Lr_p * i_{p_max}}{N_{Lr_Eff} * B_{max}} \quad (3.7)$$

$$Ae_{Int} = \max \left\{ \frac{1}{B_{max}} * \left(\frac{\int V_{TP} dt}{N_p} \pm \frac{Lr_p * i_p}{N_{Lr_eff}} \right) \right\} \quad (3.8)$$

其中， i_{p_max} 为原边谐振腔电流在整个工作范围的最大值， Ae_{Lr} 为等效谐振电感磁柱磁芯截面积； Ae_{Int} 为流通叠加磁通的主磁路截面积，其值按照叠加磁通的最大值来设计。

现有不对称绕组集成方案将原、副边绕组保持了良好的交错排布，绕组损耗控制在一定程度，但是该绕组分配也导致了有效谐振电感绕组匝数偏小。当变换器需要满足宽增益范围时，需要足够大的谐振电感来实现一定频率范围内对增益的调节，过少的有效电感绕组匝数将导致磁芯截面积大幅增加，甚至超过原有分立磁元件截面积的总和，导致集成磁元件相比于分立磁元件失去优势。

图 3.9 展示了现有设计方案在不同谐振电感下的归一化的磁芯截面积的变化，图中横轴为励磁电感与谐振电感的比值，纵轴表示归一化的磁芯截面积（归一化的基准值为分立磁元件的变压器截面积）。蓝色曲线表示归一化的谐振电感磁柱截面积随谐振电感的变化，红色曲线表示归一化主磁路截面积随着谐振电感的变化。由于励磁电感通常由电路实现软开关的条件来确定，因此横轴比值越大表示谐振电感越小。图中星号位置为现有设计，可以看到由于现有设计在集成小的谐振电感时，流通谐振电感磁通的谐振电感磁柱截面积较小，流通叠加磁通的主磁路磁芯截面积与分立变压器截面积基本一致，因此集成磁元件整

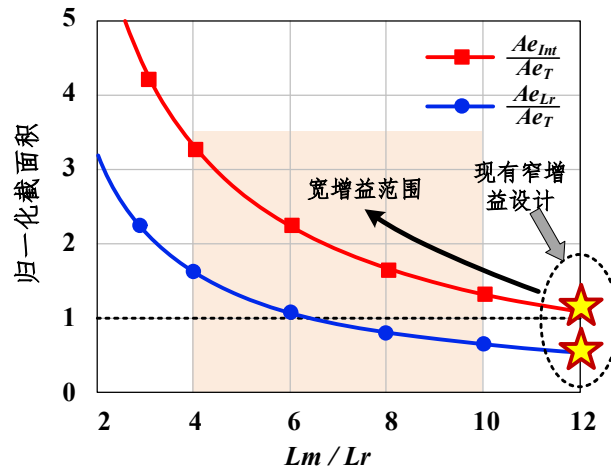


图 3.9 归一化截面积随集成电感量的变化关系

体体积相对分立磁元件具有优势。随着所需集成谐振电感量的增大，所需要的截面积会迅速增大，通常为了实现宽范围的调压，励磁电感与谐振电感的比值通常会取在 4~10 左右的范围内，此时集成磁元件所需要的谐振电感磁柱截面积和主磁路磁芯截面积将远大于分立磁元件变压器的磁芯截面积。因此，对于宽增益范围应用场合，集成较大谐振电感量时需要对该方案进行重新设计以保持集成磁元件高效率、高功率密度的优势。

3.2.2 不对称绕组集成磁结构改进方案

磁芯的截面积与绕组端口所承受的伏秒成正比，与绕组匝数成反比，绕组端口的电气特性由电路规格决定，因此设计上仅能对磁元件的绕组匝数和磁芯截面积进行优化。现有不对称绕组集成磁元件设计方案在集成大电感量的谐振电感时会导致磁芯截面积明显增大，其原因主要在于有效谐振电感绕组匝数偏小导致磁芯中的叠加磁通增加。要减小磁芯截面积有两种基本方法，一种是在不改变绕组总匝数的情况下减弱原、副边绕组的交错程度；如图 3.10 (a) 所示，在保持原有绕组总匝数不变的情况下减小原、副边绕组的交错匝数，使得磁柱上原、副边绕组电流抵消后剩余的构造谐振电感的有效绕组匝数增加，从而减小磁芯中的谐振电感磁通。该方法的优点是不需要增加额外绕组，但绕组的交错程度被牺牲，绕组损耗增加。另一种方案是在保持绕组交错程度基本不变的基础上（即不增加有效谐振电感绕组匝数）增加变压器绕组匝数；如图 3.10 (b) 所示，在保持原、副边绕组交错程度不变的情况下原、副边绕组的匝数按照变压器变比同时增加，该方法可以增加等效变压器绕组匝数，减小等效励磁磁通，但该方案在增加绕组匝数时会引起绕组直流电阻增加。上述两种增加绕组的方法各有利弊，更优化的方式应该是两种方式的结合，综合考虑变压器匝数和有效谐振电感匝数的变化与集成磁元件总体积、总损耗的关系。

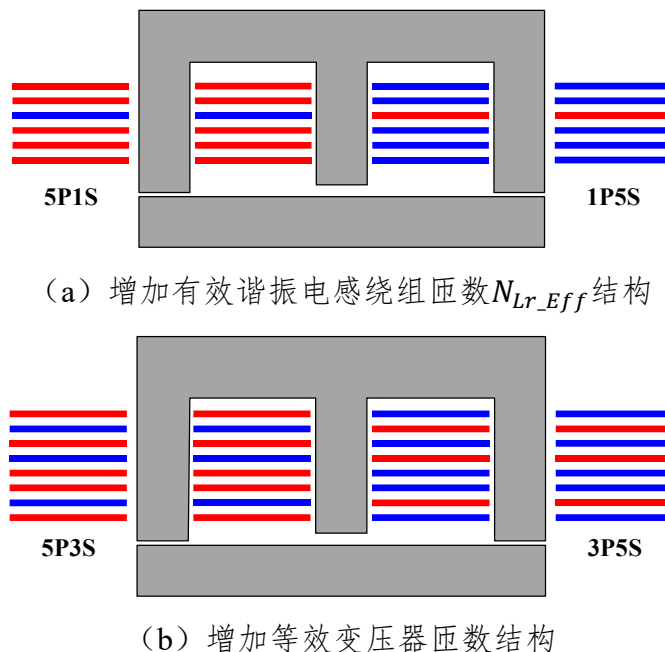


图 3.10 减小磁芯截面积的两种绕组变化方式

绕组匝数和结构的变化对磁芯体积、绕组损耗等都有明显影响，因此基于不对称绕组集成磁元件构造大感量的谐振电感时，需要给出多变量下的优化设计方案，以充分发挥集成磁元件小体积、高效率的优势。

3.3 不对称绕组集成磁元件优化方法

不对称绕组集成磁元件在集成大感量电感时需要对绕组匝数、空间排布以及磁芯截面积进行重新设计，以充分发挥集成磁元件在效率和功率密度方面的优势。在该集成磁结构中，由于变压器绕组和等效电感绕组混叠在一起，不同的绕组匝数、原/副边绕组的交错程度以及绕组的层叠结构对磁元件体积和损耗的影响与传统分立磁元件有明显不同，为了实现磁元件的最优设计，本小节将从绕组总匝数、绕组交错程度、绕组叠层排布结构等几个方面对磁元件整体的体积和损耗给出详细的分析与优化设计。

3.3.1 最低 MMF 分布的绕组排布

3.3.1.1 传统分立变压器和电感的绕组磁动势分布

绕组交流电阻系数为等效交流电阻与直流电阻的比值（如式（3.9）），其大小表征了绕组中电流分布的均匀程度，交流电阻系数越大，绕组中的电流分布越不均匀。绕组中电流的分布不均匀主要是由于绕组在高频电磁场作用下产生的涡流导致的。原、副边绕组通过电流时，作为磁场的磁场激励源磁动势（MMF）和磁路的空间结构决定了绕组空间磁场的分布情况，根据安培环路定律，绕组所处空间位置的磁场强度与磁动势的大小成正比，

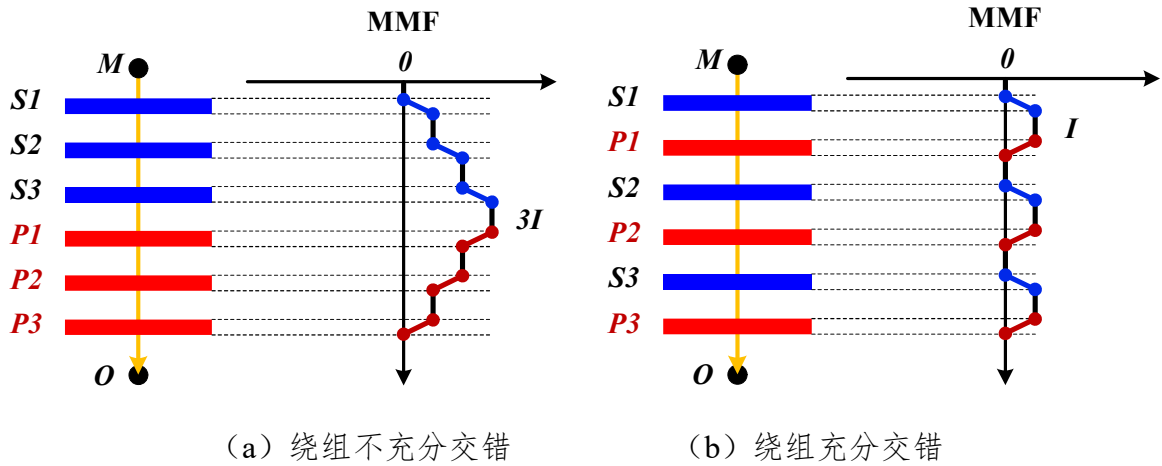


图 3.11 不同交错结构下变压器绕组的磁动势分布

绕组交错会使得原、副边绕组中电流所产生的磁动势相互抵消，从而减小绕组所处位置的交变磁场幅值，进而减小交变磁场产生的涡流，减小绕组损耗。

$$k_{AC} = \frac{R_{AC}}{R_{DC}} \quad (3.9)$$

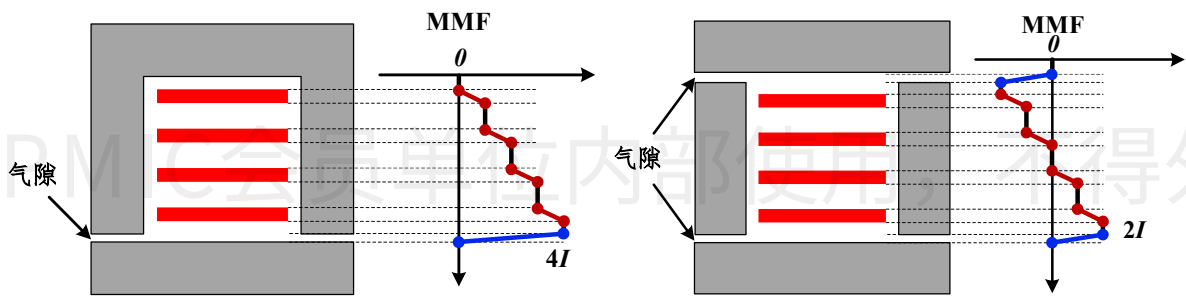
针对平面变压器绕组结构的设计，磁动势通常被用来评价绕组的交错效果。图 3.11 以匝比为 6:6 的变压器为例展示了原、副边绕组不交错和充分交错两种排布结构下的磁动势差异对比。可以看出，绕组对称排布的交错结构使得绕组所处空间位置的磁动势分布幅值大幅减小。

对于电感器件，绕组电流方向一致，不存在交错结构，因此磁动势分布与绕组的层叠结构无关。电感绕组电流不存在抵消效果，因此绕组会产生很大的磁动势，在含有气隙的磁芯结构中，该磁动势可近似认为完全被磁回路中的气隙承担，气隙磁动势变化方向与绕组磁动势变化相反、幅值相等。在很小的气隙上磁动势幅值会发生巨大变化，气隙的分布直接影响绕组空间磁动势的分布幅值。图 3.12 所示为以 4 匝绕组的平面电感器为例，取其剖面图的一半展示磁芯和绕组结构及其与之对应的绕组空间磁动势的分布情况。图 3.12 (a) 为含有单边气隙的电感结构，其磁动势分布最大幅值为 $4I$ （其中 I 为单匝绕组流过的电流大小）；如图 3.12 (b) 所示为绕组上、下两侧磁元件均匀开气隙的磁结构，此时单侧气隙所分担的磁动势为绕组总磁动势的一半，因此靠近气隙位置的绕组起始磁动势幅值会减半（减为 $2I$ ）。以此类推，磁芯总气隙在磁芯竖直中柱上拆分为多段均匀长度的气隙时，靠近气隙处绕组位置的起始磁动势幅值与磁芯段数成反比例减小。

但是当磁芯磁柱气隙段数大于等于三段且均匀分布时，气隙除了分布在绕组顶、底部外，还会分布在绕组竖直方向的中间位置。磁场在气隙处具有边缘效应，即气隙边缘磁场

会出现扩散现象,该扩散磁场交链附近绕组时会在绕组上引起额外涡流损耗。在绕组顶、底部的气隙容易通过增加磁芯窗口高度的该方式实现绕组对气隙的避让,竖直磁柱中间的气隙与绕组处于相同平面,避让时会导致窗口绕组的利用率明显变低,因此为了便于绕组对气隙避让,本章选择在 PCB 绕组上、下两侧的竖直磁柱顶、底部位置开气隙。

图 3.13 为在绕组底部位置单边气隙和顶、底部双边位置开气隙的磁仿真对比结果。仿真参数为:绕组宽度为 5mm,绕组铜厚 20Z,绕组间距为 0.25mm。由于磁仿真中无法直接观测磁动势的分布,而磁场强度与磁动势成正比,且能够更加直接的反映绕组的涡流损耗,因此以磁场强度的仿真结果来对比绕组单边和双边气隙的不同影响。图 3.13 中红色曲线为单边气隙下绕组空间的磁场强度分布,可以看到磁场强度与理论分析的磁动势分布基本一致,呈单边分布,而靠近气隙处磁场强度的幅值最大;图中绿色曲线对应中双边气隙下绕组空间的磁场强度分布,可以看到,磁场强度与磁动势分布也基本吻合,在零坐标两侧对称分布,磁场强度的最大幅值是单边气隙结构下磁场强度的一半。



(a) 带有单边气隙的电感绕组磁动势分布 (b) 带有双边气隙的电感绕组磁动势分布

图 3.12 不同气隙分布下电感绕组的磁动势分布

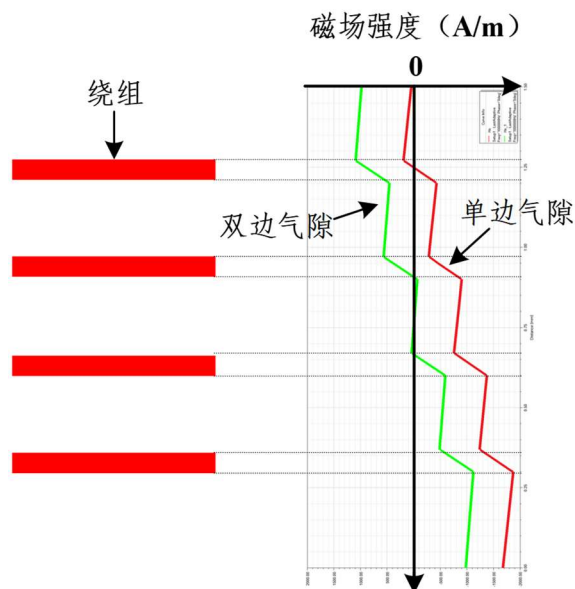


图 3.13 单、双边气隙下绕组空间磁场强度对比

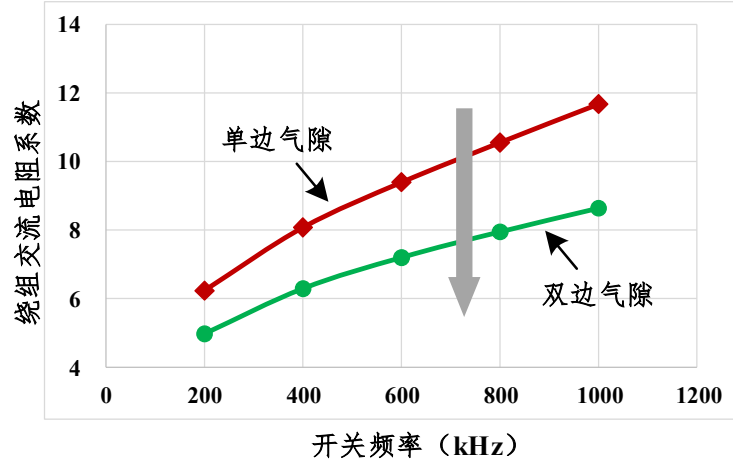


图 3.14 单、双边气隙下绕组交流电阻系数随频率的变化

由于双边气隙的应用使得绕组所承受的高频交变磁场的幅值降低，磁场的变化率 $\frac{dH}{dt}$ 也同步降低，绕组中感应出的涡流损耗也随之减小。为了直观反映不同气隙结构对绕组损耗的影响，图 3.14 给出了不同频率下单边气隙和双边气隙结构下绕组交流系数的变化情况，其中红色曲线为单边气隙结构中绕组交流电阻系数随频率的变化，绿色曲线为双边气隙结构中绕组交流电阻系数随频率的变化。可以看到，相比于单边气隙结构，双边气隙结构下由于绕组空间交变磁场强度的减小使得绕组的交流电阻系数大幅下降，且频率越高，下降的越明显。

3.3.1.2 最小磁动势分布的绕组结构设计

理想变压器中所包含的原、副边绕组电流方向相反，通常采用绕组充分交错的方式来减小绕组的交流电阻系数。在不对称绕组集成磁元件中，原、副边绕组的匝数比与等效变压器变比不一致，每个磁柱上原、副边绕组中的总电流无法抵消，从结构上来看，绕组是变压器绕组和有效谐振电感绕组混合层叠一起，导致集成磁元件的绕组优化设计会与单一磁元件有很大不同。由于不对称绕组集成磁元件其绕组是变压器绕组和有效谐振电感绕组的混合叠绕结构，在磁芯在绕组上、下两侧开对称气隙时，单个气隙的磁动势为绕组总的磁动势的一半，由于原、副边绕组电流的抵消效果，单个磁柱上总的磁动势等效为有效谐振电感绕组产生的磁动势。

$$F = (N_{P1} - n * N_{S1})i_P = N_{Lr_Eff} * i_P \quad (3.10)$$

其中， N_{Lr_Eff} 为单个磁柱上有效谐振电感绕组匝数， i_P 为原边绕组电流。根据另一边磁柱上绕组计算可以得到相同结果，此处不做赘述。由此可以推导出 PCB 上、下表面绕组处起始位置的磁动势幅值 F_0 的表达式。

$$F_0 = 0.5F = 0.5N_{Lr_Eff} * i_P \quad (3.11)$$

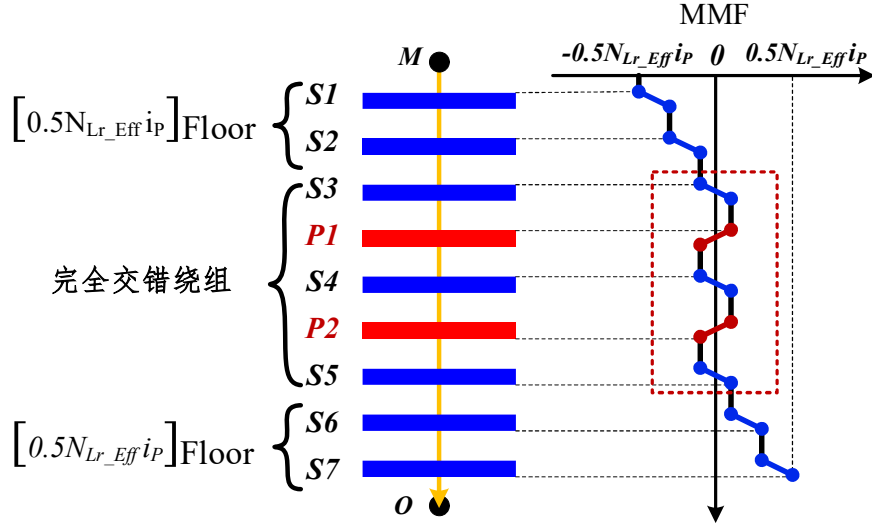


图 3.15 最小 MMF 分布的绕组排布结构

气隙所承担的磁动势由磁柱上原、副边总的电流安匝数决定，不随绕组排布改变发生变化，因此 PCB 顶部和底部位置处绕组的磁动势起始幅值固定，为 F_0 。要构造绕组排布使得整体的磁动势分布幅值最小，需要使得绕组磁动势从起始磁动势 F_0 迅速向零位置变化，从绕组分配上来说，需要把有效谐振电感绕组一分为二置于 PCB 绕组的上、下表面靠近气隙的位置，由于绕组起始位置磁动势为 $0.5N_{Lr_Eff} * i_P$ ，贴近绕组上、下表面的有效谐振电感绕组使得磁动势随着该部分绕组迅速下降至零位置附近；剩余的原、副边绕组中电流可以完全抵消，按照传统的变压器进行最优的交错排布即可保证剩余绕组部分所处空间的磁动势幅值最小。由于有效谐振电感绕组为分数匝时需要取整处理，比如设计时 N_{Lr_Eff} 小于 2 且为分数匝，则各取一匝有效谐振电感绕组侧绕组置于 PCB 上、下表面；如果 N_{Lr_Eff} 大于 2，则对 $0.5N_{Lr_Eff}$ 向下取整，将该匝数的有效谐振电感绕组置于 PCB 上、下表面；剩余绕组按照原、副边最佳交错方式排布。根据以上分析，如图 3.15 所示为本小节所提出的最小 MMF 的绕组空间排布结构（以 7P2S 的绕组为例），相比于传统设计的均匀交错对称排布结构，中间位置的绕组位置处磁动势幅值可保持最小值。

3.3.2 绕组交流系数计算

上述分析推导了最小 MMF 分布的绕组排布结构，MMF 的幅值大小影响绕组等效交流电阻系数。基于一维磁场分布推到了平面绕组交流电阻系数随着绕组等效层数的变化，第 m 层的绕组交流电阻系数表达式如 (3.12) [70, 152]。

$$k_{AC} = \frac{\varepsilon}{2} \left[\frac{\sinh(\varepsilon) + \sin(\varepsilon)}{\cosh(\varepsilon) - \cos(\varepsilon)} + (2m - 1)^2 \frac{\sinh(\varepsilon) - \sin(\varepsilon)}{\cosh(\varepsilon) + \cos(\varepsilon)} \right] \quad (3.12)$$

其中， ε 为有效集肤深度， m 为绕组的等效层数，有效集肤深度的表达式为：

$$\varepsilon = \frac{d}{\delta} \quad (3.13)$$

其中 d 为 PCB 绕组的铜厚， δ 为集肤深度。等效绕组层数 m 的表达式为

$$m = \frac{F(d)}{F(d) - F(0)} \quad (3.14)$$

其中， $F(0)$ 和 $F(d)$ 为所研究绕组层两个表面位置处的磁动势幅值。图 3.16 展示了最小磁动势分布下绕组的等效层数变化，绕组对应的磁动势幅值相同的绕组等效层数相同。图 3.17 为其对应的磁场强度仿真结果。可以看到，绕组空间位置的磁场强度幅值分布情况与所分析的磁动势分布情况基本一致。

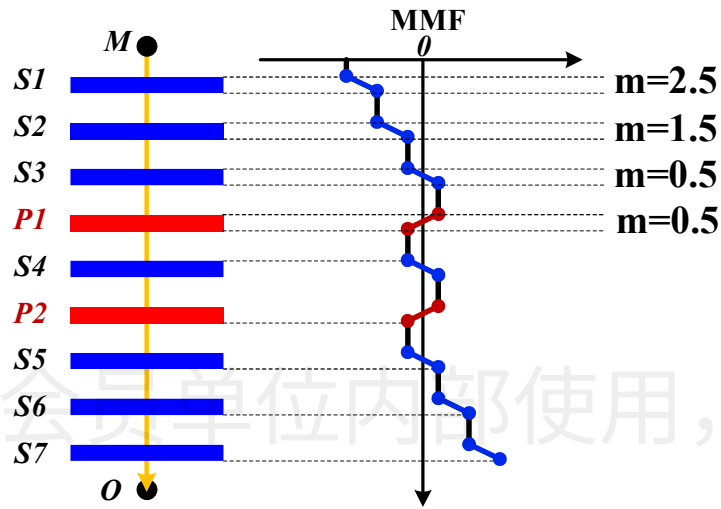


图 3.16 最小磁动势分布下绕组的等效层数

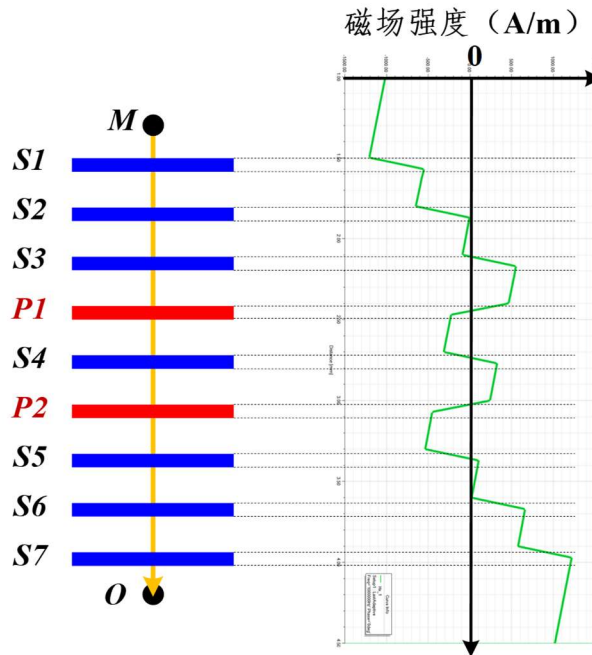


图 3.17 磁动势分布磁场仿真

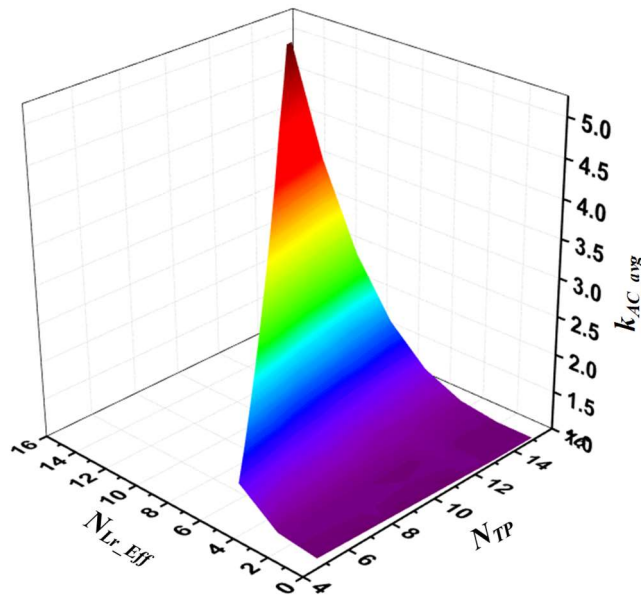


图 3.18 绕组平均交流电阻系数随总匝数和有效电感匝数的变化

绕组均按照上述推导的最小磁动势分布结构排布，基于此，将绕组总匝数和有效谐振电感绕组匝数作为两个自由变量，可以求出不同绕组匝数时，最小磁动势分布下的绕组交流系数进行计算。由于绕组全部为串联结构，求得每层绕组交流电阻系数后可以对所有绕组求平均得到绕组的平均交流电阻系数 k_{AC_avg} 。

$$k_{AC_avg} = \frac{1}{N_T} \sum_{i=1}^{N_T} k_{AC_i} \quad (3.12)$$

其中， N_T 为绕组总匝数， k_{AC_i} 为第 i 匝绕组的交流电阻系数。根据上述计算，可以得出绕组平均交流系数随着绕组原边总匝数 N_{TP} 和有效谐振电感绕组匝数 N_{Lr_Eff} 的变化曲面如图 3.18 所示。

3.4 实验设计与测试验证

3.4.1 样机规格及参数设计

所提出的磁件优化设计方案及其验证受功率等级的绝对值影响不大。在维持电压等级相同的情况下，本文对其按照第二章中 6.6kW 功率等级的 OBC 产品相应的输出伏安特性曲线对输出功率降额设计，一方面不影响所提出磁件的工作特性评估，另一方面便于样机的制作和参数测试。本章所设计的谐振 DC/DC 样机输入侧母线电压为 400V，输出电压为 250V~400V，样机功率设计为 2kW。为了减小高频下开关管的开关损耗、保证驱动电路可靠工作，拓扑选择 CLLC 串并联谐振电路，励磁电感 L_m 参与谐振，一方面用于在死区时间内帮助开关管实现软开关，另一方面作为主要谐振元件在开关频率变化时起到调节电路增益的作用。

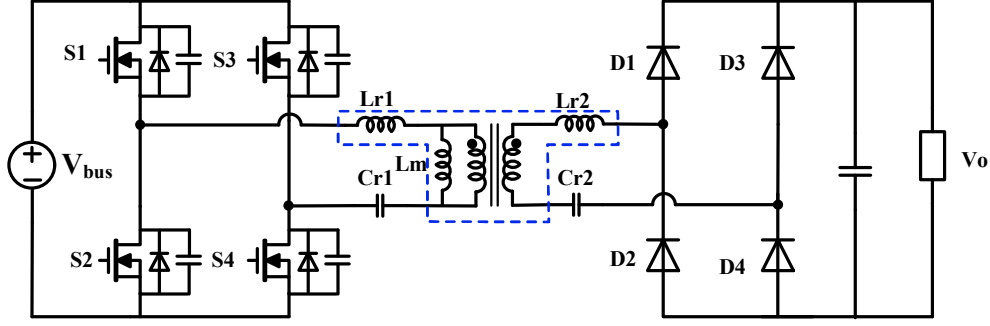


图 3.19 CLLC 串并联谐振电路

3.4.1.1 增益曲线及电感参数设计

CLLC 串并联谐振电路基于基波等效方法简化后的原理图如图 3.20 所示。该图中副边侧谐振电感、谐振电容以及负载电阻经过变压器向原边侧进行了折算，输入等效为 $\pm V_{in}$ 的电压源。根据该简化电路，按照电路中元器件串并联分压的情况，可以计算出输出增益表达式如式 (3.13) 所示。

$$G = \frac{1}{\sqrt{\left(\frac{Q}{k}\right)^2 \left[(k + kh + h)\omega_n - \left(k + \frac{k}{g} + h + \frac{1}{g}\right) \frac{1}{\omega_n} + \frac{1}{g\omega_n^3} \right]^2 + \left(1 + \frac{1}{k} - \frac{1}{k\omega_n^2}\right)}} \quad (3.13)$$

其中， Q 为电路的品质因数，定义为 $Q = \sqrt{Lr1/Cr1/Rac}$ ， $k = Lm/Lr1$ ， $h = Lr2/Lr1$ ， $g = Cr2/Cr1$ ， $\omega_n = \omega_s/\omega_1$ ， $\omega_1 = 1/\sqrt{Lr1 * Cr1}$ 。在该电路中由于结构对称性，等效集成在变压器原、副边侧的电感量与等效变压器匝比的平方成正比，当两侧谐振电容与谐振电感同时匹配至同一谐振点时，有 $h = 1/n^2$ ， $g = n^2$ 。将谐振点增益设计在输出电压在 350V 左右，可以得到如图 3.21 所示的归一化的增益曲线。

本章节所设计的 CLLC 谐振电路谐振点开关频率在 600kHz 左右，根据所选择的开关管结电容大小，根据死区时间内开关管恰好实现软开关来设计励磁电感 Lm ，同时依据上述所分析的增益曲线，限定开关频率变化范围不超过两倍，最终确定集成磁元件的电气参数为 $Lm=20 \mu H$ ， $Lr1=4.5 \mu H$ ， $Lr2=3.8 \mu H$ 。

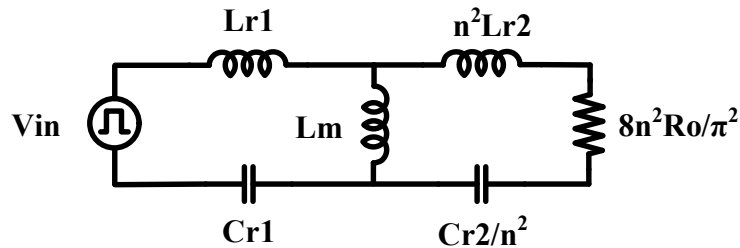


图 3.20 CLLC 串并联谐振电路简化图

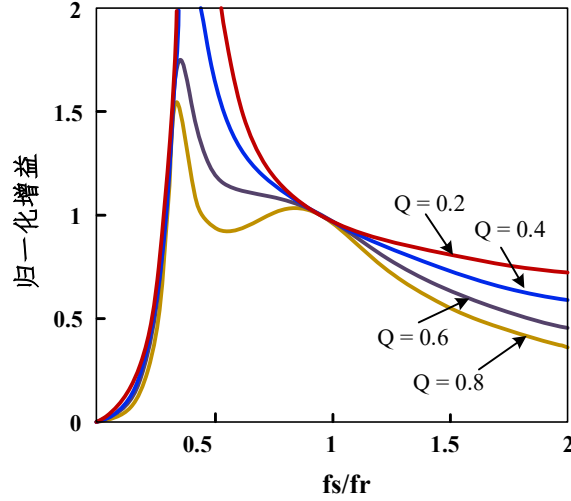


图 3.21 归一化增益曲线随频率及品质因数的变化

3.4.1.2 不对称绕组集成磁元件损耗与体积建模

损耗和体积是评价磁元件性能的重要指标，因此本章对集成磁元件的优化主要从损耗和体积两个方面进行建模分析。图 3.22 为所提出的不对称绕组集成磁元件剖面的顶视图，其中绿色部分为绕组，灰色部分为磁芯磁柱，磁柱 A 和磁柱 B 为流通励磁磁通和谐振电感磁通的叠加磁通磁柱，磁柱 C 为流通谐振电感磁通的磁柱。磁芯和绕组各部分的长度在图中分别做了标记，对于绕组长度、磁元件的尺寸基于上述尺寸进行建模。

首先分析磁元件的损耗，其包括绕组损耗 P_W 和磁芯损耗 P_{Core} 两部分。绕组的直流电阻决定于绕组的截面积和绕组的长度，从图 3.22 中可以计算磁柱上单匝绕组的平均长度 l_{w_avg} ，如式 (3.14) 所示。

$$l_{w_avg} = 2\pi\left(r_m + \frac{r_w}{2}\right) + 2 * L1 \quad (3.14)$$

其中， r_m 为磁柱 A、B 的圆弧半径， $L1$ 为磁柱 A、B 的直线部分长度， r_w 为绕组宽度。绕组的截面积可表示为式 (3.15) 所示。

$$S_w = r_w * d \quad (3.15)$$

进而可以推导出单匝绕组的直流电阻如式 (3.16) 所示。

$$R_{w_avg} = \frac{\rho_{copper} * l_{w_avg}}{S_w} \quad (3.16)$$

最终可以求解集成磁元件的绕组总损耗如式 (3.17) 所示。

$$P_W = \left(I_{P_RMS}^2 R_{w_avg} * N_P + I_{S_RMS}^2 * R_{w_avg} * N_S\right) * k_{AC_avg} * k_{temp} \quad (3.17)$$

其中， I_{P_RMS} 为原边绕组电流有效值， I_{S_RMS} 为副边电流有效值， k_{temp} 为绕组工作时温度导致的电阻系数的增加系数。

对于磁芯的其它尺寸参数，可以结合图 3.22 所示的磁元件的几何关系来计算。

$$L1 = \frac{Ae_{Int} - \pi * r_m^2}{2 * r_m} \quad (3.18)$$

$$W_{core} = 2 * r_w + 4 * r_m \quad (3.19)$$

$$L_{Ind} = \frac{Ae_{Lr}}{W_{core}} \quad (3.20)$$

$$L_{core} = 2 * r_m + L1 + L_{Ind} + r_w \quad (3.21)$$

$$L_{mag} = 2 * r_m + L1 + L_{Ind} + 2 * r_w \quad (3.22)$$

$$W_{mag} = 4 * r_m + 4 * r_w \quad (3.23)$$

$$H_{mag} = 4 * r_m + h \quad (3.24)$$

其中， h 为窗口高度， W_{core} 为磁芯总宽度， L_{core} 为磁芯总长度， L_{Ind} 为谐振电感磁柱宽度， L_{mag} 为集成磁元件总长度， W_{mag} 为集成磁元件总宽度， H_{mag} 为集成磁元件总高度。根据以上所推导的尺寸表达式可以计算集成磁元件各部分磁柱的体积。

$$Ve_{core1} = 2 * Ae_{Int} * h + Ae_{Lr} * h \quad (3.25)$$

$$Ve_{core} = 2 * L_{core} * W_{core} * \max\{2r_m, L_{core}\} \quad (3.26)$$

$$Ve_{core} = Ve_{core1} + Ve_{core} \quad (3.27)$$

其中， Ve_{core} 为竖直磁柱的磁芯体积， Ve_{core} 为绕组顶部和底部盖板磁片的磁芯体积， Ve_{core} 为磁芯的总体积。进而根据斯坦梅兹方程（Steinmetz equation）对磁芯损耗 P_{Core} 进行计算。

$$P_{Core} = k * fs^\alpha * B^\beta * Ve_{core} \quad (3.28)$$

其中， k 、 α 、 β 为根据磁芯材料数据手册中给出的磁芯损耗密度随着开关频率、磁芯最大磁密的曲线拟合得到的相关系数。

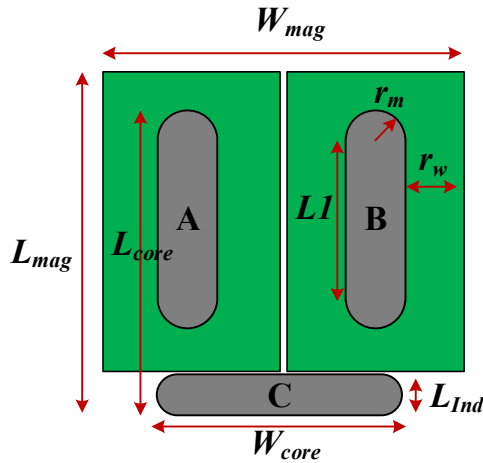


图 3.22 所设计的集成磁元件剖面顶视图

按照长方体来计算集成磁元件所占空间的总体积，可以得到其表达式如(3.29)所示。

$$V_{mag} = L_{mag} * W_{mag} * H_{mag} \quad (3.29)$$

根据上面所提出的集成磁元件的损耗和体积所建立的数学模型，针对所研究的集成磁元件规格，基于总损耗和总磁元件体积对绕组的总匝数 N_{TP} 以及绕组交错后构造的有效谐振电感绕组匝数 N_{Lr_Eff} 进行优化设计。

图 3.23 为集成磁元件的总损耗随着集成磁元件总原边匝数以及有效谐振电感绕组匝数的变化（其中给定了磁芯中的磁密峰值为 70mT，绕组铜厚为 70 μ m（2 盎司），谐振点开关频率为 600kHz，以输出功率 2kW 来评估）。如图所示，随着变压器总匝数的增大绕组损耗先增大后减小，绕组匝数过小会导致磁芯体积偏大，绕组长度也变大，总损耗偏大，而绕组匝数过多时也会导致绕组损耗占比过大导致整体损耗增加。与之类似，相同的绕组总匝数条件下，总损耗随着有效谐振电感绕组匝数先减小后增大，当有效谐振电感绕组匝数过小时会导致所需磁芯截面积大幅增加，绕组长度随之增大导致绕组损耗增加；当有效谐振电感绕组匝数过大时，绕组的交错程度很低，绕组的交流电阻系数急剧增大引起绕组损耗变大。图 3.24 所示为集成磁元件总体积随着绕组总匝数和有效谐振电感绕组匝数的变化关系曲面。可以看到，集成磁元件总体积与绕组总匝数和有效谐振电感绕组匝数均成反比，绕组匝数越多，在构造相同大小的电感量时所需的磁芯截面积越小，因此磁元件体积越小。

图 3.25 所示为对图 3.23 和图 3.24 的整合，以集成磁元件总损耗和总体积随绕组总匝数和有效谐振电感绕组匝数的变化的等值线图。其中横轴为绕组原边总匝数，纵轴为有效谐振电感绕组总匝数，红色虚线表示集成磁元件总损耗的等值线，蓝色实线为集成磁元件总体积的等值线图，由于有效电感匝数始终小于变压器匝数，因此图中无效参数部分在图中以灰色部分覆盖。

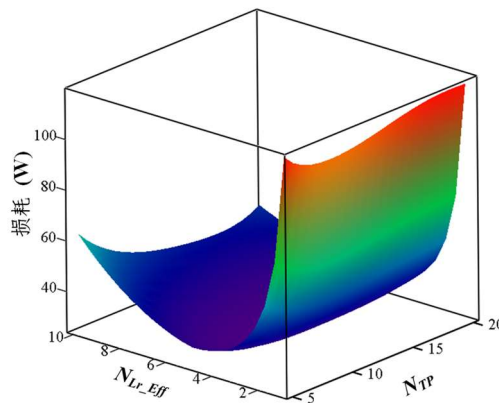


图 3.23 集成磁元件总损耗随绕组总匝数和有效谐振电感绕组匝数的变化

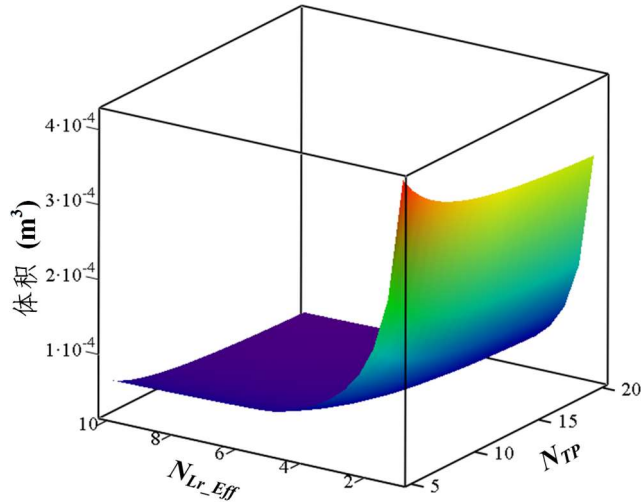


图 3.24 集成磁元件总体积随绕组总匝数和有效谐振电感绕组匝数的变化

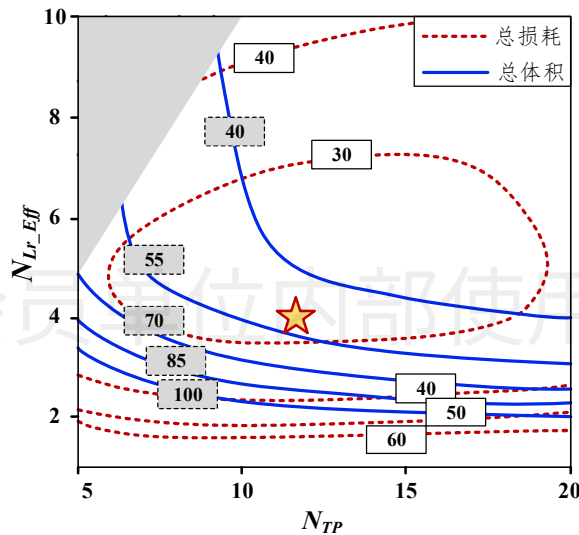


图 3.25 集成磁元件总损耗和总体积随匝数的变化关系

3.4.2 不对称绕组集成磁元件磁仿真分析

为了验证上述分析与建模的合理性，基于 CLLC 串并联谐振实验样机进行实验测试，按照设计的参数制作了不对称绕组集成磁元件。所设计的平面集成磁元件参数为：磁元件原、副边绕组总匝数为 12:11，有效谐振电感绕组匝数为 4 匝，磁元件采用两块 8 层 PCB 板叠板，除去出线的端子层每个磁柱上每层 PCB 绕制单匝绕组，铜厚为 $70\mu\text{m}$ (2 盎司)。图 3.26 为所提出的不对称绕组集成磁元件的 3D 示意图，其中灰色部分为磁芯，蓝红色代表绕组，图 3.27~图 3.28 为谐振点满载工况时根据电路仿真数据导入 ANSYS 有限元磁仿真工具得到的磁仿真结果。图 3.27 为集成磁元件绕组损耗的仿真结果，其中红色实线和蓝色实线分别为原、副边绕组电流，黑色虚线为施加上述电流激励时的绕组瞬时总损耗的变化曲线，根据仿真得到的绕组平均损耗大约为 17.8W。图 3.28 为不同时刻的磁芯中磁感应

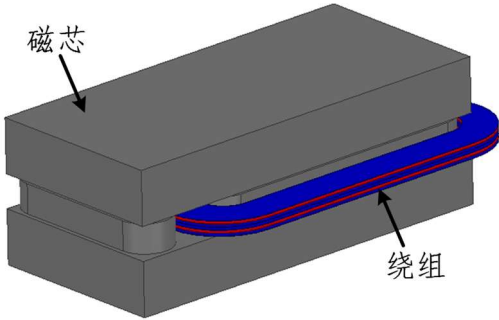


图 3.26 集成磁元件 3D 结构示意图

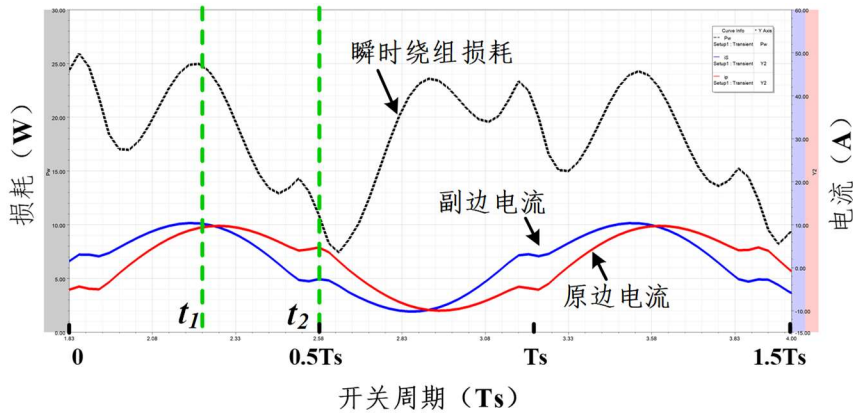
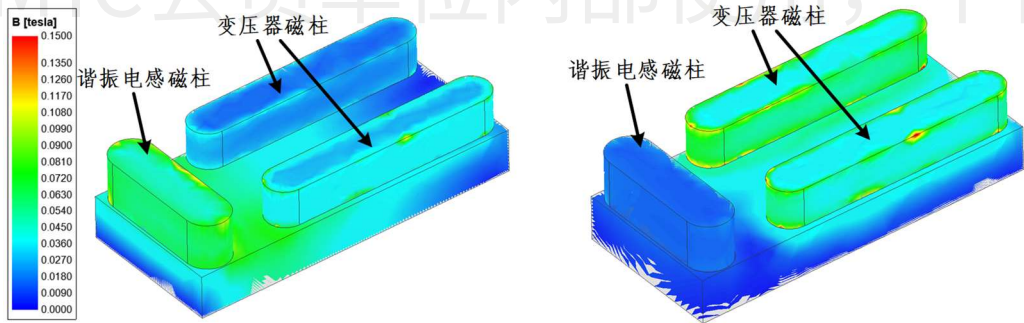


图 3.27 绕组损耗仿真结果



(a) 负载电流峰值时刻磁通分布 (b) 励磁电流峰值时刻磁通分布

图 3.28 磁通密度分布结果

强度分布的仿真结果，其中图 3.28 (a) 为负载电流最大时刻 (t_1) 的磁密分布，此时等效谐振电感磁柱的磁密最大；图 3.28 (b) 为励磁电流最大时 (t_2) 的磁密分布，此时变压器磁柱磁密最大；不同时刻磁芯中的磁密分布都相对均匀，磁密与设计值相吻合。

3.4.3 实验测试

为了验证上述分析与设计的集成磁元件性能，按照设计的参数制作了不对称绕组集成磁元件，搭建了一台 CLLC 串并联谐振样机进行实验测试。样机规格如下：输入电压 400V，输出电压 250V~400V，输出最大功率 2kW。根据传统的 6.6kW 功率等级的车载充电机的

输出特性曲线，样机的输出按照 2kW 进行了等比例降额，即输出 250V 至 275V 时，样机输出最大电流 7.3A，输出电压高于 275V 时样机最大输出功率为 2kW。变换器原边采用 GaN 器件 GSS66516B，副边采用 SiC 二极管整流。样机及磁件的关键参数规格如表 3.1 所示。所搭建的集成磁元件的照片如图 3.29 所示。

表 3.1 样机规格及关键元器件参数

参数	规格
输入电压	400V
输出电压	200~450V
最大输出功率	2kW
最大输出电流	7.3A
谐振频率	600kHz
励磁电感	20μH
Lr1/Lr2	4.5μH /3.8μH
绕组匝比	12:11
磁材料	DMR51W

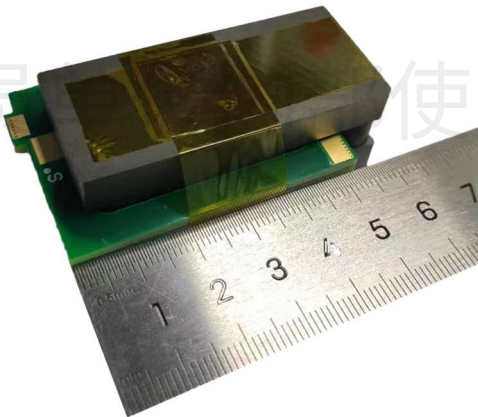
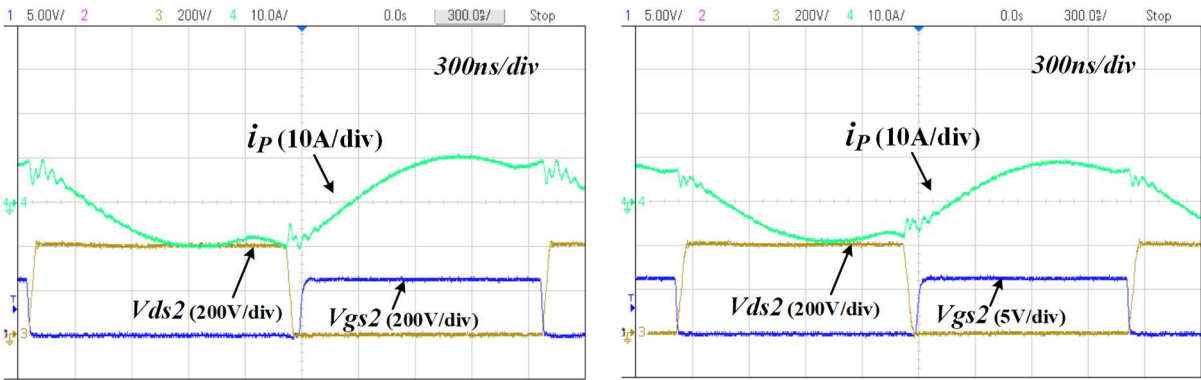
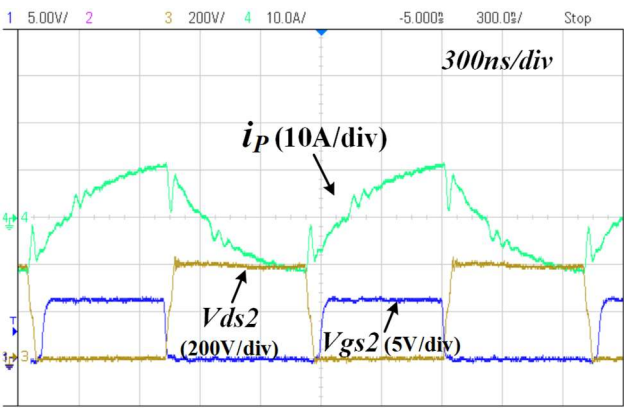


图 3.29 不对称绕组集成磁元件样机图



(a) 最高输出电压下的工作波形 (b) 谐振点工作时的关键波形



(c) 最低输出电压下的关键波形

图 3.30 不同输出电压下的关键波形

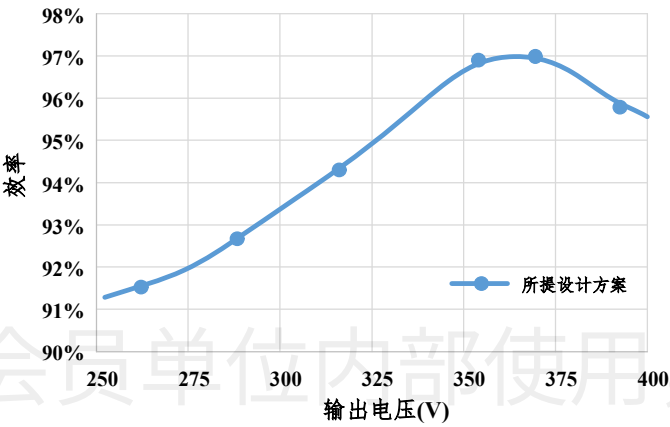


图 3.31 不对称绕组集成磁元件效率曲线

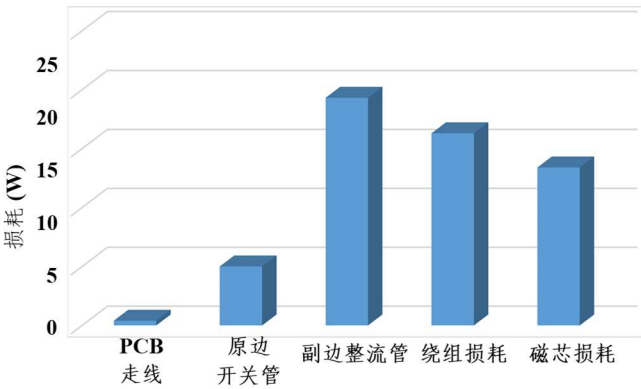
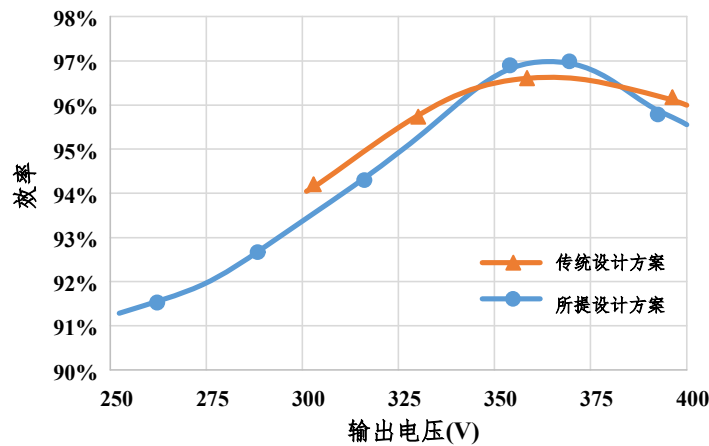
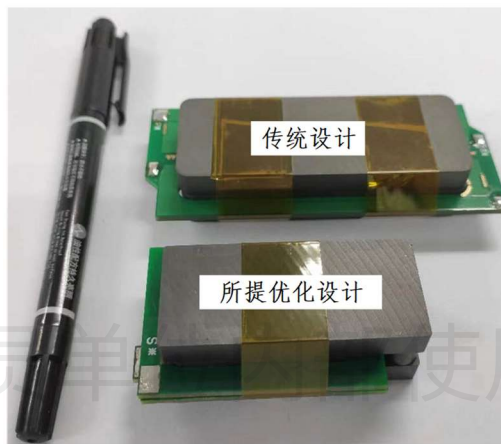


图 3.32 不对称绕组集成磁元件谐振点损耗分解

图 3.30 (a) ~ (c) 为不同输出电压时满载工况下的关键测试波形，其中绿色曲线为原边谐振腔电流波形，深黄色曲线为原边开关管 S2 的漏-源电压波形 V_{ds2} ，蓝色曲线为开关管 S2 的门极驱动信号 V_{gs2} ，图 3.30 (a) 为最高输出下的波形，图 3.30 (b) 为谐振点附近波形，图 3.30 (c) 为最低输出电压时的波形。可以看到，不同的输出电压下，开关管均实现了软开通。图 3.31 为根据所提出的优化设计方案设计磁元件测得的不同输出电压下



(a) 效率对比



(b) 体积对比

图 3.33 所优化的集成磁元件与现有方案的效率和体积对比

满载工况的效率曲线，可以看到谐振频率点实现了 97%左右的峰值效率，图 3.32 为在峰值效率点对样机进行的损耗分解，可以看到，磁元件的损耗与所设计的 1.5%的功率占比基本一致。为了验证本章所提出的优化设计方案对比现有设计的优势，在此基于现有文献[124]的设计方案同步搭建了集成磁元件进行对比测试；两者的效率和体积对比如图 3.33 所示，可以看到，在效率基本一致的情况下，磁元件的体积下降了 25%左右，验证了本章所提出的优化设计方案的准确性和可行性。

3.5 不对称绕组集成磁结构归纳及拓展

上述不对称绕组集成磁结构基于原、副边绕组在“U”型磁芯的两个磁柱上构造与变压器变比不一致的绕组结构，使得同一磁柱上原、副边绕组流过的电流所产生的安匝数不一致，包含差异化负载电流的绕组可以等效为谐振电感绕组，产生谐振电感磁通。但是为了构造谐振电感，该有效谐振电感绕组产生的谐振电感磁通需要与另一侧磁柱上产生的谐

振电感磁通需要有独立的磁回路，否则两边磁柱产生的谐振电感磁通会相互抵消，无法构造谐振电感。如图 3.34 所示以匝比为 6:6 的变压器为例，磁柱 A 和磁柱 B 上绕有匝数不对称的原、副边绕组分别为 4P2S 和 2P4S，则磁柱 A、B 上的分别会有两匝原边和两匝副边绕组作为有效电感绕组产生出谐振电感磁通 ϕ_{Lr1} 和 ϕ_{Lr2} ，但如果没有额外磁回路，左右两侧产生的谐振电感磁通将会相互抵消，无法构造谐振电感。为了构造需要的谐振电感，必须增加额外磁回路防止谐振电感磁通抵消。如图 3.35 所示，增加单独的磁柱 C 来旁路磁柱 A 和磁柱 B 产生的谐振电感磁通，谐振电感磁通在谐振电感磁柱 C 同向叠加；此时两边磁柱上绕组产生的励磁磁通在磁柱 C 反向抵消，因此该磁柱仅流通谐振电感磁通。

上述结构基于不对称绕组集成结构实现了变压器和谐振电感共用绕组和部分磁芯，实现了磁元件的集成。由第一章的分析可知，励磁磁通和谐振电感磁通由于有较大相位差，两者在磁芯中叠加基本不会导致所需磁芯截面积的增大，因此可以考虑通过绕组结构设计使得所有磁芯均流通谐振电感磁通和励磁磁通的叠加磁通。如图 3.36 所示结构，仍然采用 3 个磁柱结构，磁柱 A、B 和 C 上均绕有绕组，且每个磁柱中绕组匝数不完全与变压器匝比相同，即可构造变压器和谐振电感的集成结构。图 3.37 和图 3.38 为该集成结构下谐振电感磁通和变压器励磁磁通的分布情况，可以看到，在磁柱 A、B 和 C 中流通的均为变压器励磁磁通和谐振电感磁通的叠加磁通。

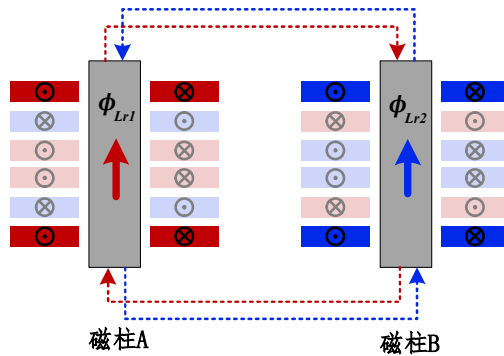


图 3.34 两磁柱磁谐振电感磁通抵消结构

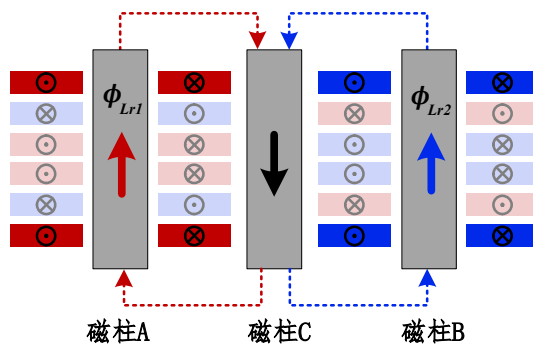


图 3.35 增加独立谐振电感磁通磁柱

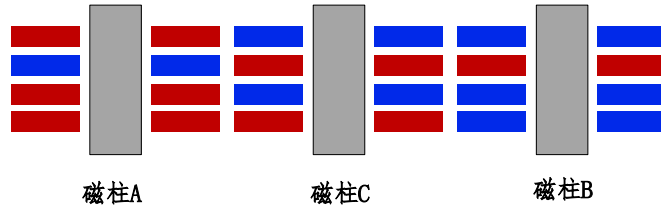


图 3.36 三磁柱不对称绕组集成磁元件

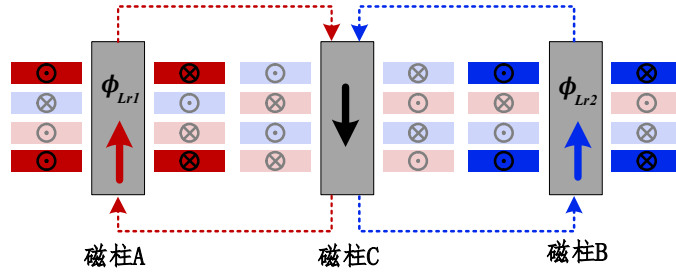


图 3.37 三磁柱不对称绕组集成磁元件谐振电感磁通分布

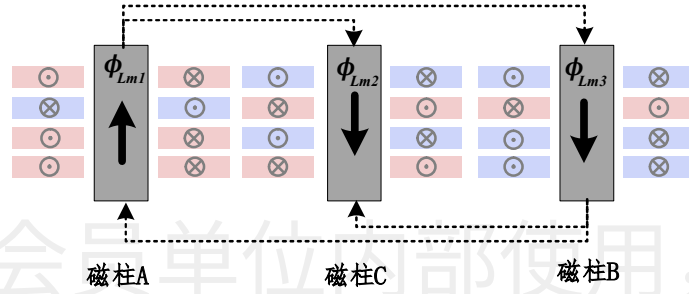


图 3.38 三磁柱不对称绕组集成磁元件励磁磁通分布

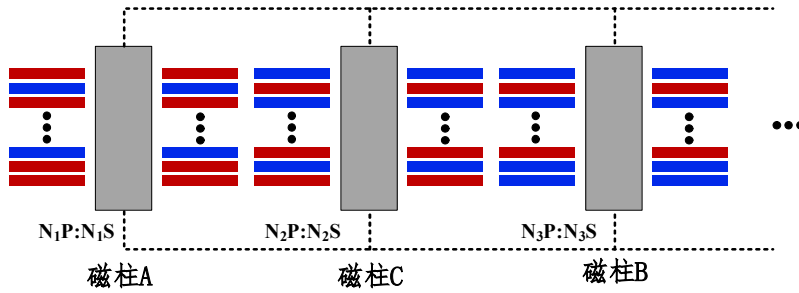


图 3.39 不对称绕组集成磁元件拓展

根据以上分析，三磁柱结构为不对称绕组集成磁元件所需的最少磁柱的结构，上述结构将所有磁柱均绕有绕组，优点是可以使得磁芯中流通励磁磁通和谐振电感磁通的叠加磁通，增大磁芯的利用率，减少 PCB 层数；缺点是 PCB 的布板面积可能会增加。该集成磁结构可以向任意三个以上的磁柱进行拓展（如图 3.39 所示），只需满足磁柱上的原、副边绕组匝比与变压器匝比不完全相同，即可实现变压器和谐振电感的集成，根据所需的谐振电感感量以及励磁磁通和谐振电感磁通的叠加状态可以对每个磁柱上的绕组匝数及层叠结构进行优化设计，实现集成磁元件的高效率、小体积。

3.6 本章小结

高频化有助于减小磁元件匝数,使得平面磁元件得以广泛应用,进一步降低样机高度,提升变换器整体功率密度。值得说明的是,在高频应用场合下,本文第二章所研究的分槽绕组集成磁结构,在传统设计中原、副边绕组完全分开,临近绕组的安培回路中的绕组安匝数幅值很大,一方面导致泄漏磁场严重,另一方面导致绕组损耗严重不适合高频平面集成磁件的应用。为了缓解高频绕组损耗,磁集成方案大多考虑原、副边绕组有相对良好的交错结构,使得绕组空间磁动势减小,使得 PCB 绕组可以保持相对低损耗;同时,由于绕组空间磁动势的减小,也使得磁件对外泄漏磁场相比于传统分槽绕组大幅减小,磁场泄漏的问题可以得到很大缓解,因此本文并未就基于 PCB 绕组集成结构的泄漏磁场问题继续深入研究。

OBC 应用场合需要变换器宽增益需求范围宽,需要足够大感量的谐振电感才能将谐振变换器的频率限定在合理范围内。不对称绕组集成磁元件可以在尽量保持绕组交错的情况下实现电感和变压器集成,但现有设计方案仅集成很小的谐振电感。集成大电感和保持集成磁元件小体积、低损耗之间存在矛盾,导致优化困难,目前尚且缺乏集成大电感时有效的优化设计方法。

针对上述问题,本章基于不对称绕组集成磁结构提出了集成大的谐振电感时绕组以及磁芯的优化设计方法。针对等效电感绕组和变压器绕组混合叠绕的结构,推导了绕组空间最小磁动势分布的绕组排布结构,实现了绕组损耗的最小化;针对变压器绕组匝数和有效绕组匝数难以设计的问题,建立了变压器匝数、有效谐振电感绕组匝数与集成磁元件总损耗和总体积的数学模型,推导出了损耗和体积优化设计的整体方案。

本章搭建实验样机对所设计的不对称绕组集成磁元件的测试结果证明了所提设计方案的可行性,实现了电路在高频工作时集成磁元件的高效率和高功率密度。

最后对不对称绕组磁元件的构造方法进行了归纳,推导出了所有磁柱均可流通叠加磁通的集成磁结构,进一步提高了磁芯的利用程度;同时对该类型的集成磁元件进行演绎,将不对称绕组集成磁结构推导至 N 个 ($N \geq 3$) 磁柱结构,为更多应用场合不同参数需求下的集成磁元件提供了新思路。

第四章 高 PCB 利用率薄尺寸高频平面集成磁元件研究

不对称绕组平面集成磁元件在集成小电感且谐振点附近工作时将获得高效率,但随着集成谐振电感的增大,为了保持集成磁元件的体积优势,需要增加变压器绕组匝数和有效电感绕组匝数。增加变压器绕组匝数使得 PCB 绕组层数增加,一方面使得绕组直流电阻增大导致铜损增大,另一方面使得窗口高度同步增加导致磁元件体积变大;增加有效电感绕组匝数需要减弱原、副边的交错程度,使绕组的交错排布效果变差,变换器工作频率偏离谐振点在接近兆赫兹工作时绕组损耗会变得非常严重。本章提出了一种同时使用原、副边绕组来构造谐振电感的集成磁结构,减小了 PCB 绕组层数、降低了集成磁元件高度、实现了宽频工作的高效率。

高频化下复杂的电磁场环境导致绕组损耗加剧给平面集成磁元件的优化带来了挑战,针对该问题,本章提出了气隙磁芯分段、且与绕组配合的结构来优化绕组空间磁场,通过减弱穿过 PCB 绕组的垂直磁场分量,实现减小绕组损耗的效果。另外,高频磁元件中电磁场分布情况复杂,导致目前对集成磁元件绕组损耗和磁芯损耗的评估缺乏简单的测试方法。针对该问题,本章构造了对照实验,通过对比测试两组对照实验前后的样机总损耗差值,得到集成磁元件实际工况下的绕组损耗和磁芯损耗,为集成磁元件的损耗定量优化提供基础。

4.1 低 PCB 绕组层数集成磁元件

集成磁元件中,在不改变总绕组匝数条件下,可以将绕组相对均匀地分配到各个磁柱绕制,使用更少层数的 PCB 实现集成磁元件的绕组制作。同时,绕组等效谐振电感部分和变压器部分绕制在不同的磁柱,不存在等效电感绕组和变压器绕组的混合叠绕结构,频率变化时谐振腔电流的变化对绕组交错效果影响小,在宽频率变化工况下可以保持集成磁元件的绕组总损耗不发生剧烈变化,有利于变换器宽范围工作效率的提高。

4.1.1 现有低 PCB 层数平面集成磁元件问题

图 4.1 所示为现有常见的 PCB 层数较低的电感和变压器集成磁结构,其中红色 PCB 绕组为变压器原边绕组,蓝色部分为变压器副边绕组,变压器原边绕组和电感绕组进行了集成共用,变压器磁芯和电感磁芯仍然独立。该集成结构中绕组绕制在所有竖直磁柱上,可以使用较少层数的 PCB 来实现绕组的制作。然而,从该结构的局部放大图(图 4.2)中可以看出,由于原、副边绕组分配在不同层,副边绕组所在层处谐振电感磁柱上没有绕组,导致该电感磁柱的 PCB 空间利用率只有 50%,相当一部分 PCB 的空间浪费。

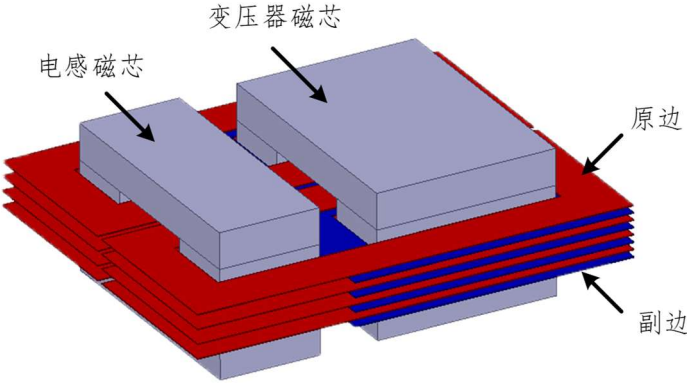


图 4.1 传统平面电感和变压器共用绕组集成磁元件

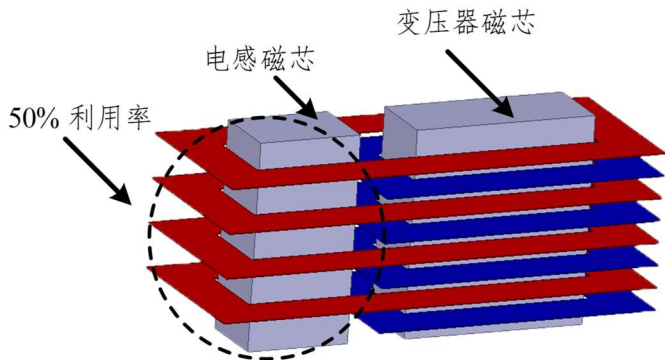


图 4.2 传统集成磁元件局部绕组放大图

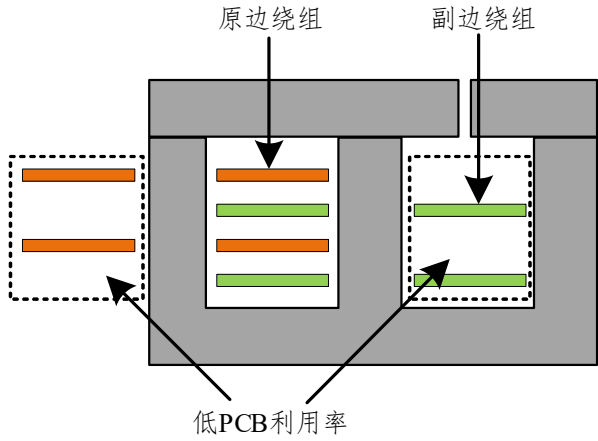
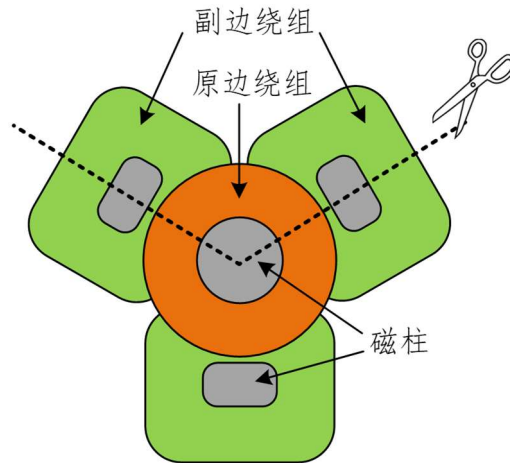
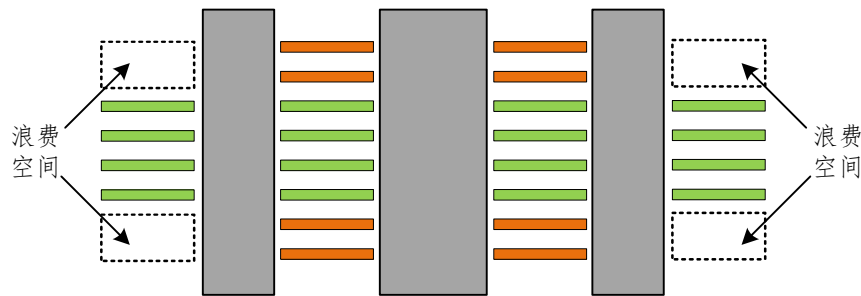


图 4.3 多磁柱平面集成磁结构

不少其它平面集成磁结构也被提出和研究，如图 4.3 所示的集成磁结构，将原、副边绕组绕制在不同的磁芯柱上，通过调节绕组间的耦合程度来实现目标集成电感^[122]，但该结构也存在 PCB 空间浪费的问题。图 4.4 是一种输出侧为三相并联结构的集成磁元件，同样将原、副边绕组各自绕制在不同的磁柱上，可以实现相对较大的漏感的集成调控^[121]。沿虚线展开得到其剖面图如图 4.4（b）所示，可见该结构也存在 PCB 空间浪费的问题。



(a) 三相多磁柱集成磁元件俯视图



(b) 三相多磁柱集成磁元件剖面图

图 4.4 三相多磁柱平面集成磁结构

由上述调研和分析可知，现有的平面集成磁元件中普遍存在 PCB 空间利用率低、空间浪费严重的问题，限制了集成磁元件的功率密度的进一步提高。

4.1.2 高 PCB 空间利用率集成磁元件

为了解决传统平面集成磁元件中电感磁柱附近 PCB 空间浪费的问题，本小节提出了将两个 50% 的 PCB 空间利用率的电感磁柱一体集成的方案。图 4.5 所示为传统平面集成磁元件的绕组绕向与磁通分布情况，其中 A、B 为两个电感磁柱，C、D 为两个变压器磁柱，黄色带箭头实线表示原边绕组绕向。四个磁柱中，谐振电感绕组和变压器绕组集成共用，如绕组 2 一体包围磁柱 A 和 C（绕组 1 一体包围磁柱 B 和 D）绕制。考虑到谐振电感磁柱 A 和 B 上 PCB 空间利用率都只有 50%，如果能将分布在两谐振电感磁柱的绕组集成到单个磁柱，即可以实现单个谐振电感磁柱上 PCB 绕组空间的百分百利用率。在集成过程中，要把两个电感磁柱上的绕组集成到单个磁柱，需要保证磁柱中的磁通方向不变，但磁柱 A 和磁柱 B 中磁通方向相反，因此将磁柱 A 上的绕组 2 向磁柱 B 进行集成时，需要将原来的绕组走“8”字型绕线，以保证电感绕组在磁柱 B 叠加后产生的磁通与原来磁柱中的磁通方向一致，具体实施方案如图 4.6 所示。

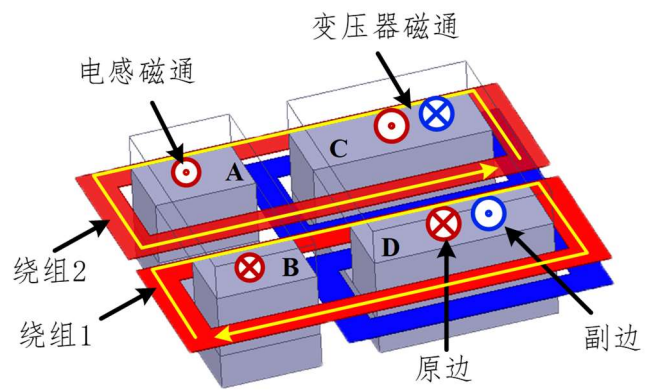


图 4.5 传统集成磁元件绕组绕向与磁通分布方向

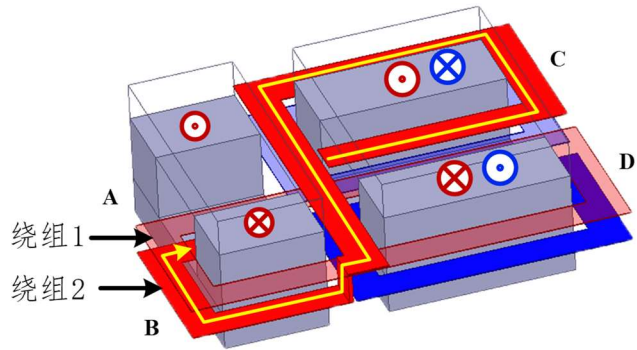


图 4.6 谐振电感绕组向单个电感磁柱集成

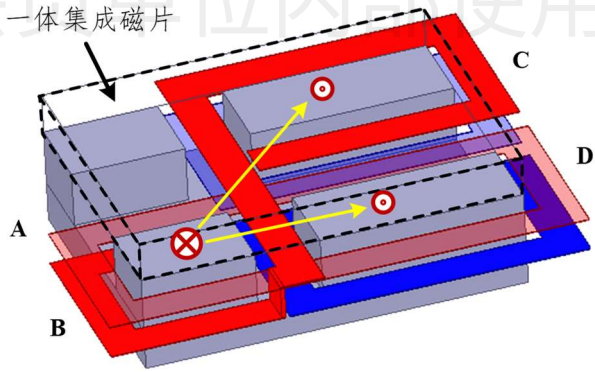


图 4.7 变压器电感盖板磁片一体集成的磁元件结构

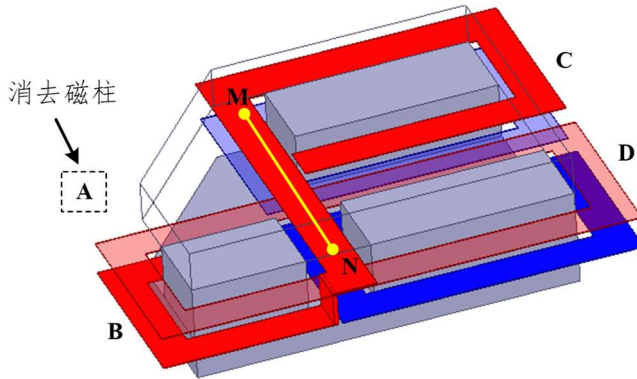


图 4.8 电感磁柱消去的集成磁元件结构

图 4.6 所示的改进绕组结构的磁集成方案解决了传统方案中 PCB 空间浪费的问题。在该优化结构中,电感磁柱 A 得以空余,可以利用磁通在磁路中叠加的特性,将空余的电感磁柱 A 与变压器磁芯集成,进一步减小磁元件体积。

如图 4.7 所示中谐振电感和变压器竖直磁柱顶部和底部磁片一体集成,该结构为谐振电感磁柱 B 中的磁通向变压器磁柱 C 和 D 流通提供了路径,此时流经电感磁柱 A 的电感磁通可以流向变压器磁柱,因此 A 磁柱可以消去。原有变压器磁路磁通由单一的励磁磁通变为励磁磁通和谐振电感磁通二者的叠加磁通。电感磁柱 A 消去后的集成磁结构如图 4.8 所示,该结构既解决了谐振电感磁柱周围 PCB 的空间的浪费问题同时实现了谐振电感和变压器磁芯的高度集成。

然而,对比图 4.1 所示的传统平面集成磁元件,图 4.8 所提出的改进磁结构由于需要使用“8”字型走线的绕制结构以保证谐振电感磁柱中的磁通方向一致性,其绕组长度会额外增加“M-N”段,引起绕组损耗的增大,该问题尚需进一步优化。

4.1.3 绕组长度减小的绕组双边集成磁元件

上述所提出的改进磁结构中绕组长度增加的原因在于:原有电感磁柱 A 和磁柱 B 中的磁通方向相反,磁柱 A 上的绕组向磁柱 B 集成时,为了保证集成后同一磁柱产生的磁通方向一致,必须改变绕组绕向,绕组绕向改变时导致绕组长度增加。通过观察发现,要集成的目标电感磁柱磁通方向与 C 磁柱侧副边绕产生的磁通方向相同,如果使用该磁柱副边绕组与电感绕组进行集成,则绕组可以在磁柱 B 和 C 一体绕制,无需改变绕组方向,该结构可以使得集成绕组的长度进一步减小。该方案的实施结构如图 4.9 所示。考虑实际制作时使绕组绕制更加顺畅,避免绕组出现直角结构造成电流在绕组拐角处产生不均匀分布现象,本章将集成磁结构中的方形磁柱截面形状进一步优化,将方形磁芯截面修改为跑道型磁柱使得绕组绕制过程中尽量避免直角结构,优化后的集成磁结构如图 4.10 所示。

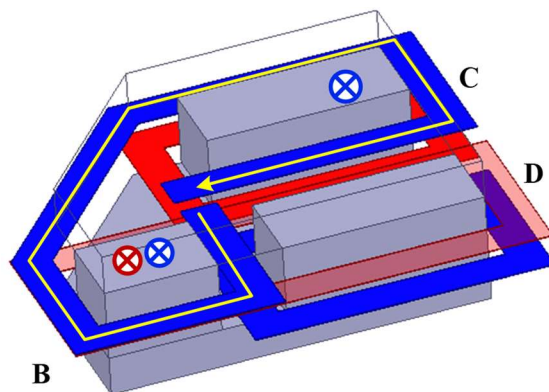


图 4.9 双边绕组与电感绕组集成磁结构

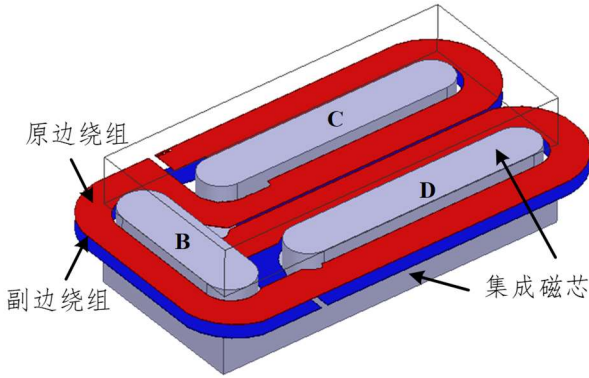


图 4.10 磁柱形状优化后的集成磁元件结构

4.2 基于分段气隙的空间磁场优化

平面集成磁元件的一大优化难点在于磁结构中尤其是绕组空间中的磁场管理，由于平面磁元件中 PCB 绕组为扁平状，当空间中有较大的竖直磁场分量垂直穿过绕组宽平面时，会导致绕组的电流在绕组宽度方向分布变得极不均匀，造成绕组损耗加剧。针对该问题，本小节分析了平面集成磁元件中的磁场分布，基于分段气隙和绕组空间配合的结构，对绕组空间磁场进行调控，尽可能减小穿过绕组宽平面的垂直分量，以改善绕组中的电流分布，减小绕组损耗。

4.2.1 传统磁结构绕组中的电流分布不均匀问题

如图 4.11 所示为所提集成磁元件根据绕组特性分区图，其中区域 1 中绕制在磁柱 C 和磁柱 D 上的绕组为，等效变压器绕组，该区域绕组原、副边充分交错，绕组交流电阻系数较小；区域 2 中绕制在磁柱 B 上的绕组为等效电感绕组，原、副边绕组中的电流在该磁柱上基本同向，绕组的交流电阻系数偏大。由于绕组缺乏有效交错，等效电感绕组所处空间的电磁场环境恶劣，图 4.12 是将区域 2 的绕组及磁芯结构进行了提取后的窗口剖面图及其窗口内绕组电流的磁仿真结果（仿真条件： $f_s=800\text{kHz}$ ，电流峰值 10A，8 匝 PCB 绕组，铜厚 2OZ，绕组宽度 5mm）。可以看到，窗口内靠近气隙的绕组电流密度与远离气隙处的绕组电流密度有 20 倍以上差距，导致绕组损耗非常严重。

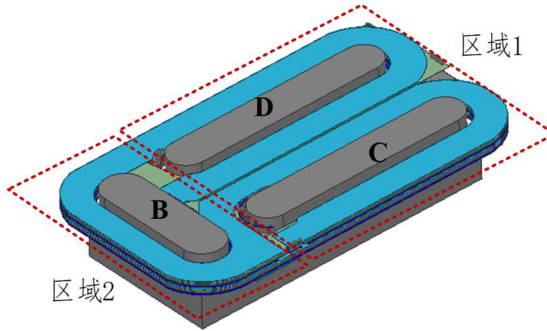


图 4.11 所提集成磁结构的绕组区域划分

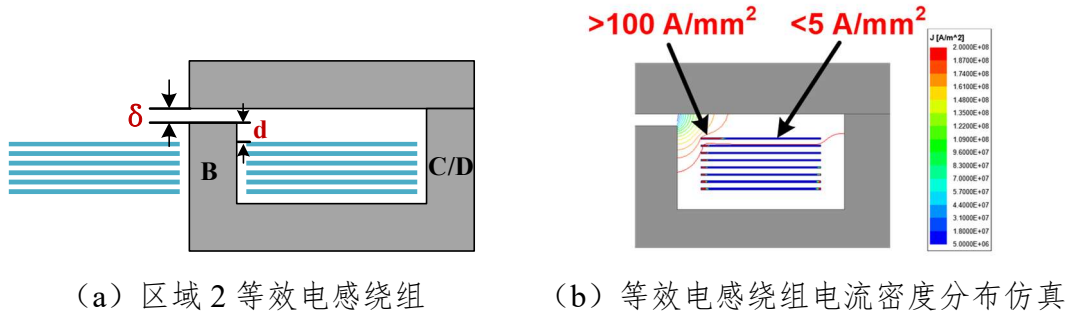


图 4.12 等效谐振电感部分及其窗口中绕组磁仿真结果

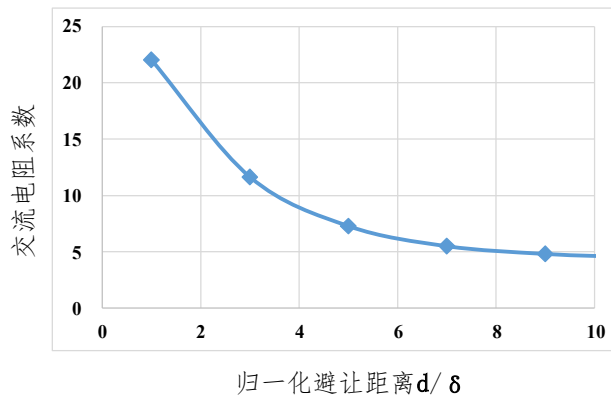


图 4.13 电感绕组交流电阻系数随着归一化避让距离的变化

为了减小磁芯气隙泄漏磁场对绕组的影响，通常方案会加高磁芯窗口使绕组对气隙进行一定距离的避让。如图 4.12 (a)，记气隙长度为 δ ，绕组上表面与气隙的距离为 d ；为了对避让效果进行定量研究，借助有限元仿真工具磁元件进行 2D 磁仿真，得到绕组的交流电阻系数随着归一化的避让距离的变化曲线如图 4.13 所示。根据仿真结果可以得出，随着绕组对气隙避让距离的增加，绕组的交流电阻系数不断下降，同时下降速度不断减小，曲线的拐点出现在避让距离等于 3~5 倍的气隙长度左右。但是，当绕组的避让距离接近 10 倍的气隙长度时绕组的交流电阻系数依然很大，而且此时磁元件窗口高度会大幅增加，说明了传统磁结构及其避让方案难以有效减小绕组损耗。

4.2.2 基于分段气隙调控的垂直磁场消去磁结构

上述绕组在竖直方向上对气隙进行避让的方式不仅会大幅增加磁元件窗口高度，而且交流系数的降低效果有限，其根本原因在于该结构中会有很大的磁场分量竖直穿过绕组平面，从而引起电流在绕组宽度方向上分布极不均匀。

对电感元件窗口内的磁场进行分析时，如图 4.14 所示对电感结构进行了简化和假设：

- 1) 气隙在竖直中柱上且均匀分布；
- 2) 电感绕组简化为单匝结构，绕组中电流总安匝数记为 NI ；
- 3) 绕组占据整个窗口，即绕组的长、宽和窗口的长、宽近似相等。

- 4) 此处基于安培环路分析的磁场为绕组电流产生的初始磁场，并非考虑初始电流与电磁感应引起的涡流叠加后的最终磁场。

如图 4.14 所示，建立 xy 平面，假定在垂直于纸面的方向上磁场分布与该剖面相同，窗口内磁场在 xy 平面上呈现二维分布。接下来基于安培环路定律对窗口中的磁场强度进行定量分析，黄色虚线的闭合回路“A-B-C-D”中，分为不含气隙的“A-B-C-D”段和包含分段气隙的“D-A”段，由于磁芯的磁导率与空气磁导率相差三个数量级左右，相比于气隙段磁路中的磁场强度，磁芯中的磁场强度 H_{core} 可以忽略，因此针对该回路应用安培环路定律可以得到“D-A”段磁路所承担的磁动势如式 (4.1) 所示。

$$F_{gap} = NI \quad (4.1)$$

即磁芯中绕组电流所产生的磁动势几乎完全施加在气隙上。

如图 4.15 (a)，做第二个闭合回路“A-B'-C'-D”，该回路包含窗口内的竖直方向磁场强度 H_y ，定义该回路包围的绕组横向宽度为 x_0 ，绕组水平方向总宽度为 L ，窗口高度为 h_w ，电流在绕组中均匀分布，则对该回路运用安培环路定律可以得到式 (4.2)。

$$F_{gap} + H_y * h_w = NI * \frac{x_0}{L} \quad (4.2)$$

根据式 (4.2)，可以求解出不同水平坐标下竖直磁场分量的幅值。

$$H_y = \frac{NI}{h_w} * \left(\frac{x_0}{L} - 1 \right) \quad (4.3)$$

根据式 (4.2) 可知，在绕组最靠近气隙的位置处，竖直磁场分量取得最大值 $H_{ymax} = \frac{NI}{h_w}$ ，随着水平位置右移至绕组最右端，磁场的竖直分量降为零。同理，为了分析绕组空间水平方向的磁场分量，如图 4.15 (b) 所示，建立另一个闭合回路“A-B-C"-D"”，其中“C"-D"”为绕组空间水平方向磁场分量磁路，针对该闭合回路应用安培环路定律，可以求解该水平方向分量的磁场强度大小。

$$F_{gap_y} + H_x * L = NI * \frac{y_0}{h_w} \quad (4.4)$$

其中， F_{gap_y} 为磁回路“D"-A”段的磁动势大小，其可以进一步表示为式 (4.5)。

$$F_{gap_y} \approx NI * \frac{y_0}{h_w} \quad (4.5)$$

将式 (4.5) 代入式 (4.4) 可以求解出所分析的回路中水平方向的磁场分量如式 (4.6) 所示。回路中包围的电流安匝数与回路上气隙所承担的磁动势幅值基本相同，恰好可以抵消，因此水平方向磁场分量几乎为零。

$$H_x \approx 0 \quad (4.6)$$

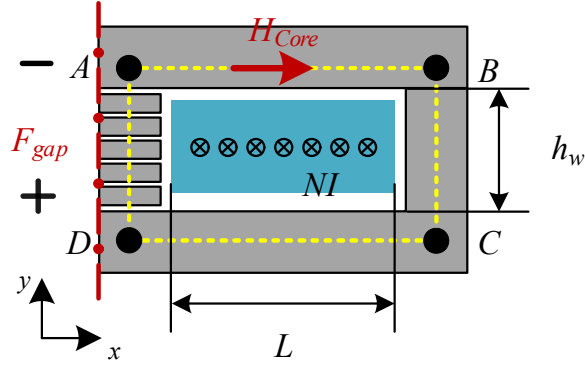
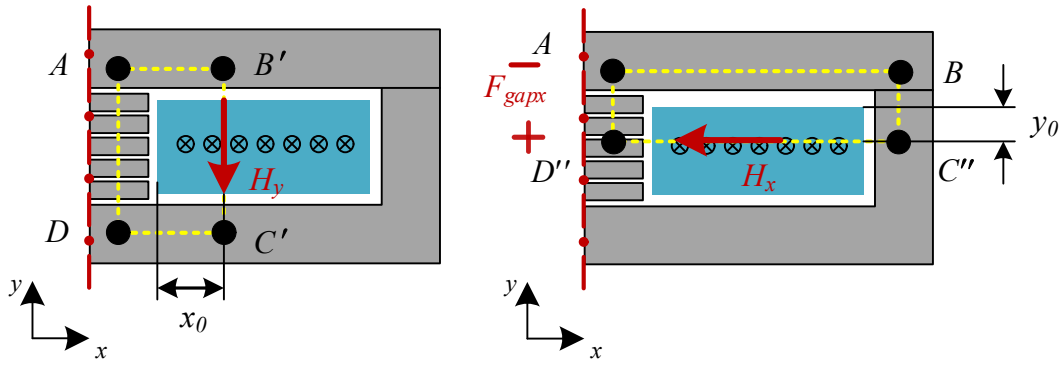


图 4.14 简化后的电感剖面模型



(a) 绕组空间竖直方向磁场分量分析 (b) 绕组空间水平方向磁场分量分析

图 4.15 绕组空间竖直方向磁场分量分析

由上述分析可以得出，传统的在竖直中柱开分段气隙的电感结构，其绕组空间的磁场几乎完全是垂直绕组宽平面分布的磁场分量。由式 (4.7) 的麦克斯韦方程可知，该竖直方向的交变磁场将会导致绕组电流在水平方向上分布变得极不均匀。

$$\frac{\partial J}{\partial x} = j\omega\mu\sigma * H_y \quad (4.7)$$

其中， $\frac{\partial J}{\partial x}$ 为电流密度在水平 x 轴方向上的变化率， ω 磁场的变化角频率， μ 为绕组的磁导率， σ 为绕组的电导率。该式表明磁场强度幅值越大，引起的电流密度变化越剧烈，电流分布越不均匀。

为了解决这一问题，可以考虑通过气隙与绕组结构的配合，将竖直方向的磁场强度调节为水平方向分布，使空间磁场在绕组厚度方向上穿过绕组。由于绕组厚度尺寸远小于水平方向的宽度尺寸，绕组在厚度方向的等效电阻大幅增加，感应出来的涡流会大幅减小。要消除竖直方向的磁场分量，通过分析，本章推导出如图 4.16 所示的结构：在绕组的顶部磁柱上设置分段气隙，该气隙随绕组在水平方向上均匀分布。类比上述对分段气隙在竖直磁柱的结构，可对图 4.16 所示的磁结构做相同的闭合回路分析绕组空间的磁场强度。如图 4.17 (a) 所示，闭合回路“A-B'-C'-D”包含所要分析的 x_0 位置处的竖直方向磁场强度 H_y ，

针对该回路应用安培环路定律得到式 (4.8)。

$$F_{gapx0} + H_{y'} * h_w = NI * \frac{x_0}{L} \quad (4.8)$$

其中, F_{gapx0} 为 “A-B'” 磁路段所分担的磁动势大小, 可表示为式 (4.9)。

$$F_{gapx0} \approx NI * \frac{x_0}{L} \quad (4.9)$$

将式 (4.9) 代入式 (4.8) 可以得到所要分析的改进气隙结构后的绕组空间竖直方向磁场强度如式 (4.10) 所示。由于气隙位于绕组顶部, 且随着绕组宽度方向均匀分布, 因此 “A-B'” 分担的磁动势与闭合回路所包围的电流安匝数幅值相等, 可以抵消, 因此竖直向上的磁场分量几乎为零。

$$H_{y'} \approx 0 \quad (4.10)$$

图 4.17 (b) 为气隙改进后的绕组空间水平方向磁场分量的磁场强度幅值分析图, 针对图中的闭合回路 “A-B-C'-D'” 应用安培环路定律可以根据式 (4.11) 求得该结构在距离气隙 y_0 位置处水平方向的磁场强度。

$$F_{gap} + H_{x'} * L = NI * \frac{y_0}{h_w} \quad (4.11)$$

其中, F_{gap} 为所有气隙所承担的磁动势总和, 其幅值等于窗口中总的电流安匝数 NI 。对式 (4.11) 进行计算, 可以求得该结构中水平方向的磁场强度 $H_{x'}$ 为:

$$H_{x'} = \frac{NI}{L} * \left(\frac{y_0}{h_w} - 1 \right) \quad (4.12)$$

式 (4.12) 表明该结构中绕组空间水平方向的磁场强度幅值在不同高度位置的变化情况, 在绕组上部平面组靠近气隙的位置磁场强度幅值取得最大值 $\frac{NI}{L}$, 随着与气隙距离的增大, 磁场强度幅值越来越小, 在绕组下表面位置处取得最小幅值零。经过气隙调节后窗口内的磁场大部分分量由竖直 y 方向变为水平 x 方向; 对照式 (4.3) 和 (4.12), 可以得到磁场强度的最大值由 $\frac{NI}{h_w}$ 变为 $\frac{NI}{L}$, 由于 PCB 绕组为扁平状, 通常磁芯窗口高度 h_w 小于窗口宽度 L , 因上述气隙的改进不仅使得绕组空间磁感线由垂直绕组宽平面变为平行于绕组宽平面, 而且有利于减小磁场强度的幅值, 两方面因素共同作用可以大幅改善 PCB 电感绕组中的电流分布均匀度, 减小绕组的导通损耗。

图 4.18 所示为传统气隙在竖直磁柱和在改进后位于水平磁柱上的绕组空间磁感线分布仿真对比结果。可以看到气隙在竖直磁柱的结构中, 窗口中的磁感线几乎完全垂直于绕组的宽平面; 而当气隙平行于绕组的宽平面均匀设置时, 窗口中的磁感线几乎完全平行于绕组的宽平面, 验证了上述分析的正确性。

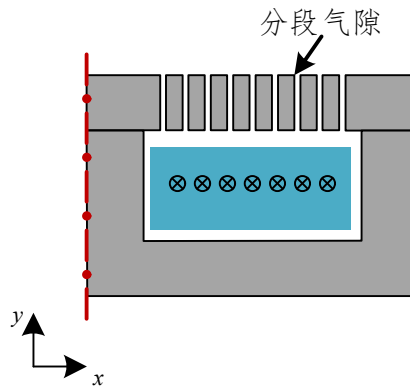
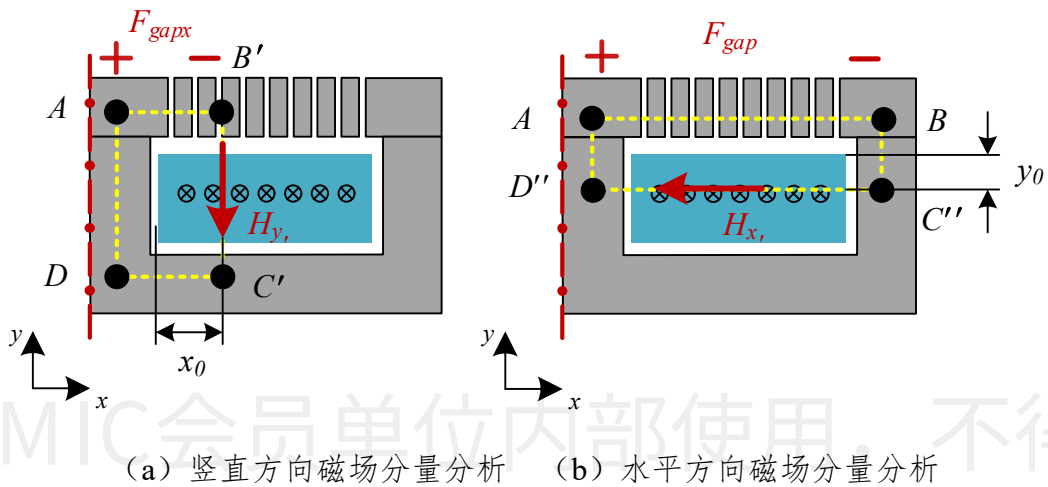
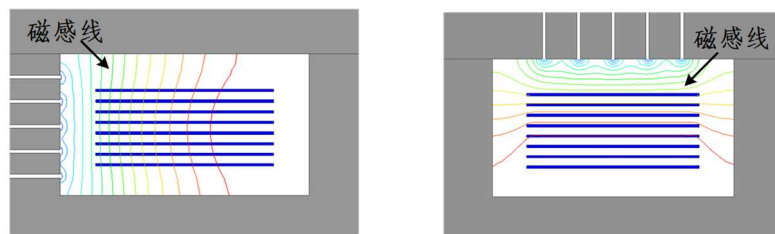


图 4.16 竖直磁场分量消除的磁结构



(a) 竖直方向磁场分量分析 (b) 水平方向磁场分量分析

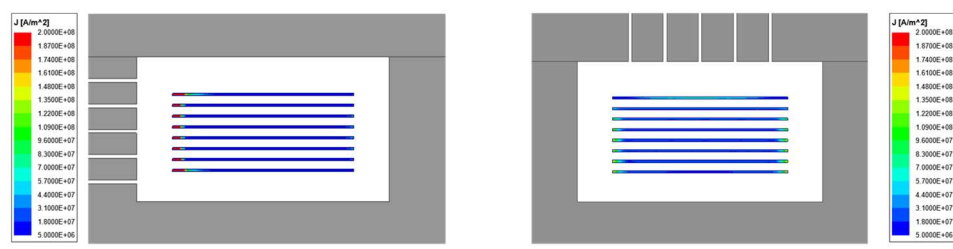
图 4.17 竖直磁场消去的磁结构



(a) 传统气隙在中柱上的磁结构 (b) 所提出的分段气隙结构

图 4.18 不同气隙的磁结构窗口磁感线分布对比

考虑电磁感应后，这两种不同形式的磁场分布将会在绕组中产生不同大小的涡流，进而引起电流分布发生变化。图 4.19 为对应的两种结构考虑电磁感应产生的涡流后最终的电流分布情况，可见，使用改进的气隙结构后，绕组电流分布均匀大幅改善，交流电阻系数后者比前者下降了接近 80%。更进一步，如本论文第三章所述，如果将磁芯气隙分布于绕组上下表面两侧，绕组空间的磁动势分布幅值会整体减半，使得绕组空间的磁场强度幅值减半，更加有利于减小绕组中的涡流。仿真结果显示，绕组上、下双侧开气隙的结构可以使得绕组的交流电阻系数相比于单侧气隙的结构可以再下降 30%。



(a) 传统气隙在中柱上的绕组电流分布 (b) 所提出的分段气隙结构绕组电流分布

图 4.19 不同气隙的磁结构绕组电流分布对比

4.2.3 基于气隙优化的集成磁结构

在 4.2.2 小节中所优化的气隙结构可以消去垂直于绕组平面的磁场分量，使绕组中的电流分布更加均匀。将上述技术应用至本章节所设计的集成磁元件中，可以得到如图 4.20 所示的集成磁元件结构。图 4.21 (a) 所示为传统电感气隙位于竖直磁柱的集成磁结构及等效电感绕组部分的电流分布，图 4.21 (b) 为改进电感气隙的集成磁结构及等效电感绕组部分的电流分布，可以看到得到气隙调控的绕组部分（虚线框中部分），电流密度分布均匀度大幅改善，虚线框中绕组部分的等效交流电阻系数由 7.4 下降到 3.0 左右。

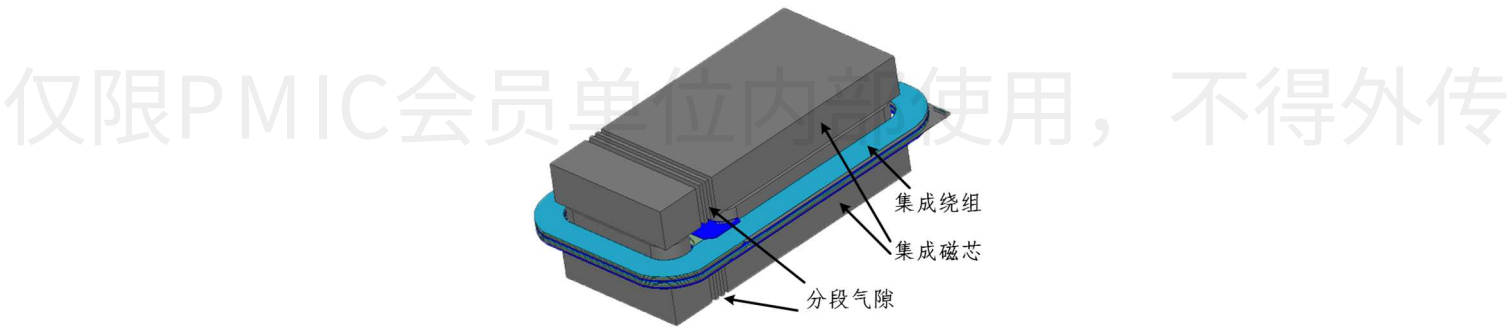
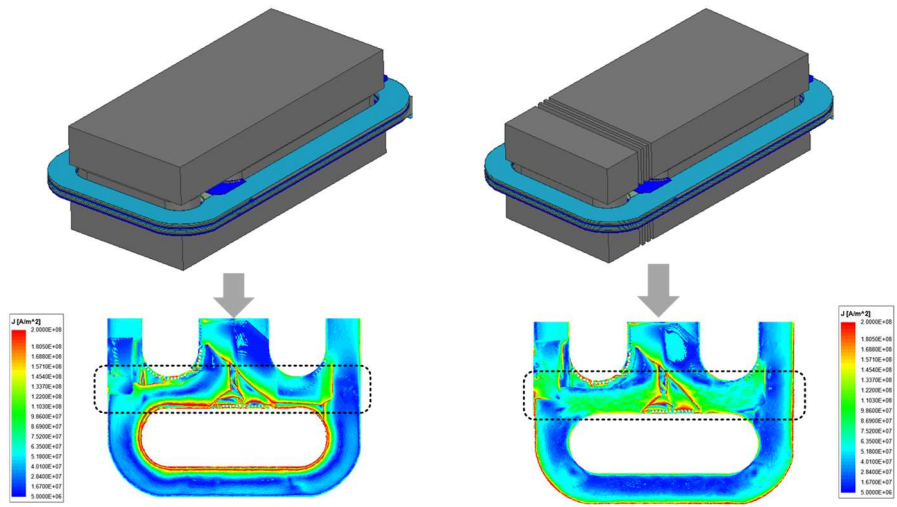


图 4.20 所提出的低 PCB 层数、高集成度集成磁元件



(a) 传统竖直中柱电感气隙结构 (b) 所提出的改进电感气隙结构

图 4.21 所提出的改进气隙磁结构仿真结果

针对上述所提出的分段气隙,采用如图 4.22 所示的结构来实现:气隙处采用非导绝缘材料和片状的磁芯材料混合排列的方式压合。在工程化实施时,可以考虑在整块磁芯上将开气隙位置进行开槽设计,之后在气隙槽中填充相关绝缘材料使整个结构成为一个整体,最后将开槽下方的磁件基底研磨去掉,形成带有分段气隙的磁件结构。

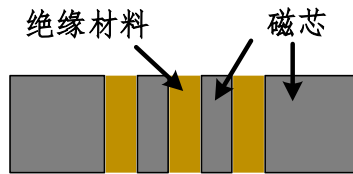


图 4.22 分段气隙结构

另外,由于气隙处的磁场扩散效应会导致该位置有一定磁场外泄,相比于传统单气隙结构,分段气隙由于单段气隙较小,磁场扩散范围有一定减小。在该磁件靠近其它元器件或者金属机壳放置时,需要考虑其它元器件对气隙由最够距离的避让。

4.3 集成磁元件建模分析

本小节首先建立了磁阻模型,对磁芯通路中的磁通进行了定量分析,同时对该结构电感量与集成磁结构参数的定量关系进行了推导;之后基于所需求的电气参数对集成磁元件的体积和损耗进行了建模,给出了绕组和磁芯的优化设计方法。

4.3.1 集成磁元件的磁阻模型

图 4.23 为所提出的集成磁元件去掉盖板磁片的上视图,图中磁柱 A 和磁柱 B 为等效变压器磁柱,流通在其中的磁通为等效励磁磁通和一半等效谐振电感磁通的叠加磁通;绕制在其上面的绕组为等效变压器绕组,其原、副边匝数比分别为 4:4 和 4:3,因此等效变压器总变比 8:7。磁柱 C 为等效谐振电感磁柱,该磁柱流通的磁通为谐振电感磁通;绕制在其上面的绕组匝数为 8 匝。将该集成磁元件沿着图中所示红色虚线做其剖面,得到集成磁元件的剖面侧视图如图 4.24 所示,绕组中的电流方向已画出。在图 4.24 中,对照气隙和绕组所在位置,按照磁元件的物理模型可对应建立其磁阻模型。其中由于磁芯磁导率远大于空气磁导率,因此模型中忽略磁芯的磁阻,仅保留气隙磁阻,各磁柱上的流通电流的绕组等效为相应的磁动势源。

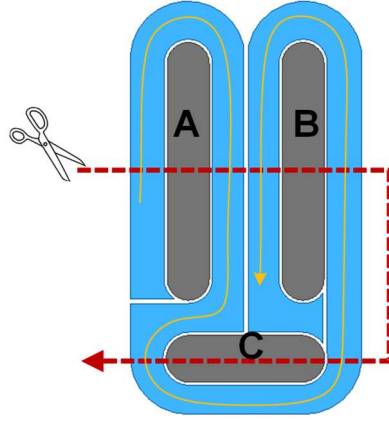


图 4.23 集成磁元件上视图

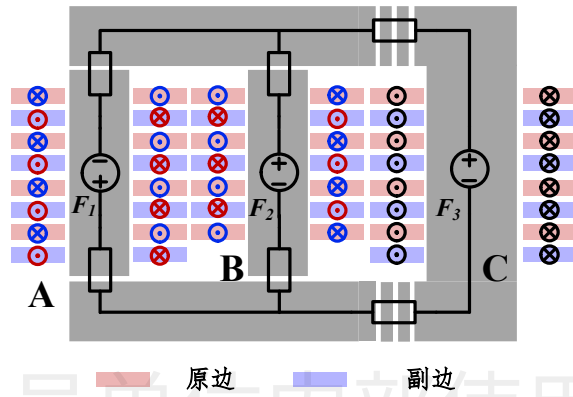


图 4.24 集成磁元件侧视剖面图及其磁阻模型

在同一支路中的磁阻可以进行合并以简化磁路模型，因此将图 4.24 中的磁阻模型进行提取并简化后可以得到图 4.25 所示的简化磁阻模型，其中 R_1 和 R_2 分别为两变压器磁柱 A 和磁柱 B 的气隙磁阻， R_3 为等效谐振电感磁柱上所设计的分段气隙总磁阻。各个磁柱上的磁动势分别为：

$$F_1 = 4i_p - 4i_s \quad (4.13)$$

$$F_2 = -4i_p + 3i_s \quad (4.14)$$

$$F_3 = 4i_p + 4i_s \quad (4.15)$$

其中， F_1 、 F_2 和 F_3 分别为磁柱 A、磁柱 B 和磁柱 C 上绕组产生的磁动势， i_p 为原边绕组中的瞬时电流， i_s 为副边绕组中的瞬时电流。根据图 4.25 所示的简化磁阻模型列写磁路的基尔霍夫定律可以求解出三条磁路上的磁通大小如式 (4.16) ~ (4.18) 所示。

$$\phi_1 = \frac{8(R_2 + R_3)i_p - 7R_3i_s}{R_1R_2 + R_1R_3 + R_2R_3} \quad (4.16)$$

$$\phi_2 = \frac{8R_2i_p - 7(R_1 + R_3)i_s}{R_1R_2 + R_1R_3 + R_2R_3} \quad (4.17)$$

$$\phi_3 = \frac{8R_2 i_P + 7R_1 i_S}{R_1 R_2 + R_1 R_3 + R_2 R_3} \quad (4.18)$$

磁通量根据上述式求解后，根据电感量的定义式，可以求解出该集成磁元件以“T”电路模型表示时等效在变压器原、副边的谐振电感以及励磁电感的大小。

$$Lr1 = \frac{64R_2}{R_1 R_2 + R_1 R_3 + R_2 R_3} \quad (4.19)$$

$$Lr2 = \frac{49R_1}{R_1 R_2 + R_1 R_3 + R_2 R_3} \quad (4.20)$$

$$Lm = \frac{64R_3}{R_1 R_2 + R_1 R_3 + R_2 R_3} \quad (4.21)$$

其中， $Lr1$ 、 $Lr2$ 分别为集成磁元件“T”电路模型中原、副边等效谐振电感， Lm 为等效变压器的励磁电感。

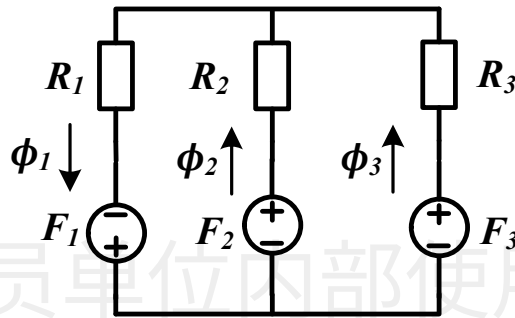


图 4.25 简化后的磁阻模型

4.3.2 集成磁元件的损耗和体积建模

本章节设计的集成磁元件应用于 CLLC 谐振变换器中，其输入/输出规格与第三章相同，输入侧母线电压为直流 400V，输出侧电压为 250V~400V，输出最大功率为 2kW 最大电流 7.3A。该 CLLC 谐振电路的增益与归一化开关频率的关系已在第三章 3.4 中已给出，此处不做赘述。根据输入、输出规格和增益曲线，磁元件的励磁电感设计为 $Lm=20 \mu H$ ， $Lr1=4.7 \mu H$ ， $Lr=3.6 \mu H$ 。为了对所提出的集成磁元件进行建模设计，图 4.26 标注出了各部分尺寸参数。其中， r_m 为跑道型变压器磁柱的圆弧部分半径， $L1$ 为跑道型变压器磁柱的直线部分的长度， r_{Lr} 为跑道型谐振电感磁柱的圆弧部分半径， $L2$ 跑道型谐振电感磁柱的直线部分的长度， r_w 为 PCB 绕组的宽度。当给定磁芯的最大工作磁密 B_{max} 时，可以得到变压器磁柱和谐振电感磁柱的截面积。

$$Ae_m = \frac{\max\{\phi_1, \phi_2\}}{B_{max}} \quad (4.22)$$

$$Ae_{Lr} = \frac{\phi_{3_max}}{B_{max}} \quad (4.23)$$

其中, Ae_m 和 Ae_{Lr} 分别为磁柱 A (磁柱 B) 和磁柱 C 的截面积。 $\max\{\phi_1, \phi_2\}$ 是磁柱 A 和磁柱 B 中的磁通最大值, ϕ_{3_max} 是磁柱 C 中的磁通最大值。

为了对集成磁结构的尺寸进行优化设计, 可以将 r_w 和 r_m 作为两个独立自变量来建模, 根据图 4.26 中所示的尺寸关系, 可以得到式 (4.24) 和式 (4.25)。

$$L1 = \frac{Ae_m - \pi * r_m^2}{2 * r_m} \quad (4.24)$$

$$L2 = \frac{Ae_{Lr} - \pi * r_{Lr}^2}{2 * r_{Lr}} \quad (4.25)$$

为了实现磁元件更紧凑的设计, 谐振电感磁柱水平方向的总长度与变压器两个磁柱的左右总宽度相同, 即相关尺寸满足式 (4.26)。

$$2 * r_{Lr} + L2 = 2 * r_w + 4 * r_m \quad (4.26)$$

综合式 (4.25) 和式 (4.26) 可以得出谐振电感磁柱圆弧部分半的径尺寸可以表示为式 (4.27)。

$$r_{Lr} = 2 * r_m + r_w + \frac{4r_m + 2r_w - 2\pi r_m - \pi r_w + \sqrt{4(2r_m + r_w)^2 - 4Ae_{Lr} + \pi Ae_{Lr}}}{\pi - 4} \quad (4.27)$$

根据以上基本尺寸, 磁元件中其它相关尺寸通过式迭代的方式一一得出, 如式 (4.28) ~ (4.33) 所示。

$$L_{core} = 2r_m + L1 + r_w + 2r_{Lr} \quad (4.28)$$

$$W_{core} = 2r_{Lr} + L2 \quad (4.29)$$

$$H_{core} = 2r_m \quad (4.30)$$

$$L_{mag} = L_{core} + 2r_w \quad (4.31)$$

$$W_{mag} = W_{core} + 2r_w \quad (4.32)$$

$$H_{mag} = 2H_{core} + h_w \quad (4.33)$$

上式中, L_{core} 、 W_{core} 、 H_{core} 分别为集成磁元件顶、底部盖板磁芯的长、宽、高尺寸, L_{mag} 、 W_{mag} 、 H_{mag} 为整体集成磁元件的长、宽、高尺寸, h_w 为窗口高度, 主要由 PCB 板的厚度及气隙避让距离决定。

根据磁元件的尺寸参数, 基于斯坦梅兹 (Steinmetz) 经验公式对磁芯损耗进行计算。

$$P_{Core} = P_{den1} * V1 + P_{den2}V2 + P_{den2}V3 + P_{den4}V4 \quad (4.34)$$

其中, $P_{den1} \sim P_{den4}$ 分别为磁柱 A、磁柱 B、磁柱 C 和顶底部盖板磁片中流过的磁芯损耗密度, 该值由磁材料供应商所给的数据手册中得到; $V1 \sim V4$ 分别为磁柱 A、磁柱 B、磁柱 C 和顶底部盖板磁片的磁芯体积。绕组损耗 P_w 可由式 (4.35) 进行评估。

$$P_w = (I_{P_{RMS}}^2 * R_{DCP} + I_{S_{RMS}}^2 * R_{DCS}) * k_{AC} \quad (4.35)$$

其中, $I_{P_{RMS}}$ 和 $I_{S_{RMS}}$ 分别为原、副边绕组中电流的有效值, R_{DCP} 和 R_{DC} 分别为原、副边绕组的直流电阻值, k_{AC} 为绕组整体的交流电阻系数。所设计的集成磁元件总损耗如式 (4.36) 所示。

$$P_{mag} = P_{core} + P_w \quad (4.36)$$

以长方体空间来计算, 集成磁元件的总体积如式 (4.37) 所示。

$$V_{mag} = L_{mag} * W_{mag} * H_{mag} \quad (4.37)$$

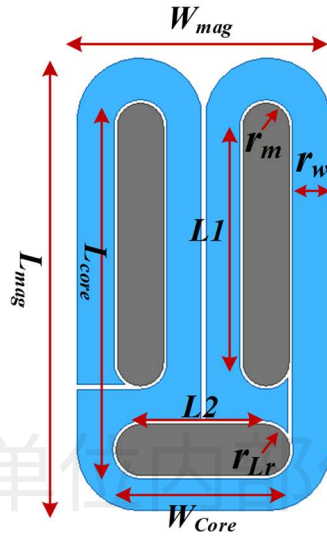


图 4.26 集成磁元件各部分尺寸标注

根据以上推导的集成磁元件总损耗和总体积的表达式, 以变压器磁柱截面积圆弧半径 r_m 和绕组宽度 r_w 为自变量, 可以得到总损耗和总体积随着两个自变量的变换关系 (图 4.27~图 4.29 的计算结果其它条件为: 开关频率 600kHz, 绕组铜厚为 20Z, 磁芯中的最大磁密为 70mT)。图 4.27 为所提的集成磁元件总体积随着变压器磁柱截面积圆弧半径 r_m 和绕组宽度 r_w 的变化曲线, 在一定的参数变化范围内, 随着绕组宽度 r_w 的增大, 由于绕组宽度增加时绕组损耗下降, 但磁芯尺寸随之增加, 绕组足够宽时磁芯损耗占主导, 此时绕组损耗再增加会导致总损耗变大, 因此总损耗呈现先下降后增长的趋势。图 4.28 为集成磁元件总体积随着变压器磁柱截面积圆弧半径 r_m 和绕组宽度 r_w 的变化曲线, 在一定参数范围内, 总体上磁元件体积随着两自变量的增大而增加。为了选择合适的设计参数, 需要对磁元件损耗和体积进行折中考虑, 如图 4.29 所示为将损耗和体积投影到同一平面的等高线图, 图中横坐标为绕组宽度 r_w , 纵坐标为截面积圆弧半径 r_m , 图中红色虚线为不同损耗的等值线, 蓝色实线为不同体积的等高线。根据对体积和损耗的需求可以确定满足要求的参数区域。

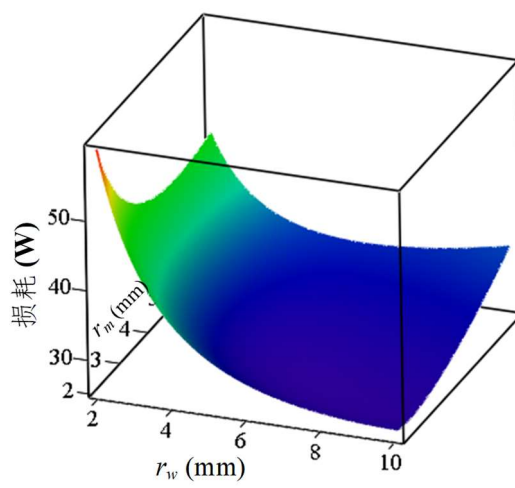


图 4.27 损耗与集成磁元件半径及绕组宽度的关系三维图

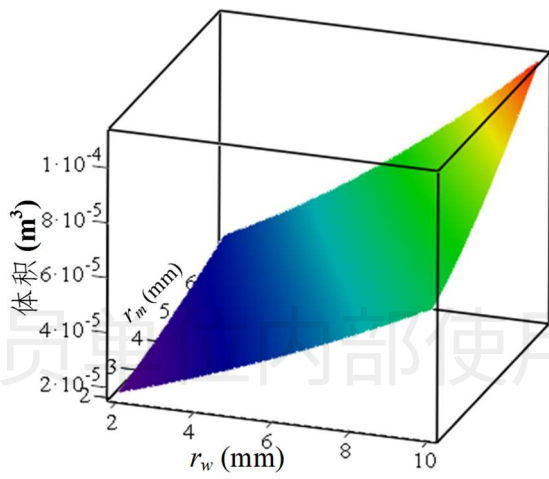


图 4.28 体积与集成磁元件半径及绕组宽度的关系三维图

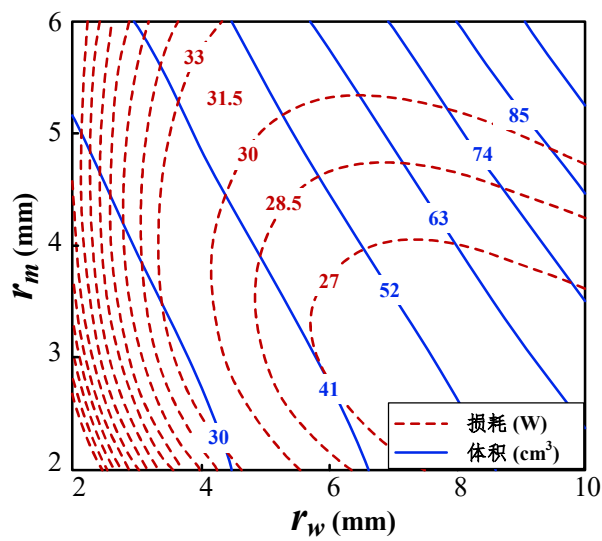


图 4.29 变压器损耗和体积随磁元件半径及绕组宽度变化的等值线图

4.4 集成磁元件绕组损耗和磁芯损耗测试方法

4.4.1 集成磁元件的绕组损耗测试方法

目前对于 PCB 绕组损耗通常采用磁仿真的方法来评估，但是对于实际电路运行工况下的绕组损耗缺乏有效的评估手段。在高频磁元件中，并且由于绕组位置的电磁场在空间内通常呈现三维不均匀分布状态，并且高频工况下绕组的集肤效应、临近效应等明显，导致绕组中的涡流损耗比低频工况更加严重，复杂的电磁环境导致高频下 PCB 绕组的损耗更加难以测量。针对该问题，本章提出了通过改变绕组特性来构造对照组实验方案，测量不同组实验的损耗差值的方法来推导 PCB 绕组损耗的方法。

由于 PCB 绕组收到的集肤效应、邻近效应严重，绕组一旦改变就会造成绕组交流系数的变化，因此难以通过改变绕组特性的方式来构造对照组实验。而使用单股线线径小于集肤深度的利兹线绕组时，其交流系数受电磁场影响很小，改变绕组的总的截面积时绕组的交流系数可近似认为不变。因此，本小节基于利兹线绕组，通过改变绕组截面积的方式来构造对照组，保证其它损耗一致的情况下测量 PCB 集成磁元件的样机总损耗和利兹线绕组集成磁元件的样机总损耗，该损耗的差值即为 PCB 绕组与利兹线绕组的损耗差；通过利兹线绕组的截面积对比测试得到利兹线绕组的损耗，进而可以推导 PCB 绕组的损耗。

所提出的 PCB 绕组损耗测试方法具体操作为：首先，第一组实验基于所设计的 PCB 绕组集成元件测试样机的总损耗，记该损耗为 $Loss1$ ；其次，第二组实验使用相同的集成磁元件磁芯结构，将原有的 PCB 绕组更换为截面积相近的利兹线绕组，调节不同磁柱气隙使得该集成磁元件与 PCB 绕组集成磁元件具有完全相同的集成电感量，在相同的样机和电路工况下再次测量样机总损耗，记该损耗 $Loss2$ ；最后，第三组实验使用最小单股线经相同的利兹线，改变所使用的利兹线绕组包含的绕线股数使得利兹线绕组截面积减半，用该绕组制作相同磁结构和电感量的集成磁元件，在相同的电路工况下再次测试样机总损耗，记该损耗为 $Loss3$ 。三次测试过程中除了绕组不同外，磁芯结构以及电路其它所有工况完全相同，以保证除绕组损耗外的其余损耗完全一致。改变利兹线绕组导线截面积的两组实验中，绕组截面积减半使得绕组导通电阻加倍，近似认为交流系数不变的情况下，绕组的导通损耗也随之加倍。

$$Loss1 = P_{ot} + P_{w_PCB} \quad (4.38)$$

$$Loss2 = P_{othe} + P_{w_coil} \quad (4.39)$$

$$Loss3 = P_{other} + * 2P_{w_coil} \quad (4.40)$$

式（4.39）为第二次测量的样机损耗表达式，其中 P_{others} 为除绕组损耗之外的其余部分损耗， P_{w_coil} 为第二组实验中利兹线绕组损耗。由于第三组实验中绕组截面积减半，因此绕

组损耗加倍，其余部分损耗不变。对式（4.40）和式（4.39）作差，可得式（4.41）。

$$\Delta P1 = Loss3 - Loss2 = P_{w_coil} \quad (4.41)$$

式（4.40）所得到的损耗差 $\Delta P1$ 恰好为第二组实验中利兹线绕组的损耗。将第一组实验测试损耗与第二组实验测试损耗作差，可以得到：

$$\Delta P2 = Loss1 - Loss2 = P_{w_PCB} - P_{w_coil} \quad (4.42)$$

将式（4.41）带入式（4.42）整理后即可推出 PCB 绕组的损耗如式（4.43）所示。

$$P_{w_PCB} = Loss1 - 2 * Loss2 + Loss3 \quad (4.43)$$

4.4.2 集成磁元件的磁芯损耗测试方法

4.4.2.1 传统基于差值损耗的磁芯损耗测量方法

对于谐振电路，磁芯中的磁通密度与电感量和电感电流的乘积成正比，由于励磁电感和谐振电感电流没有直流偏置，该乘积与半个开关周期内电感两端的电压对时间的积分大小相同。在磁芯结构和绕组结构相同的情况下，磁芯中的磁通分布情况与绕组端口的励磁电压相同。因此构造励磁电压与待测磁元件相同的额外磁元件，即可保证构造的额外磁元件与待测磁元件具有相同的磁芯损耗。

传统的电感或者变压器的磁芯损耗可以采用差值损耗法测量，其基本原理图如图 4.30 所示，图中黑色部分为待测磁元件，辅助磁元件为额外并联的磁元件，其中辅助磁元件具有与原有磁元件完全相同的磁芯和绕组结构以及绕组匝数。测量时将辅助磁元件和原有磁元件在绕组端口并联，两者绕组端口获得相同的电压励磁，在匝数相同的情况下，原有磁元件中的磁通和辅助磁元件磁通一致，因此两者磁芯损耗相同。当辅助磁元件的电感量足

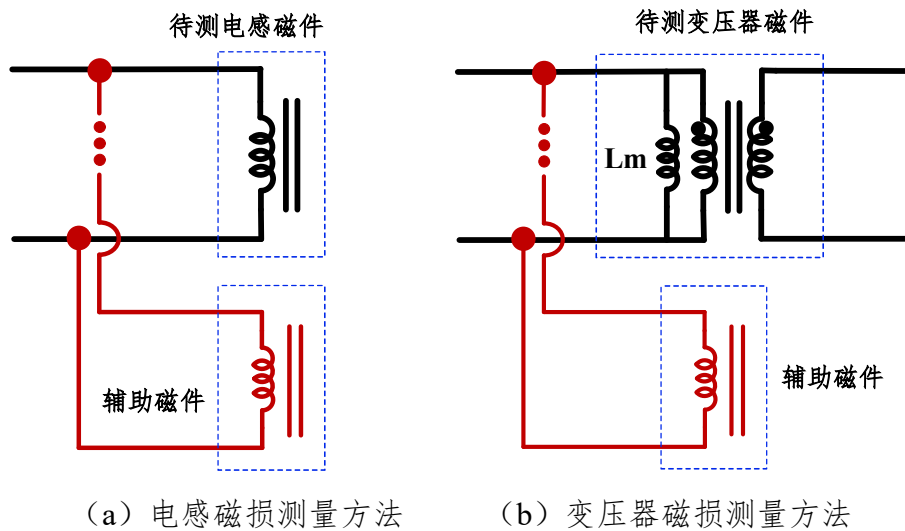


图 4.30 磁芯损耗的传统差值损耗测量法

够大时,辅助磁元件的绕组流通电流很小,引起的导通损耗可以忽略,因此并联辅助磁元件后增加的损耗即为待测磁元件的磁芯损耗。实际测试时通过功率计测量并联辅助磁元件前、后样机的总损耗差值即可得到磁元件的磁芯损耗。图 4.30 (a) 为传统无直流偏置的电感的磁芯损耗测量方法,实际测量时只需将辅助磁元件的磁芯气隙去掉,使辅助磁元件的电感量尽可能在待测磁元件电感量的 10 倍以上,测量并联辅助磁元件前后电路总损耗差别,即得到待测磁元件的磁芯损耗;图 4.30 (b) 为变压器的磁芯损耗测试原理图,所构造的辅助磁元件仅保留与变压器相同的原边绕组结构,匝数相同的情况下即可保证辅助磁元件与待测磁元件所承受的励磁相同,从而使得辅助磁元件与待测变压器磁芯损耗相同。

但是上述方法仅适用于变压器或者电感等单一磁元件,针对集成磁元件,所集成电感需要原、副边绕组配合得到,仅并联单一绕组会导致辅助磁元件不同磁柱的磁通分配与待测磁元件完全不同,因此现有方法无法直接用来测量集成磁元件的磁芯损耗。

4.4.2.2 集成磁元件磁芯损耗测试电路及基本原理

集成磁元件与单个变压器的主要不同点在于变压器原、副边绕组良好耦合,因此辅助磁元件绕制单边(原边或副边)绕组即可使辅助磁元件获得与待测磁元件完全相同的磁通分布,而集成磁元件原、副边绕组弱耦合,不同磁柱中所流经的磁通可能为单一磁元件的磁通或者多个分立磁元件磁通的叠加磁通,该磁通分布由原、副边绕组共同决定,传统并联单一绕组结构的辅助磁元件并不能获得与待测磁元件相同的磁芯损耗。为了测量集成磁元件的磁芯损耗,本章提出了改进的差值损耗测量方法(如图 4.31 所示)。与传统单独的变压器磁芯损耗测量方法相比,辅助磁元件增加了副边绕组以构造与待测磁元件具有完全

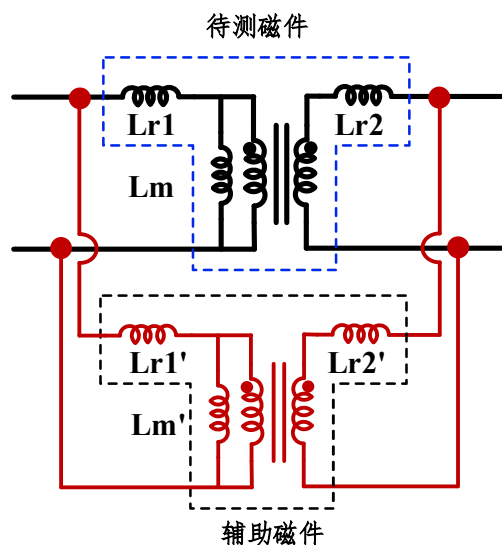


图 4.31 所提出的集成磁元件磁芯损耗测试电路

相同的磁通分布的集成磁结构。辅助磁元件同时具有原、副边绕组，且将辅助磁元件原、副边绕组端口同时与待测磁元件原、副边绕组端口分别并联，以保证辅助磁元件与待测磁元件具有相同的等效网络模型，进而通过参数设计使得辅助磁元件不同磁柱磁通分布与待测磁元件完全相同。将待测集成磁元件原、副边绕组同时与额外辅助磁元件原、副边并联，测试并联辅助集成磁元件前后的总损耗差值，得到待测集成磁元件的磁芯损耗。通常来说，为了尽可能减小并联的辅助集成磁元件对原有电路造成的影响，需要将辅助磁元件的阻抗网络参数设计为待测磁元件的 10 倍以上。

辅助磁元件端口分别并联在待测磁元件两端时，仅能保证辅助磁元件绕组端口总的励磁电压与待测磁元件一致，要使得辅助磁元件不同磁柱与待测磁元件对应磁柱绕组励磁电压分别相同，需要辅助磁元件所集成的各部分等效电感与待测磁元件一一对应成比例，即有：

$$\begin{bmatrix} Lr1' \\ Lr2' \\ Lm' \end{bmatrix} = k * \begin{bmatrix} Lr1 \\ Lr2 \\ Lm \end{bmatrix} \quad (4.44)$$

其中 k 为辅助磁元件电感量相对于待测磁元件电感量增大的比例系数， $Lr1$ 、 $Lr2$ 和 Lm 为待测磁元件对应电路“T”模型中的电感参数， $Lr1'$ 、 $Lr2'$ 和 Lm' 为辅助磁元件对应电路“T”模型中的电感分布。在所研究的高频工况下，磁元件绕组的等效串联电阻阻抗相比于感抗可以忽略，因此绕组各部分分压将由电感的感抗决定。在同一测试电路中，开关频率一致，电感性抗对应成相同比例，因此辅助磁元件各部分等效电感的分压将与待测磁元件完全一致，即：

$$\begin{bmatrix} u'_{Lr} \\ u'_{Lr2} \\ u'_{Lm} \end{bmatrix} = \begin{bmatrix} u_{Lr} \\ u_{Lr1} \\ u_{Lm} \end{bmatrix} \quad (4.45)$$

由于辅助磁元件与待测磁元件各磁柱上的绕组结构以及绕组电压均相同，保证了辅助磁元件的磁通分布与待测磁元件完全一致，两者磁芯损耗完全相同。同时，并联的辅助磁元件电感量在远远大于待测磁元件电感量（即 $k \gg 1$ ）时，辅助磁元件的阻抗远大于待测磁元件，两者并联时辅助磁元件分得的电流远小于待测磁元件，流经辅助磁元件的电流造成的损耗可以忽略，因此可以认为并联符合上述条件的辅助磁元件后，变换器增加的损耗就是待测磁元件的磁芯损耗。在相同工况下通过测试并联辅助磁元件前后变换器的总损耗，得到的损耗差就是原有电路工况下集成磁元件的磁芯损耗。

4.4.2.3 考虑辅助磁元件非理想情况下的参数设计

在实际应用时，由于辅助磁元件感抗无法做到无穷大，因此会有部分电流流过辅助磁

元件,造成总体损耗与理想损耗分布的偏差。因此为了减小该偏差,需要对该测试电路进行进一步分析。如图 4.32 所示为向变压器原边折算后的简化电路原理图。由上一小节所述分析可知,由于辅助磁元件的各部分等效电感分压与待测磁元件一致,图 4.33 (a) 中 A、B 两点等电位,因此在电路上等效连接在一起。将该电路进行简化,负载同时折算到原边侧,可以得到图 4.33 (b) 所示的电路原理图。在简化后的等效电路中待测磁元件、辅助磁元件的原边等效谐振电感、副边等效谐振电感以及励磁电感分别并联,两侧的谐振电容与所集成的单侧等效电感分别匹配在谐振点。由并联电感的分流情况可知,辅助磁元件的支路电流与谐振腔流过的总电流的比例为:

$$\frac{|i_{AUX}|}{|i_P|} = \frac{1}{k+1} \quad (4.46)$$

其中 i_{AUX} 为流过辅助磁元件的电流, i_P 为原边侧绕组的总电流。

实际应用时 k 无法做到无穷大,在负载不变的情况下,辅助磁元件的分流导致流经待测磁元件电流减小,导致待测磁元件的导通损耗有明显减小,同时等效谐振电感的伏秒减小,导致集成磁元件中不同磁柱的磁通大小与原有集成磁元件工况发生变化,进而导致磁芯损耗改变。

接下来对并联辅助磁元件后电路的电压和电流情况进行定量分析。根据图 4.32 所示的待测集成磁元件电路简化后的原理图,电路工作在谐振点时谐振腔阻抗近似为零,负载电阻可等效直接与励磁电感并联在回路中分压,因此原有电路待测磁元件原边侧等效谐振电感电压占比可表示为:

$$\frac{|u_{Lr}|}{|u_1|} = \frac{Z_{Lr1}}{\frac{Z_{Lm} * n^2 R_L}{Z_{Lm} + n^2 R_L} + Z_{Lr}} \quad (4.47)$$

其中 $Z_{Lr} = \omega Lr1$, 为谐振电感 $Lr1$ 的阻抗; $Z_{Lm} = \omega Lm$, 为励磁电感 Lm 的阻抗; u_1 为原边端口总电压。同理,在并联辅助磁元件后,原边侧等效谐振电感的电压占比可表示为:

$$\frac{|u'_{Lr1}|}{|u_1|} = \frac{Z_{Lr}^*}{\frac{Z_{Lm}^* * n^2 R_L^*}{Z_{Lm}^* + n^2 R_L^*} + Z_{Lr}^*} \quad (4.48)$$

其中 $Z_{Lr1}^* = \omega Lr1 // \omega Lr1'$, 为待测磁元件和辅助磁元件并联后等效原边侧谐振电感阻抗; $Z_{Lm}^* = \omega Lm // \omega Lm'$, 为待测磁元件和辅助磁元件并联后等效励磁电感感抗; R_L^* 为并联辅助磁元件后的负载电阻。为了保证并联辅助磁元件后待测磁元件的损耗与原有电路保持不变,需要保证 $u_{Lr1} = u'_{Lr1}$, 由式 (4.46)、(4.47) 和 (4.48) 可以推出并联辅助磁元件后的负载电阻需要满足:

$$R_L^* = R_L * \frac{Z_{Lm}^*}{Z_{Lm}} = R_L * \frac{k}{k+1} \quad (4.49)$$

由上式可知,要保持并联辅助磁元件后待测磁元件的磁芯损耗与并联前一致,需要将负载电阻按比例减小。负载电阻的减小时变换器原、副边侧开关管导通回路的电流会同步增大,由于开关管基本处于软开关状态,因此增大的电流仅造成开关管增加小部分导通损耗,该部分损耗可以通过计算得出;而辅助磁元件流过的电流很小,引起的辅助磁元件绕组导通损耗可以忽略。因此测试得到的损耗差值修正掉开关管导通损耗的变化,即可得到原有集成磁元件的磁芯损耗。

$$P_{core} = P_{Parallel} - P_{Original} - \Delta P_{MOS} \quad (4.50)$$

其中 P_{core} 为集成磁元件的磁芯损耗, $P_{Parallel}$ 为并联辅助磁元件后的总损耗, $P_{Original}$ 为原有电路的总损耗, ΔP_{MOS} 为并联辅助磁元件后由于负载增大引起的开关管增加的导通损耗。

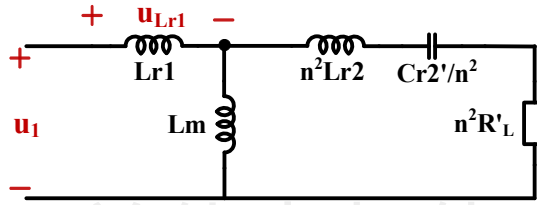
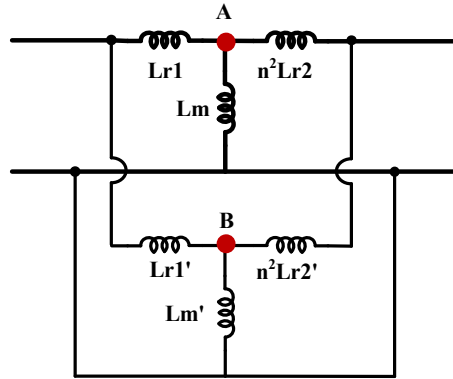
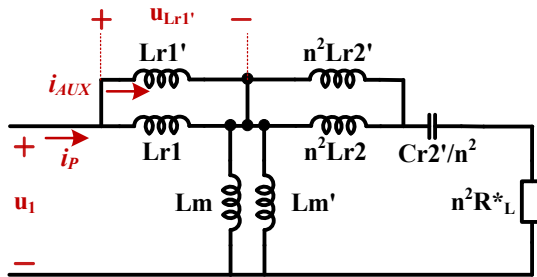


图 4.32 待测集成磁元件简化电路结构



(a) 并联磁元件经变压器折算后电路原理图



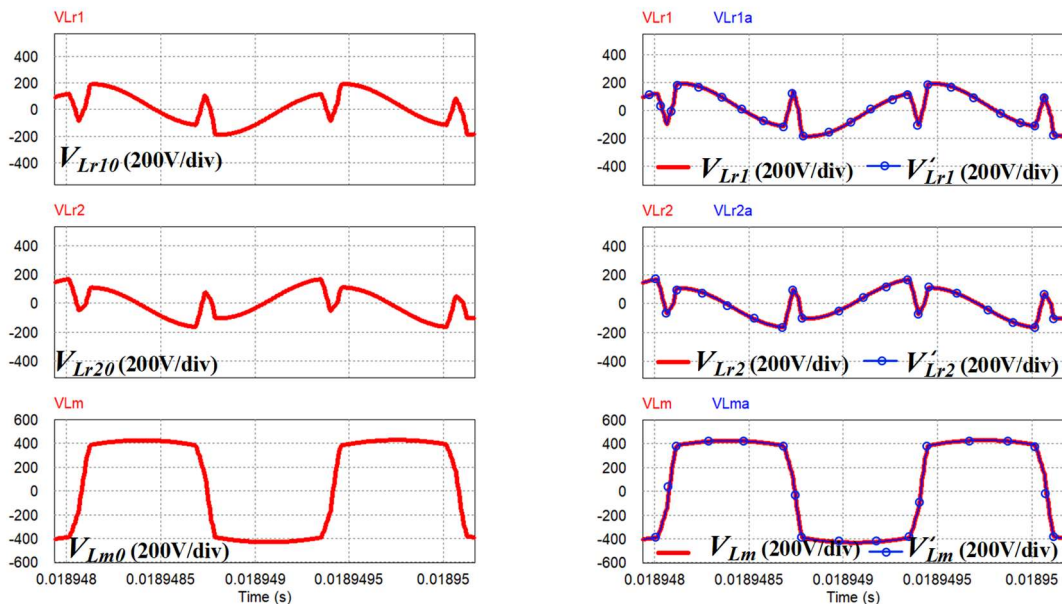
(b) 并联磁元件且负载折算后简化电路图

图 4.33 并联辅助磁元件后的电路原理图

4.4.2.4 磁芯损耗测量方案的仿真验证

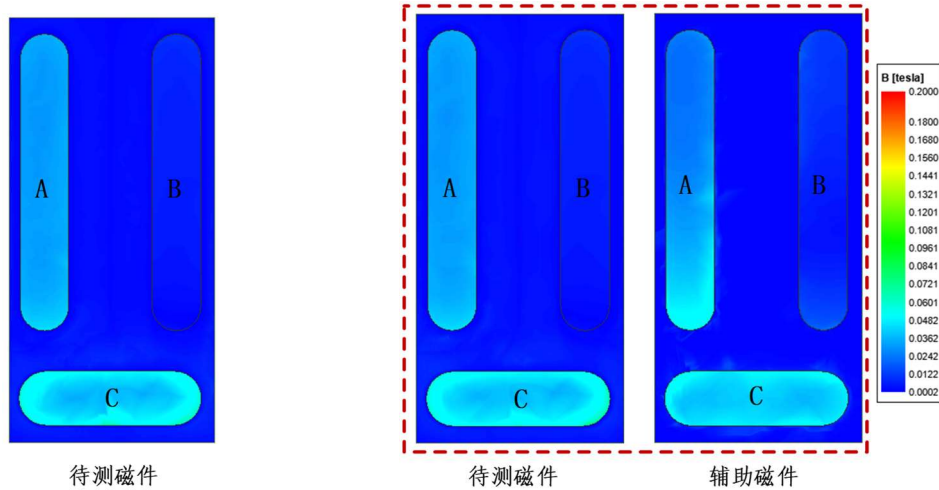
为了验证所提出的集成磁元件的磁芯损耗测量方法的准确性,本小节进行了仿真验证。首先基于电路模型对等效电感端口电压的仿真,如图 4.34 所示为并联集成磁元件前后原、副边等效谐振电感和等效励磁电感两端的电压对比,磁件的电路原理图对应图 4.31。图 4.34 (a) 为待测集成磁元件等效电感的端口电压,其中 V_{Lr10} 为待测集成磁件原边等效谐振电感两端的电压, V_{Lr20} 为副边等效谐振电感两端的电压, V_{Lm0} 为待测集成磁件等效变压器绕组两端的电压。图 4.34 (b) 为并联所提出的集成磁元件后调整负载参数得到的待测磁元件和额外并联集成磁元件的等效电感电压分配,对应图 4.33 所示的电路原理图。其中, V_{Lr1} 为并联辅助磁件后待测集成磁件原边等效谐振电感两端的电压, V_{Lr2} 为副边等效谐振电感两端的电压, V_{Lm} 为待测集成磁件等效变压器绕组两端电压; $V_{Lr1'}$ 为辅助集成磁件原边等效谐振电感两端的电压, $V_{Lr2'}$ 为副边等效谐振电感两端的电压, $V_{Lm'}$ 为辅助集成磁件等效变压器绕组两端的电压。可以看到,三者电压几乎完全一致,证明了该测试结构可以保证并联的集成磁元件所增加的磁芯损耗与待测磁元件损耗一致。

图 4.35 和图 4.36 为磁仿真得到的并联辅助集成磁元件前后磁芯中磁通的分布情况,其中图 4.35 为谐振电流最大值时的磁通分布图,此时谐振电感磁柱磁通最大;图 4.36 为励磁电流最大值时刻的磁芯磁通分布图,此时变压器磁柱磁通最大。不同时刻的磁通分布都表明了并联辅助集成磁元件前后磁元件的磁通分布基本相同,即证明了该测试结构可以保证并联的集成磁元件所增加的磁芯损耗与待测磁元件损耗一致。



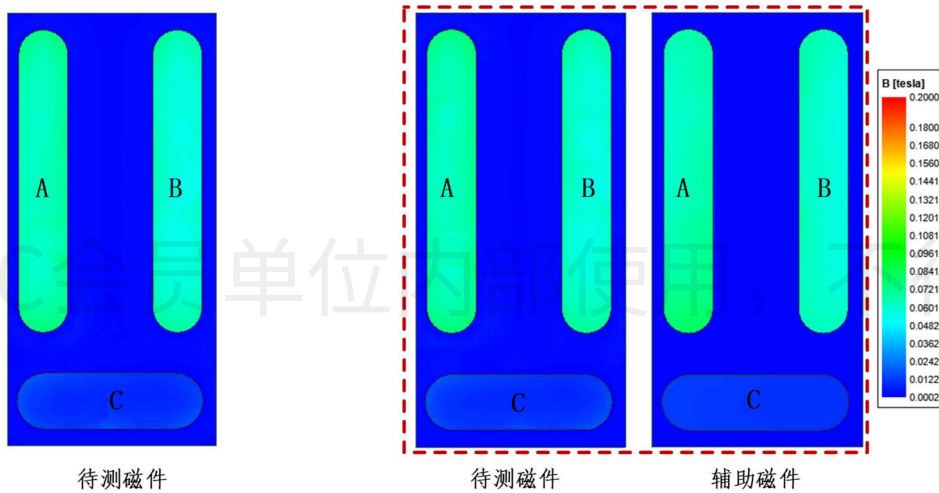
(a) 待测集成磁元件等效电感端口电压 (b) 并联辅助集成磁元件后等效电感端口电压

图 4.34 等效电感端口电压仿真对比



(a) 待测集成磁元件磁通分布 (b) 并联辅助集成磁元件后磁通分布

图 4.35 谐振电流最大值时刻磁芯中磁通分布仿真对比



(a) 待测集成磁元件磁通分布 (b) 并联辅助集成磁元件后磁通分布

图 4.36 励磁电流最大值时刻磁芯中磁通分布仿真对比

4.5 实验验证

4.5.1 实验样机及集成磁元件参数

为了验证以上所设计的集成磁元件的设计与损耗测试方案的可行性，本章建立了一台 2kW 的 CLLC 谐振 DC/DC 变换器样机进行实验测试（样机的规格与第三章所设计样机保持相同）。集成磁元件的照片如图 4.37 所示，按照磁元件的长宽高计算磁件体积，磁件的功率密度接近 $800\text{W}/\text{in}^3$ 。样机规格及所设计的磁元件的关键参数如表 4.1 所示。输入母线电压为 400V，输出电压范围为 250V~400V，总输出功率按照 2kW 降额。磁元件的变压器部分原副边变比为 8:7，等效电感绕组为 8 匝，由 4 匝原边和 4 匝副边绕组共同构成。

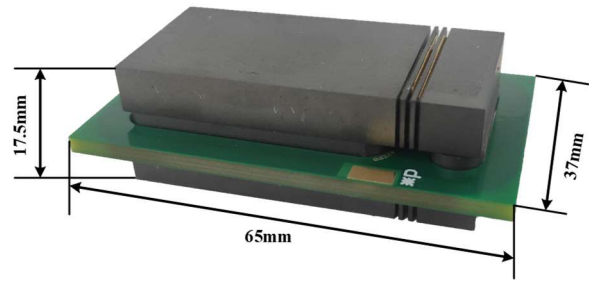


图 4.37 集成磁元件照片及尺寸参数

表 4.1 样机规格及磁元件关键参数

栏目	规格
输入电压	400V
输出电压	250V~400V
输出功率	2kW
谐振电感	$L_{r1}=4.7\mu\text{H}/L_{r2}=3.6\mu\text{H}$
励磁电感	$20\mu\text{H}$
等效变比	8:7
Ae_m/Ae_{Lr}	$250\text{mm}^2/130\text{mm}^2$
磁芯材料	DMR51W

4.5.2 PCB 绕组及磁芯损耗测试

4.5.2.1 PCB 绕组损耗测试

根据 4.4 小节所提出的 PCB 绕组损耗测试方案，此处制作了不同绕组的集成磁元件进行实验测试，其图片如图 4.38 所示，其中 PCB 绕组线宽 5mm，铜厚 2OZ，两组利兹线绕组分别为 0.1mm（100 股并联）和 0.1mm（200 股并联）。在相同的工况下，分别更换三种规格的绕组进行测试，得到样机的总损耗，再根据 4.4.1 小节所推导的分析方法，对损耗作差，进而得到 PCB 绕组损耗。损耗对比测试的结果如图 4.39 所示，其中橘黄色损耗为利兹线绕组时样机总损耗，绿色曲线为使用截面积减半的利兹线绕组样机总损耗，蓝色曲线为使用 PCB 绕组的样机总损耗，根据实验设计，对测试得到的不同损耗曲线进行参数计算得到图中黑色曲线即为不同负载下的样机的 PCB 绕组损耗。

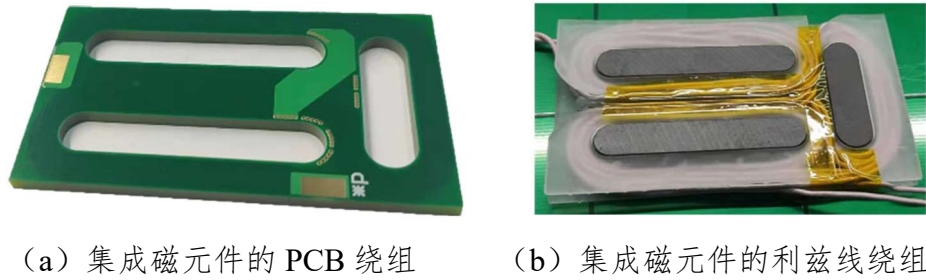


图 4.38 不同绕组结构对照图片

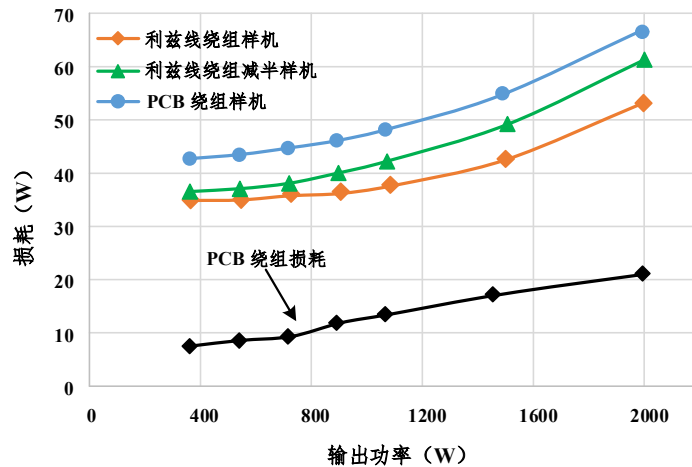


图 4.39 PCB 绕组损耗测试结果

4.5.2.2 集成磁元件磁芯损耗测试

根据所设计的差值损耗测试方法，本小节搭建了含有辅助磁元件的测试系统对磁芯损耗进行测试。图 4.40 为磁芯损耗测试装置图，辅助磁元件的各部分等效电感量是待测磁元件的 10 倍，因此流过辅助磁元件的电流为待测磁元件的 1/10，不考虑交流系数变化的情况下辅助磁元件绕组的导通损耗近似为待测磁元件的 1/100；且实验中辅助磁元件使用多股线绕组，进一步减小了辅助磁元件导通损耗造成的影响，在基本不影响测试结果的情况下辅助磁元件的导通损耗可以忽略。

为了验证并联辅助磁元件后磁元件的磁通分布与原有待测磁元件的一致性，本章借助第二章的磁通测量方法，通过在不同磁柱上绕制单匝绕组，测量绕组端口电压来反映不同磁柱的磁通大小。如图 4.41 所示为测得并联辅助集成磁元件前、后，磁柱 B 和磁柱 C 上的电压对照情况，可以看出，并联辅助集成磁元件前后，对应磁柱的励磁电压基本一致，即磁芯中的磁通分布情况相同，保证了并联辅助集成磁元件后所增加的磁芯损耗即为待测磁元件的磁芯损耗。

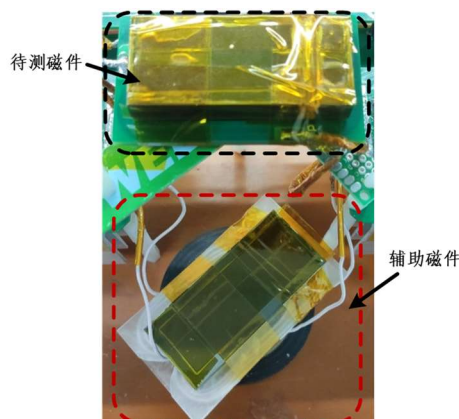
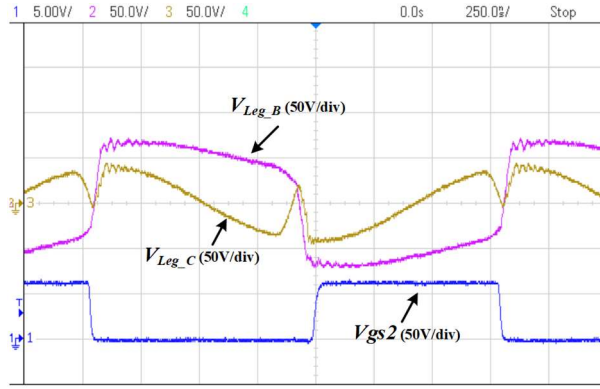
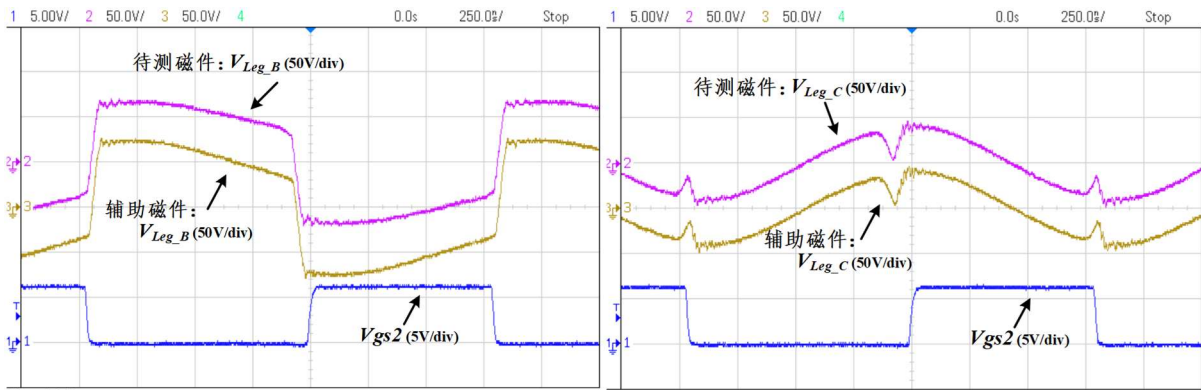


图 4.40 集成磁元件磁芯损耗测试平台



(a) 待测集成磁元件等效电感端口电压



(b) 并联辅助集成磁元件后等效电感端口电压

图 4.41 磁芯磁通对比测试结果

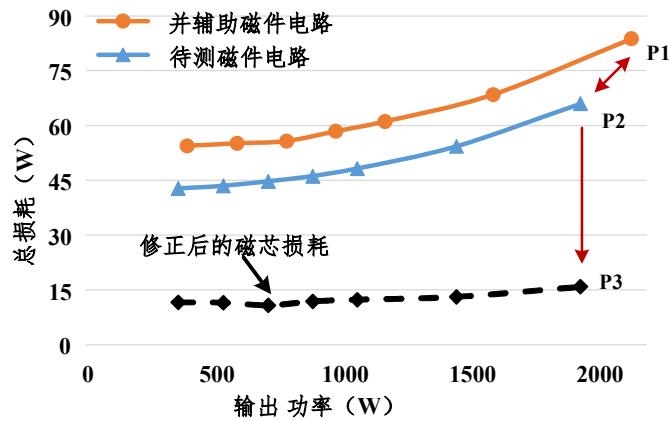


图 4.42 磁芯损耗测试结果

图 4.42 为并联辅助磁元件前、后测得的损耗曲线，其中蓝色曲线为原有集成磁元件电路的总损耗，橙色曲线为并联辅助磁元件后的总损耗。为了使得被测集成磁元件的工况不变，并联辅助磁元件后负载按照式 (4.49) 进行了匹配。黑色曲线为修正后对应于原有集成磁元件电路工况下的磁芯损耗。以输出 2kW 的负载为例，并联辅助磁元件后负载增大 1.1 倍以保证主磁元件工况不变，将该工况下前后两次测得的样机总损耗作差，再减去由于负载增大导致的开关管导通损耗增加量，就得到负载 2kW 时的集成磁元件磁芯损耗，

其对应损耗位置如图 4.42 中 P1、P2 和 P3 所示。

4.5.3 样机宽范围测试及关键波形

本章所提出的集成磁结构应用于输出电压宽范围的场合，图 4.43 为全输出电压下满载测得的效率曲线。图中横坐标为输出电压、纵坐标为样机效率，其中蓝色曲线为所设计的集成磁元件的效率曲线，谐振点附近效率为 96.8%，使用同步整流时预期效率可以达到 97.4%左右。为了展示所设计的集成磁元件的优势，本章同步搭建了电气参数基本一致的分立磁元件进行对比测试。结合图 4.44 所示可以看出，集成磁元件可以在保持与分立磁元件效率基本一致的情况下使得体积减小约 25%，验证了所设计的集成磁元件的优势。

图 4.45 为基于所设计的集成磁元件的 CLLC 谐振变换器样机在谐振点满载时的损耗分布情况，绕组损耗和磁芯总损耗大概 32W 左右，比设计的~1.4%的预期值稍微偏大，原因在于实际磁元件电磁场工况比设计时预期的更加复杂，绕组损耗比预期偏大。图 4.46 为整体测试样机的照片，包含原边开关桥臂、副边整流桥臂、集成磁件以及控制板等几部分。图 4.47 (a)~(c) 为不同输出电压下原边谐振腔电流、开关管 S2 的驱动信号 V_{gs2} 及漏-源电压 V_{ds2} 电压波形，可以看到，不同的输出电压下开关管均实现了 ZVS 开通。

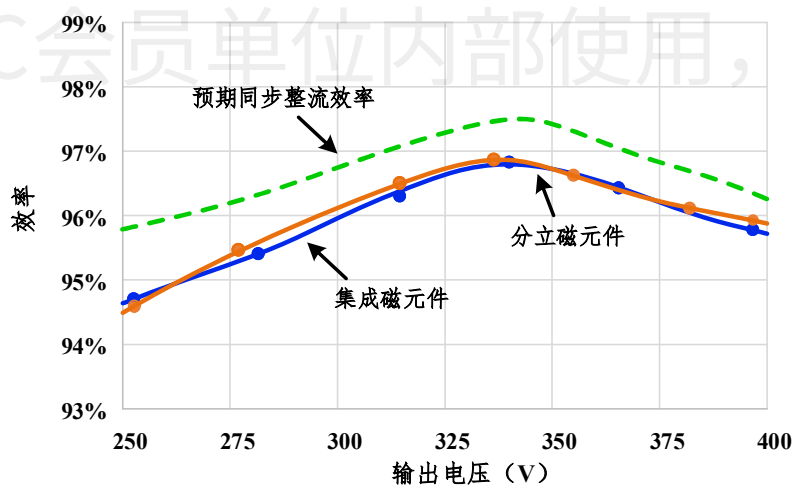


图 4.43 集成磁元件与分立磁元件在不同输出电压下的效率对比

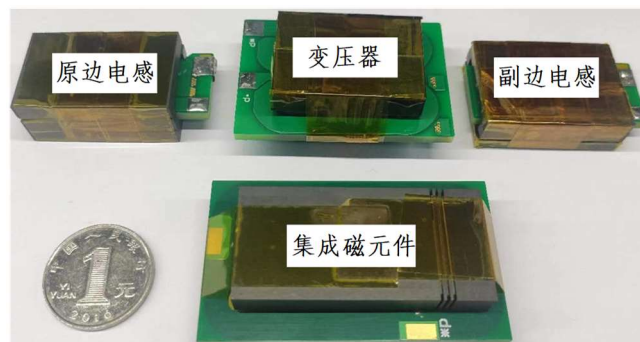


图 4.44 集成磁元件与分立磁元件对比图片

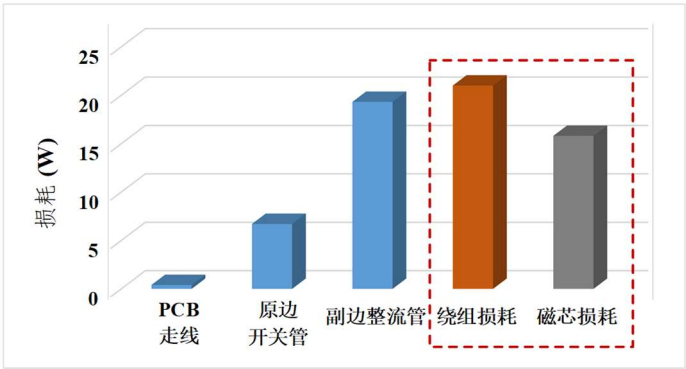


图 4.45 谐振点满载损耗分布

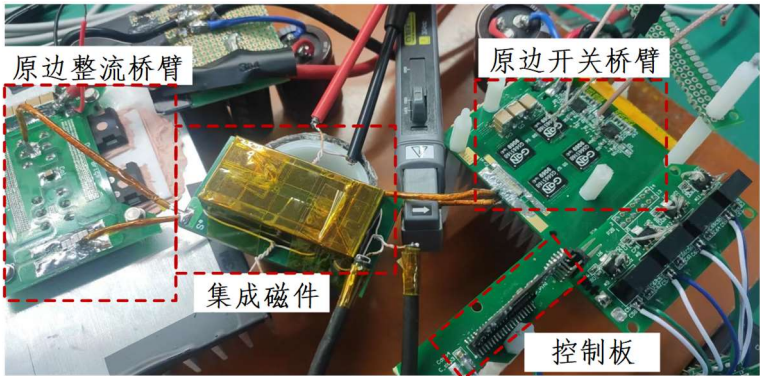
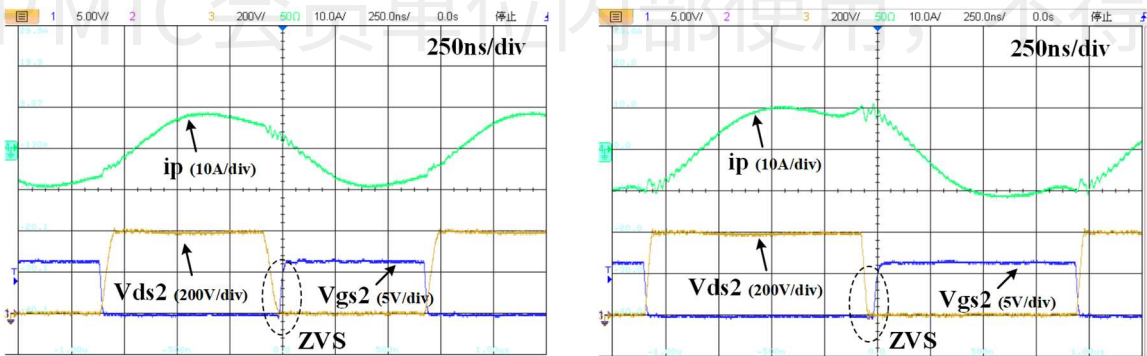
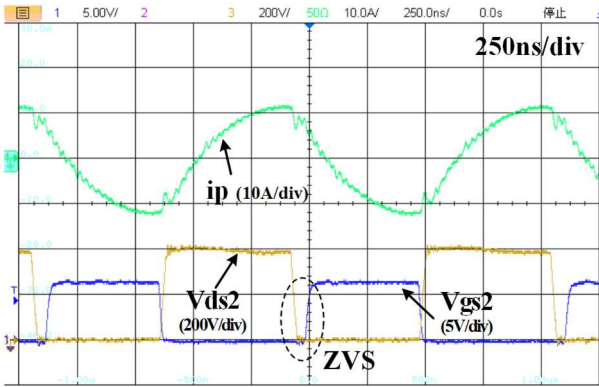


图 4.46 测试样机照片



(a) 谐振点时工作波形 (b) 最高输出电压时工作波形



(c) 最低输出电压时工作波形

图 4.47 不同输出电压下的关键波形

4.6 集成磁元件结构归纳与拓展

谐振电感和变压器两个磁元件在集成时，以变压器漏感作为谐振电感取代外置的分立谐振电感，本质上是通过绕组绕制在不完全相同的磁柱上，以使得原、副边绕组的耦合度发生变化，通过改变原、副边绕组间的耦合度来调节变压器漏感以实现所要集成的目标谐振电感量。使用 PCB 绕组时，原、副边绕组分布于不同层，使用单边绕组来构造谐振电感时会导致另一侧绕组所在 PCB 层造成浪费，因此，本章提出同时使用原、副边绕组与谐振电感绕组集成的方案，不仅提高了 PCB 绕组的利用率，由于绕组走线绕制的方便，同时减少了绕组长度和过孔数量。

但是，上述集成磁元件依然存在部分问题，如图 4.48 所示，由于该磁元件磁芯作为最高的部分，磁芯外侧的绕组位置空间浪费相对严重，导致磁元件引起的空间体积仍然偏大。针对该问题，可以采用多磁柱结构，将磁芯上下盖板的磁通分散，实现磁芯盖板厚度的减小，同时将整个空间体积利用起来。

采用多磁柱结构将集成磁元件盖板磁片减薄有多种方式，一是将变压器磁柱增多，如图 4.49 (b) 所示在集成磁元件外侧增加额外磁柱 A'和 B'，增加的磁柱可以分担一半的励磁磁通，这样原来顶底部磁片盖板中流通的磁通将由原来的 ϕ_{Lm} 变为 $\frac{1}{2}\phi_{Lm}$ ，所需要的磁芯截面积也会大幅减小，从而减小磁元件整体高度。此时磁芯盖板可以覆盖所有绕组空间，减少磁元件空间浪费。

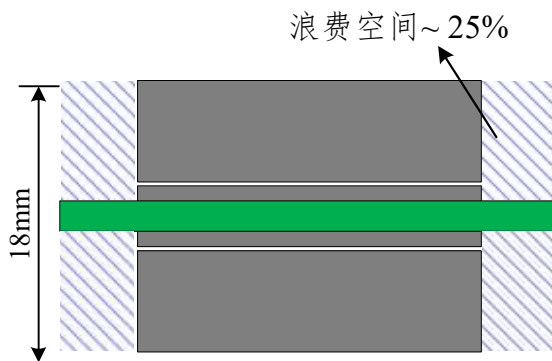
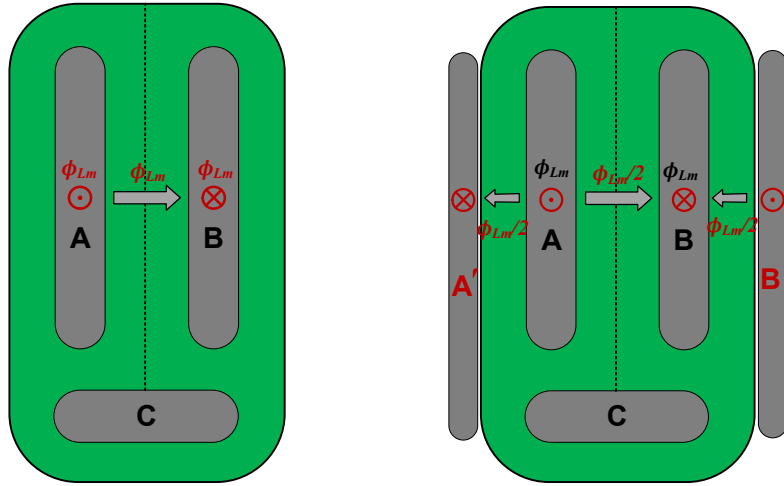


图 4.48 所提集成磁元件侧视图



(a) 所提出的集成磁结构励磁磁通分布 (b) 多磁柱集成磁结构励磁磁通分布

图 4.49 励磁磁通减半的多磁柱集成结构

4.7 本章小结

传统平面集成磁元件在集成大感量的谐振电感时存在 PCB 层数多、PCB 空间利用率低等问题，本章从现有绕组集成的磁元件方案出发，通过将低利用率的绕组结构进一步集成，使得谐振电感磁柱上的 PCB 空间利用率大幅提升；根据磁通方向的一致性，将变压器原、副边绕组同时与谐振电感绕组进行集成共用，进一步缩短了绕组长度；通过谐振电感磁芯和变压器磁芯集成共用，消去了部分谐振电感磁柱，进一步减小了集成磁元件体积。

针对集成磁元件缺乏便捷有效的损耗测量方法的问题，本章提出了通过构造对照组实验，测量样机总的差值损耗推导 PCB 绕组和磁芯损耗的方法。集成磁元件中的 PCB 绕组由于其处在不规则分布的三维高频电磁场中，难以通过直接测量的方式得到其损耗。本章提出通过与利兹线绕组对比测量的方式，构造对照实验测得利兹线绕组损耗后，再测得 PCB 绕组与利兹线绕组的损耗差的方式来推导集成磁元件的 PCB 绕组损耗。针对磁元件磁芯损耗目前难以便捷地在电路实际工况下进行测量的问题，本章通过在待测集成磁元件原、副边端口并联辅助磁元件的方式，构建出与待测集成磁元件励磁相同的辅助磁元件，基于差值损耗测量的手段来推导待测集成磁元件的磁芯损耗。在额外并联辅助集成磁元件时，该磁元件分流导致待测集成磁元件损耗发生变化，针对这一问题，本章定量推导了并联辅助磁元件后负载的匹配条件，以保证并联辅助磁元件后待测磁元件磁芯损耗保持不变。

基于所提出的集成磁元件的构造方法、设计方案和损耗测量方法，本章搭建了实验样机对集成磁元件进行了测试验证，实验结果证明了所提的设计和分析方案的可行性、准确性。另外，本章节所提出的 PCB 绕组的损耗测量方法可以推演至其它平面绕组磁元件的结构中；本章节所提出的集成磁元件磁芯损耗的测量方法也可对本文第二章及第三章的集

成结构磁芯损耗进行测量，其基本原理和操作方法与所提方案基本一致，同时可拓展至其它多绕组磁集成的磁结构中。

最后，针对所设计的平面集成磁元件仍然存在的高度偏高、部分空间浪费的问题，提出了通过增加额外磁柱来均分磁芯盖板上的磁通的结构，为提升磁元件空间利用率、减小磁元件高度提供了可能性，为平面磁元件的进一步优化提供了方向。

仅限PMIC会员单位内部使用，不得外传

第五章 总结与展望

5.1 本文工作总结

磁集成技术可以在不牺牲电路其它电气性能的情况下大幅减小磁元件的体积,有助于缓解制约车载充电机效率和功率密度进一步提升的瓶颈问题。本文聚焦于车载充电机后级谐振 DC/DC 变换器中的谐振电感和变压器的集成设计,从集成磁元件电磁场管控、集成度提升等方面对高功率密度磁元件的分析与设计展开研究,主要创新点和研究内容总结为:

1) 针对现有分槽绕组集成磁元件具有强对外泄漏磁场的问题,提出了绕组分区域交错的结构,打破了绕组交错程度内、外一致的传统设计思路,在保持磁元件小的体积的同时使得该集成磁元件的对外泄漏磁场基本抵消。

传统分槽绕组集成磁结构由于原、副边绕组分别置于不同的磁芯槽中,绕组缺乏交错导致磁动势随着槽内绕组位置的变化不断累积增强,导致磁芯窗口外侧有强磁场泄漏,会在附近金属元器件上引起涡流损耗、噪声干扰等问题。本文第二章提出了将绕组以磁芯窗口为界,内、外部分交叉绕制的结构,窗口内侧原、副边绕组分槽绕制,以在集成相同大小的谐振电感时保持磁元件小体积;窗口外侧原、副边绕组充分交错以使得绕组产生的磁场基本抵消。所提集成结构打破了传统设计中整匝绕组交错程度一致的思路,对集成磁元件的磁场分布进行了分区域调控。实验结果证明了所提出的集成磁结构对外泄漏磁场的抵消效果,基本消除了金属机壳上的涡流损耗。

2) 针对现有不对称绕组集成磁元件集成大电感时体积和效率难以优化的问题,提出了有效谐振电感绕组和变压器绕组的概念,给出了有效谐振电感匝数和变压器匝数设计方法,优化了绕组混叠结构,实现了大感量谐振电感和变压器的小体积、高效率集成。

现有不对称绕组集成磁元件的设计方案在保持绕组良好交错的基础上可以实现小电感的集成,使高频下绕组损耗得以减小。在 OBC 后级 DC/DC 变换器应用场合需要大的谐振电感以满足调压需求,然而集成大电感时存在绕组交错程度和磁元件体积、损耗之间的矛盾,导致磁元件优化困难。针对该问题,本文分析了有效电感绕组的构成方式,推导了变压器绕组和谐振电感绕组混叠时 MMF 最小的绕组最佳排布结构,给出了基于变有效谐振电感绕组匝数和变压器匝数下集成磁元件体积和损耗的综合优化设计方法。最后实验验证了所提的优化设计方案对比现有设计方案的优势。

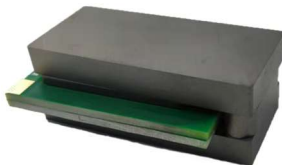
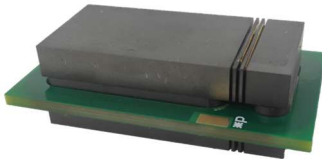
3) 交错程度相对固定的平面集成磁元件在宽频工作时损耗相对稳定,但普遍存在 PCB

空间浪费的问题，本文提出了同时使用原、副边绕组与谐振电感绕组集成的磁结构，提高了 PCB 绕组空间利用率、实现了磁芯的高度集成。

不对称绕组集成磁元件虽然在谐振点损耗具有优势，但是偏离谐振点宽频工作时由于绕组电流抵消效果变差会导致损耗迅速增加。现有交错程度相对固定的平面集成磁结构一般使用变压器的单边绕组与谐振电感集成，导致未参与集成的绕组所在 PCB 层中，谐振电感磁柱周围 PCB 空间无法有效利用。针对这一问题，本文提出了将原有各自 50%空间利用率的电感绕组向同一电感磁柱集成，实现了 PCB 的高利用率；使用原、副边绕组同时与谐振电感绕组集成的方案，进一步缩短了绕组长度。基于所设计的集成磁元件，变换器整个宽输出电压范围内保持了较高效率。

表 5.1 对本文主要研究和优化的三种具有代表性的集成磁元件特点及其适用场合进行了总结。第二章研究的绕线式磁场低泄漏集成磁件更适用于低频大功率应用场合；第三章研究的不对称绕组平面集成磁元件更适用于集成小电感且频率变化范围相对较窄的高频应用场合；第四章研究的高 PCB 利用率薄尺寸平面集成磁元件更适用于宽频变化的高频应用场合。

表 5.1 本文所研究的集成磁件总结

	集成磁元件	磁件损耗占比 及功率密度	特点及适用场合
	绕线式磁场低 泄漏集成磁件	~1.1% 510W/in ³	磁场几乎无对外泄漏，绕 线结构相对复杂，适用低 频应用场合
	不对称绕组平 面集成磁元件	~1.5% ~640W/in ³	谐振点效率较高，偏离谐 振点损耗增加较快，适用 于集成小电感、频率变换 范围较窄的高频应用场合
	高 PCB 利用 率薄尺寸平面 集成磁元件	~1.7% ~790W/in ³	峰值效率相对较低，宽频 工作效率曲线相对平缓， 更适用于宽范围调压的高 频应用场合

5.2 现有工作不足及后续工作展望

通过绕组共用和磁路叠加等手段实现两个或多个磁元件的一体集成,可以达到减小磁元件体积和损耗的效果。磁集成技术的优化需要结合电路拓扑特性,对集成磁元件电磁场进行更加精细化的管理,以充分发挥集成磁元件高效率、高功率密度的技术优势。本文针对谐振电感和变压器的集成进行了部分研究工作,初步探索并解决了部分问题,但本课题尚有许多问题有待继续探索和研究,其中包括:

- 本文所提分槽绕组集成磁结构虽然保持了集成磁元件最小体积、对外磁场也得以抵消,但是绕组结构相对复杂、制造难度偏高。后续工作可以考虑设计绕组和磁芯更理想的配合结构,实现绕组制作的简易化,以便可以更好地工程应用。
- 本文工作在不对称绕组集成磁元件偏离谐振点时的电磁场工况并未完全明晰,未达到最优化设计。可以通过数学建模、仿真分析等对偏离谐振点时的绕组电磁场工况进行分析,实现集成磁元件宽频工作的效率进一步提升。
- 本文设计的双边绕组与谐振电感绕组集成的磁结构中,等效电感绕组部分损耗依然较重,后续工作可以考虑优化磁芯结构,使得等效电感气隙与绕组的更好配合,尽可能减小穿过等效电感绕组垂直磁场分量,进一步降低该部分的绕组损耗
- 现有设计方案对磁元件的散热问题尤其是内层 PCB 的散热并没有充分考虑,后续在结构设计时需要同步考虑散热设计,以使得设计方案更加具有工程实践价值。

参考文献

- [1] 国家数据[EB/OL]. <https://data.stats.gov.cn/ks.htm?cn=C01>
- [2] 李昕蕾. 全球气候能源格局变迁下中国清洁能源外交的新态势[J]. 太平洋学报. 2017, 25(12): 33-46.
- [3] 张晓涛, 易云锋. 美国能源新政对全球能源格局的影响与中国应对策略——特朗普执政以来的证据[J]. 中国流通经济. 2019, 33(08): 72-79.
- [4] 董秀成, 董康银, 窦悦. 后疫情时代全球能源格局演进和重塑路径研究[J]. 中外能源. 2021, 26(03): 1-6.
- [5] [EB/OL]. <https://iea.blob.core.windows.net/assets/ad8fb04c-4f75-42fc-973a-6e54c8a4449a/GlobalElectricVehicleOutlook2022.pdf>
- [6] Electric Vehicles – Analysis - IEA[EB/OL]. <https://www.iea.org/reports/electric-vehicles>
- [7] Liu Z, Hao H, Cheng X, et al. Critical issues of energy efficient and new energy vehicles development in China [J]. ENERGY POLICY, 2018, 115: 92-97.
- [8] 刘永亮. 基于我国新能源汽车产业发展战略研究[J]. 时代汽车. 2022(19): 85-87.
- [9] 王新华. 新能源汽车发展的技术经济分析[J]. 时代汽车. 2022(20): 113-115.
- [10] Yilmaz M, Krein P T. Review of Battery Charger Topologies, Charging Power Levels, and Infrastructure for Plug-In Electric and Hybrid Vehicles [J]. IEEE Transactions on Power Electronics, 2013, 28(5): 2151-2169.
- [11] A Comprehensive Study of Key Electric Vehicle (EV) Components, Technologies, Challenges, Impacts, and Future Direction of Development[EB/OL]. <https://www.mdpi.com/1996-1073/10/8/1217>
- [12] Das H S, Rahman M M, Li S, et al. Electric vehicles standards, charging infrastructure, and impact on grid integration: A technological review [J]. Renewable and Sustainable Energy Reviews, 2020, 120: 109618.
- [13] Habib S, Khan M M, Abbas F, et al. A Comprehensive Study of Implemented International Standards, Technical Challenges, Impacts and Prospects for Electric Vehicles [J]. IEEE Access, 2018, 6: 13866-13890.
- [14] Tu H, Feng H, Srdic S, et al. Extreme Fast Charging of Electric Vehicles: A Technology Overview [J]. IEEE Transactions on Transportation Electrification, 2019, 5(4): 861-878.
- [15] Machura P, Li Q. A critical review on wireless charging for electric vehicles [J]. Renewable and Sustainable Energy Reviews, 2019, 104: 209-234.
- [16] Chatterjee S, Iyer A, Bharatiraja C, et al. Design Optimisation for an Efficient Wireless Power Transfer System for Electric Vehicles [J]. Energy Procedia, 2017, 117: 1015-1023.
- [17] Jawad A M, Nordin R, Gharghan S K, et al. Opportunities and Challenges for Near-Field Wireless Power Transfer: A Review [J]. Energies, 2017, 10(7): 1022.
- [18] Fuller M. Wireless charging in California: Range, recharge, and vehicle electrification [J]. Transportation Research Part C: Emerging Technologies, 2016, 67: 343-356.
- [19] Kalwar K A, Aamir M, Mekhilef S. Inductively coupled power transfer (ICPT) for electric vehicle charging – A review [J]. Renewable and Sustainable Energy Reviews, 2015, 47: 462-475.
- [20] Khaligh A, D'Antonio M. Global Trends in High-Power On-Board Chargers for Electric Vehicles [J]. IEEE Transactions on Vehicular Technology, 2019, 68(4): 3306-3324.
- [21] Chakraborty S, Vu H, Hasan M M, et al. DC-DC Converter Topologies for Electric Vehicles, Plug-in Hybrid Electric Vehicles and Fast Charging Stations: State of the Art and Future Trends [J]. Energies, 2019, 12(8): 1569.
- [22] Zhao B, Song Q, Liu W, et al. Overview of Dual-Active-Bridge Isolated Bidirectional DC – DC Converter for High-Frequency-Link Power-Conversion System [J]. IEEE Transactions on Power Electronics, 2014, 29(8): 4091-4106.
- [23] Xue L, Shen Z, Boroyevich D, et al. Dual Active Bridge-Based Battery Charger for Plug-in Hybrid Electric Vehicle With Charging Current Containing Low Frequency Ripple [J]. IEEE Transactions on Power Electronics, 2015, 30(12): 7299-7307.
- [24] Ryu S H, Kim D H, Kim M J, et al. Adjustable Frequency – Duty-Cycle Hybrid Control Strategy for Full-Bridge Series Resonant Converters in Electric Vehicle Chargers [J]. IEEE Transactions on Industrial Electronics, 2014, 61(10): 5354-5362.

- [25] Kim J W, Barbosa P. PWM-Controlled Series Resonant Converter for Universal Electric Vehicle Charger [J]. IEEE Transactions on Power Electronics, 2021, 36(12): 13578-13588.
- [26] Yang D, Duan B, Zhang C, et al. High-Efficiency Bidirectional Three-Level Series-Resonant Converter With Buck-Boost Capacity for High-Output Voltage Applications [J]. IEEE Transactions on Transportation Electrification, 2021, 7(3): 969-982.
- [27] Wang H, Dusmez S, Khaligh A. Design and Analysis of a Full-Bridge LLC-Based PEV Charger Optimized for Wide Battery Voltage Range [J]. IEEE transactions on vehicular technology, 2014, 63(4): 1603-1613.
- [28] Shafiei N, Ordonez M, Craciun M, et al. Burst Mode Elimination in High-Power LLC Resonant Battery Charger for Electric Vehicles [J]. IEEE Transactions on Power Electronics, 2016, 31(2): 1173-1188.
- [29] Xu H, Yin Z, Zhao Y, et al. Accurate Design of High-Efficiency LLC Resonant Converter With Wide Output Voltage [J]. IEEE Access, 2017, 5: 26653-26665.
- [30] Shen Y, Zhao W, Chen Z, et al. Full-Bridge LLC Resonant Converter With Series-Parallel Connected Transformers for Electric Vehicle On-Board Charger [J]. IEEE Access, 2018, 6: 13490-13500.
- [31] Shen C, Zhong H, Zhang Y, et al. Design Method of 6-Element Boundary Gain for LLC Resonant Converter of Electric Vehicle [J]. IEEE Access, 2020, 8: 183090-183100.
- [32] Ta L A D, Dao N D, Lee D. High-Efficiency Hybrid LLC Resonant Converter for On-Board Chargers of Plug-In Electric Vehicles [J]. IEEE Transactions on Power Electronics, 2020, 35(8): 8324-8334.
- [33] Zhang Z, Liu C, Wang M, et al. High-Efficiency High-Power-Density CLLC Resonant Converter With Low-Stray-Capacitance and Well-Heat-Dissipated Planar Transformer for EV On-Board Charger [J]. IEEE Transactions on Power Electronics, 2020, 35(10): 10831-10851.
- [34] Zhang Z, Jin T, Xiao X, et al. A Novel Bidirectional Five-Level Multimode CLLC Resonant Converter [J]. IEEE Transactions on Power Electronics, 2022, 37(6): 6972-6985.
- [35] Zhao L, Pei Y, Wang L, et al. Design Methodology of Bidirectional Resonant CLLC Charger for Wide Voltage Range Based on Parameter Equivalent and Time Domain Model [J]. IEEE Transactions on Power Electronics, 2022, 37(10): 12041-12064.
- [36] Rezayati M, Tahami F, Schanen J, et al. Generalized State-Plane Analysis of Bidirectional CLLC Resonant Converter [J]. IEEE Transactions on Power Electronics, 2022, 37(5): 5773-5785.
- [37] On the magnetic permeability and the maximum of Iron, steel, and nickle (1873).
- [38] Magnetisation of Iron by John Hopkinson. 1885.0008.
- [39] 陈乾宏. 开关电源中磁集成技术的应用研究[D]. 南京航空航天大学, 2002.
- [40] 卢增艺. 直流一直流开关功率变换器磁集成关键技术研究[D]. 福州大学, 2011.
- [41] Ludwig G W, El-Hamamsy S A. Coupled inductance and reluctance models of magnetic components [J]. IEEE transactions on power electronics, 1991, 6(2): 240-250.
- [42] Chen W, Hua G, Sable D, et al. Design of high efficiency, low profile, low voltage converter with integrated magnetics 1997: 911-917.
- [43] Hamill D C. Lumped equivalent circuits of magnetic components: the gyrator-capacitor approach [J]. IEEE transactions on power electronics, 1993, 8(2): 97-103.
- [44] Wen W, Lee Y. A two-channel interleaved boost converter with reduced core loss and copper loss 2004: 1003-1009.
- [45] Cheng M, Qin W, Zhu X, et al. Magnetic-Inductance: Concept, Definition, and Applications [J]. IEEE Transactions on Power Electronics, 2022, 37(10): 12406-12414.
- [46] Brittain J E. A Steinmetz contribution to the AC power revolution [J]. Proceedings of the IEEE, 1984, 72(2): 196-197.
- [47] Albach M, Durbaum T, Brockmeyer A. Calculating core losses in transformers for arbitrary magnetizing currents a comparison of different approaches 1996: 1463-1468.
- [48] Reinert J, Brockmeyer A, De Doncker R W A A. Calculation of losses in ferro- and ferrimagnetic materials based on the modified Steinmetz equation [J]. IEEE transactions on industry applications, 2001, 37(4): 1055-1061.
- [49] Mo W K, Cheng D K W, Lee Y S. Simple approximations of the DC flux influence on the core loss power electronic ferrites and their use in design of magnetic components [J]. IEEE transactions on industrial electronics (1982), 1997, 44(6): 788-799.
- [50] Baguley C A, Carsten B, Madawala U K. The Effect of DC Bias Conditions on Ferrite Core Losses [J]. IEEE Transactions on Magnetics, 2008, 44(2): 246-252.
- [51] Muhlethaler J, Biela J, Kolar J W, et al. Core Losses Under the DC Bias Condition Based on Steinmetz Parameters [J]. IEEE Transactions on Power Electronics, 2012, 27(2): 953-963.

- [52] Li J, Abdallah T, Sullivan C R. Improved calculation of core loss with nonsinusoidal waveforms 2001: 2203-2210.
- [53] Venkatachalam K, Sullivan C R, Abdallah T, et al. Accurate prediction of ferrite core loss with nonsinusoidal waveforms using only Steinmetz parameters 2002: 36-41.
- [54] Villar I, Viscarret U, Etxeberria-Otadui I, et al. Global Loss Evaluation Methods for Nonsinusoidally Fed Medium-Frequency Power Transformers [J]. IEEE Transactions on Industrial Electronics, 2009, 56(10): 4132-4140.
- [55] Ouyang Z, Sen G, Thomsen O C, et al. Analysis and Design of Fully Integrated Planar Magnetics for Primary - Parallel Isolated Boost Converter [J]. IEEE Transactions on Industrial Electronics, 2013, 60(2): 494-508.
- [56] Lin D, Zhou P, Fu W N, et al. A Dynamic Core Loss Model for Soft Ferromagnetic and Power Ferrite Materials in Transient Finite Element Analysis [J]. IEEE Transactions on Magnetics, 2004, 40(2): 1318-1321.
- [57] Li Y, Zhu L, Zhu J. Core Loss Calculation Based on Finite-Element Method With Jiles - Atherton Dynamic Hysteresis Model [J]. IEEE Transactions on Magnetics, 2018, 54(3): 1-5.
- [58] Tan F D, Vollin J L, Cuk S M. A practical approach for magnetic core-loss characterization [J]. IEEE Transactions on Power Electronics, 1995, 10(2): 124-130.
- [59] Thottuvelil V J, Wilson T G, Owen H A. High-frequency measurement techniques for magnetic cores [J]. IEEE Transactions on Power Electronics, 1990, 5(1): 41-53.
- [60] Brockmeyer A. Experimental evaluation of the influence of DC-premagnetization on the properties of power electronic ferrites 1996: 454-460.
- [61] 孔剑虹, 何湘宁, 钱照明, 等. 功率变换器电感在直流偏置或矩形波激励时磁损问题研究[J]. 电工技术学报. 2005, 20(5): 13-19, 29.
- [62] Mu M, Li Q, Gilham D J, et al. New Core Loss Measurement Method for High-Frequency Magnetic Materials [J]. IEEE Transactions on Power Electronics, 2014, 29(8): 4374-4381.
- [63] Wang J, Dagan K J, Yuan X, et al. A Practical Approach for Core Loss Estimation of a High-Current Gapped Inductor in PWM Converters With a User-Friendly Loss Map [J]. IEEE transactions on power electronics, 2019, 34(6): 5697-5710.
- [64] Barg S, Bertilsson K. Core Loss Modeling and Calculation for Trapezoidal Magnetic Flux Density Waveform [J]. IEEE Transactions on Industrial Electronics, 2021, 68(9): 7975-7984.
- [65] Linkous R, Kelley A W, Armstrong K C. An improved calorimeter for measuring the core loss of magnetic materials 2000: 633-639.
- [66] 汪晶慧, 陈为. 超低损耗角磁心高频损耗测量方法[J]. 电工技术学报. 2012, 27(11): 133-138.
- [67] 叶建盈, 陈为. 基于差值功率的高频磁芯损耗测量方法及装置[J]. 中国电机工程学报. 2017, 37(16): 4834-4841.
- [68] Dowell P L. Effects of eddy currents in transformer windings [J]. Proceedings of the Institution of Electrical Engineers, 1966, 113(8): 1387.
- [69] Lotfi A W, Gradzki P M, Lee F C. Proximity effects in coils for high frequency power applications [J]. IEEE transactions on magnetics, 1992, 28(5): 2169-2171.
- [70] Ferreira J A. Improved analytical modeling of conductive losses in magnetic components [J]. IEEE transactions on power electronics, 1994, 9(1): 127-131.
- [71] Sullivan C R. Optimal choice for number of strands in a litz-wire transformer winding [J]. IEEE transactions on power electronics, 1999, 14(2): 283-291.
- [72] Reese B A, Sullivan C R. Litz wire in the MHz range: Modeling and improved designs 2017: 1-8.
- [73] Liu Z, Zhu J, Zhu L. Accurate Calculation of Eddy Current Loss in Litz-Wired High-Frequency Transformer Windings [J]. IEEE Transactions on Magnetics, 2018, 54(11): 1-5.
- [74] Tourkhani F, Viarouge P. Accurate analytical model of winding losses in round Litz wire windings [J]. IEEE Transactions on Magnetics, 2001, 37(1): 538-543.
- [75] Barrios E L, Ursua A, Marroyo L, et al. Analytical Design Methodology for Litz-Wired High-Frequency Power Transformers [J]. IEEE Transactions on Industrial Electronics, 2015, 62(4): 2103-2113.
- [76] Ewald T, Biela J. Analytical Winding Loss and Inductance Models for Gapped Inductors With Litz or Solid Wires [J]. IEEE Transactions on Power Electronics, 2022, 37(12): 15127-15139.
- [77] Hurley W G, Gath E, Breslin J G. Optimizing the AC resistance of multilayer transformer windings with arbitrary current waveforms [J]. IEEE transactions on power electronics, 2000, 15(2): 369-376.
- [78] Jaschke C, Schegner P. Computing the Coupling Resistances in High-Current Instrument Transformers Considering Skin and Proximity Effect [J]. IEEE Transactions on Magnetics, 2017,

- 53(11): 1-7.
- [79] Kutkut N H. A simple technique to evaluate winding losses including two-dimensional edge effects [J]. *IEEE Transactions on Power Electronics*, 1998, 13(5): 950-958.
- [80] Ahmed D, Wang L, Wu M, et al. Two-Dimensional Winding Loss Analytical Model for High-Frequency Multilayer Air-Core Planar Inductor [J]. *IEEE Transactions on Industrial Electronics*, 2022, 69(7): 6794-6804.
- [81] Hu J, Sullivan C R. AC resistance of planar power inductors and the quasidistributed gap technique [J]. *IEEE Transactions on Power Electronics*, 2001, 16(4): 558-567.
- [82] Schafer J, Bortis D, Kolar J W. Optimal Design of Highly Efficient and Highly Compact PCB Winding Inductors 2018: 1-8.
- [83] Schafer J, Bortis D, Kolar J W. Novel Highly Efficient/Compact Automotive PCB Winding Inductors Based on the Compensating Air-Gap Fringing Field Concept [J]. *IEEE Transactions on Power Electronics*, 2020, 35(9): 9617-9631.
- [84] Silvester P. AC Resistance and Reactance of Isolated Rectangular Conductors [J]. *IEEE Transactions on Power Apparatus and Systems*, 1967, PAS-86(6): 770-774.
- [85] Bulic E, Sinigoi A R, Cestnik B. An Equivalent Surface Source Method for Computation of the Magnetic Field Reduction of Metal Shields [J]. *IEEE Transactions on Electromagnetic Compatibility*, 2009, 51(2): 263-273.
- [86] Martinez-Roman J, Puche-Panadero R, Sapena-Bano A, et al. Fast Numerical Model of Power Busbar Conductors Through the FFT and the Convolution Theorem [J]. *IEEE Transactions on Power Delivery*, 2022, 37(4): 3291-3301.
- [87] Wong P, Xu P, Yang P, et al. Performance improvements of interleaving VRMs with coupling inductors [J]. *IEEE transactions on power electronics*, 2001, 16(4): 499-507.
- [88] Chandrasekaran S, Gokdere L U. Integrated magnetics for interleaved DC-DC boost converter for fuel cell powered vehicles 2004: 356-361.
- [89] 杨飞. 采用耦合电感的交错并联Boost PFC变换器[D]. 南京航空航天大学, 2013.
- [90] Yang F, Ruan X, Yang Y, et al. Interleaved Critical Current Mode Boost PFC Converter With Coupled Inductor [J]. *IEEE Transactions on Power Electronics*, 2011, 26(9): 2404-2413.
- [91] Wai R, Duan R. High step-up converter with coupled-inductor [J]. *IEEE Transactions on Power Electronics*, 2005, 20(5): 1025-1035.
- [92] Liu H, Hu H, Wu H, et al. Overview of High-Step-Up Coupled-Inductor Boost Converters [J]. *IEEE Journal of Emerging and Selected Topics in Power Electronics*, 2016, 4(2): 689-704.
- [93] Hwu K I, Jiang W Z, Yau Y T. Nonisolated Coupled-Inductor-Based High Step-Down Converter With Zero DC Magnetizing Inductance Current and Nonpulsating Output Current [J]. *IEEE Transactions on Power Electronics*, 2016, 31(6): 4362-4377.
- [94] Wai R J, Liaw J J. High-Efficiency Coupled-Inductor-Based Step-Down Converter [J]. *IEEE Transactions on Power Electronics*, 2016, 31(6): 4265-4279.
- [95] Zaoskoufis K, Tatakis E C. A Thorough Analysis for the Impact of the Coupling Coefficient on the Behavior of the Coupled Inductor High Step-Up Converters [J]. *IEEE Transactions on Power Electronics*, 2020, 35(8): 8287-8302.
- [96] Huang L, Zeng J, Ding Z, et al. Single Coupled Inductor Converter With Simultaneous Step-Up and Step-Down Dual-Output Over Whole Load Range [J]. *IEEE Transactions on Industrial Informatics*, 2022, 18(4): 2593-2602.
- [97] Do H L. Zero-Voltage-Switching Synchronous Buck Converter With a Coupled Inductor [J]. *IEEE Transactions on Industrial Electronics*, 2011, 58(8): 3440-3447.
- [98] Jiang L, Mi C C, Li S, et al. An Improved Soft-Switching Buck Converter With Coupled Inductor [J]. *IEEE Transactions on Power Electronics*, 2013, 28(11): 4885-4891.
- [99] Chen Y T, Li Z M, Liang R H. A Novel Soft-Switching Interleaved Coupled-Inductor Boost Converter With Only Single Auxiliary Circuit [J]. *IEEE Transactions on Power Electronics*, 2018, 33(3): 2267-2281.
- [100] Wu T, Tsai C, Chen Y, et al. Analysis and Implementation of an Improved Current-Doubler Rectifier With Coupled Inductors [J]. *IEEE Transactions on Power Electronics*, 2008, 23(6): 2681-2693.
- [101] Jiang J, Pan S, Shen H, et al. A Weighted Efficiency Enhancement Method for Coupled Inductor Filter-Based H-Bridge Inverters [J]. *IEEE Journal of Emerging and Selected Topics in Power Electronics*, 2022, 10(4): 4456-4468.
- [102] Yang Y, Li H, Miao H, et al. Design of “EIE” Shape Coupling Inductors and Its Application in Interleaved LLC Resonant Converter 2018: 1-5.

- [103] Yang Y, Ma J, Ho C N M, et al. A New Coupled-Inductor Structure for Interleaving Bidirectional DC-DC Converters [J]. IEEE Journal of Emerging and Selected Topics in Power Electronics, 2015, 3(3): 841-849.
- [104] Kang T, Gandomkar A, Lee J, et al. Design of Optimized Coupling Factor for Minimum Inductor Current Ripple in DC-DC Converter Using Multiwinding Coupled Inductor [J]. IEEE Transactions on Industry Applications, 2021, 57(4): 3978-3989.
- [105] Huang D, Ji S, Lee F C. LLC Resonant Converter With Matrix Transformer [J]. IEEE Transactions on Power Electronics, 2014, 29(8): 4339-4347.
- [106] Fei C, Lee F C, Li Q. High-Efficiency High-Power-Density LLC Converter With an Integrated Planar Matrix Transformer for High-Output Current Applications [J]. IEEE Transactions on Industrial Electronics, 2017, 64(11): 9072-9082.
- [107] Biela J, Kolar J W. Electromagnetic integration of high power resonant circuits comprising high leakage inductance transformers2004: 4537-4545.
- [108] Cougo B, Kolar J W. Integration of Leakage Inductance in Tape Wound Core Transformers for Dual Active Bridge Converters2012: 1-6.
- [109] Choi H. Analysis and Design of LLC Resonant Converter with Integrated Transformer2007: 1630-1635.
- [110] De Simone S, Adragna C, Spini C. Design guideline for magnetic integration in LLC resonant converters2008: 950-957.
- [111] Spiazzi G, Buso S. Effect of a split transformer leakage inductance in the LLC converter with integrated magnetics2013: 135-140.
- [112] Jung J. Bifilar Winding of a Center-Tapped Transformer Including Integrated Resonant Inductance for LLC Resonant Converters [J]. IEEE Transactions on Power Electronics, 2013, 28(2): 615-620.
- [113] He P, Mallik A, Sankar A, et al. Design of a 1-MHz High-Efficiency High-Power-Density Bidirectional GaN-Based CLLC Converter for Electric Vehicles [J]. IEEE Transactions on Vehicular Technology, 2019, 68(1): 213-223.
- [114] Li M, Ouyang Z, Andersen M A E. High-Frequency LLC Resonant Converter With Magnetic Shunt Integrated Planar Transformer [J]. IEEE Transactions on Power Electronics, 2019, 34(3): 2405-2415.
- [115] Zhang J, Ouyang Z, Duffy M C, et al. Leakage Inductance Calculation for Planar Transformers With a Magnetic Shunt [J]. IEEE Transactions on Industry Applications, 2014, 50(6): 4107-4112.
- [116] Tan W, Margueron X, Taylor L, et al. Leakage Inductance Analytical Calculation for Planar Components With Leakage Layers [J]. IEEE Transactions on Power Electronics, 2016, 31(6): 4462-4473.
- [117] Tang Y, Lu J, Wu B, et al. An Integrated Dual-Output Isolated Converter for Plug-in Electric Vehicles [J]. IEEE Transactions on Vehicular Technology, 2018, 67(2): 966-976.
- [118] Liu G, Li D, Jang Y, et al. Over 300kHz GaN device based resonant bidirectional DCDC converter with integrated magnetics2016: 595-600.
- [119] Zhao S, Li Q, Lee F C, et al. High-Frequency Transformer Design for Modular Power Conversion From Medium-Voltage AC to 400 VDC [J]. IEEE Transactions on Power Electronics, 2018, 33(9): 7545-7557.
- [120] Ansari S A, Davidson J N, Foster M P. Fully-Integrated Planar Transformer With a Segmental Shunt for LLC Resonant Converters [J]. IEEE Transactions on Industrial Electronics, 2022, 69(9): 9145-9154.
- [121] Zhang Z, Huang J, Xiao Y. GaN-Based 1-MHz Partial Parallel Dual Active Bridge Converter With Integrated Magnetics [J]. IEEE Transactions on Industrial Electronics, 2021, 68(8): 6729-6738.
- [122] D'Antonio M, Chakraborty S, Khaligh A. Planar Transformer With Asymmetric Integrated Leakage Inductance Using Horizontal Air Gap [J]. IEEE Transactions on Power Electronics, 2021, 36(12): 14014-14028.
- [123] Li B, Li Q, Lee F C. A novel PCB winding transformer with controllable leakage integration for a 6.6kW 500kHz high efficiency high density bi-directional on-board charger2017: 2917-2924.
- [124] Li B, Li Q, Lee F C. High-Frequency PCB Winding Transformer With Integrated Inductors for a Bi-Directional Resonant Converter [J]. IEEE Transactions on Power Electronics, 2019, 34(7): 6123-6135.
- [125] 李俊杰, 吴红飞, 花文敏, 等. CLLC双向谐振变换器电感-变压器矩阵式一体化集成与优化设计[J]. 中国电机工程学报. 2022, 42(10): 3720-3729.
- [126] Binli. A WBG Based Three Phase 12.5 kW 500 kHz CLLC Resonant Converter with Integrated PCB Winding Transformer2018:
- [127] Bassett I A. Constant frequency ZVS converter with integrated magnetics1992: 709-716.

- [128] Bloom G E. New multi-chambered power magnetics concepts [J]. IEEE Transactions on Magnetics, 1998, 34(4): 1342-1344.
- [129] Bloom G. Multi-chambered planar magnetics design techniques 2000: 295-301.
- [130] Yan L, Qu D, Lehman B. Integrated magnetic full wave converter with flexible output inductor [J]. IEEE transactions on power electronics, 2003, 18(2): 670-678.
- [131] Yan L, Lehman B. An Integrated Magnetic Isolated Two-Inductor Boost Converter: Analysis, Design and Experimentation [J]. IEEE Transactions on Power Electronics, 2005, 20(2): 332-342.
- [132] Zhang Y, Xu D, Mino K, et al. 1MHz-1kW LLC Resonant Converter with Integrated Magnetics 2007: 955-961.
- [133] Yang B, Chen R, Lee F C. Integrated magnetic for LLC resonant converter 2002: 346-351.
- [134] Xiangdong Y, Wei C, Guotai H. Magnetics integration scheme in interleaved fly-back topology for PV micro-inverters 2013: 1-4.
- [135] Gao X, Ayyanar R. A high-performance, integrated magnetics scheme for buck-cascaded push-pull converter [J]. IEEE Power Electronics Letters, 2004, 2(1): 29-33.
- [136] Ouyang Z, Zhang Z, Thomsen O C, et al. Planar integrated magnetics design in wide input range DC-DC converter for fuel cell application 2010: 4611-4618.
- [137] Kats A, Ivensky G, Ben-Yaakov S. Application of integrated magnetics in resonant converters 1997: 925-930.
- [138] Ahmed M H, Nabih A, Lee F C, et al. Low-Loss Integrated Inductor and Transformer Structure and Application in Regulated LLC Converter for 48-V Bus Converter [J]. IEEE Journal of Emerging and Selected Topics in Power Electronics, 2020, 8(1): 589-600.
- [139] Fei C, Gadelrab R, Li Q, et al. High-Frequency Three-Phase Interleaved LLC Resonant Converter With GaN Devices and Integrated Planar Magnetics [J]. IEEE Journal of Emerging and Selected Topics in Power Electronics, 2019, 7(2): 653-663.
- [140] Liu Y, Wu H, Zou J, et al. CLL Resonant Converter With Secondary Side Resonant Inductor and Integrated Magnetics [J]. IEEE Transactions on Power Electronics, 2021, 36(10): 11316-11325.
- [141] Nabih A, Gadelrab R, Prakash P R, et al. High Power Density 1 MHz 3 kW 400 V-48 V LLC Converter for Datacenters with improved Core Loss and Termination Loss 2021: 304-309.
- [142] Chen W, Hua G, Sable D, et al. Design of high efficiency, low profile, low voltage converter with integrated magnetics 1997: 911-917.
- [143] Xu P, Ye M, Wong P, et al. Design of 48 V Voltage regulator modules with a novel integrated magnetics [J]. IEEE Transactions on Power Electronics, 2002, 17(6): 990-998.
- [144] Sun J, Webb K F, Mehrotra V. Integrated Magnetics for Current-Doubler Rectifiers [J]. IEEE Transactions on Power Electronics, 2004, 19(3): 582-590.
- [145] Lou X, Li Q. 300A Single-stage 48V Voltage Regulator with Multiphase Current Doubler Rectifier and Integrated Transformer 2022: 1004-1010.
- [146] Ouyang Z, Andersen M A E. Wide input range power converters using a variable turns ratio transformer 2016: 2473-2478.
- [147] Liang Y, Liu W, Lu B, et al. Design of integrated passive component for a 1 MHz 1 kW half-bridge LLC resonant converter 2005: 2223-2228.
- [148] Sun J, Mehrotra V. Orthogonal Winding Structures and Design for Planar Integrated Magnetics [J]. IEEE Transactions on Industrial Electronics, 2008, 55(3): 1463-1469.
- [149] Cao Z, Chen W, Shen Z, et al. A Low Loss Orthogonal Decoupling Magnetic Integrated Structure for Dual Active Bridge Converter [J]. IEEE Transactions on Power Electronics, 2022, 37(6): 7013-7027.
- [150] Liu G, Jang Y, Jovanovi M M, et al. Implementation of a 3.3-kW DC - DC Converter for EV On-Board Charger Employing the Series-Resonant Converter With Reduced-Frequency-Range Control [J]. IEEE Transactions on Power Electronics, 2017, 32(6): 4168-4184.
- [151] Tourkhani F, Viarouge P. Accurate analytical model of winding losses in round Litz wire windings [J]. IEEE Transactions on Magnetics, 2001, 37(1): 538-543.
- [152] Ouyang Z, Andersen M A E. Overview of Planar Magnetic Technology—Fundamental Properties [J]. IEEE Transactions on Power Electronics, 2014, 29(9): 4888-4900.

攻读博士学位期间的研究成果

学术论文:

- [1] **Yang Jinxu**, Wu Xinke, Faheem Muhammad, Deng Zhijiang. External Magnetic Field Minimization for the Integrated Magnetics in Series Resonant Converter [J]. IEEE Transactions on Power Electronics, 2022, 37(1): 498-508. (SCI 收录)
- [2] **Yang Jinxu**, Wu Xinke, Liu Gang, Ping Dinggang, Deng Zhijiang. Modeling and Design of Integrated Inductor and Transformer Considering Superposed Flux Density in On-Board-Charger [C]. 2020 IEEE Applied Power Electronics Conference and Exposition (APEC), 2020: 879-884. (EI 收录)
- [3] **Yang Jinxu**, Wu Xinke. Design Methodology of the Planar Integrated Magnetics Based on Asymmetrical Windings for Resonant DC/DC Converter [C]. 2022 IEEE International Power Electronics and Application Conference and Exposition (PEAC). (EI 收录)
- [4] **Yang Jinxu**, Wu Xinke. High Density Planar Integrated Magnetics with Two-sided Merged Inductor Windings and Cores for Resonant DC/DC Converter[C]. 2022 IEEE International Power Electronics and Application Conference and Exposition (PEAC). (EI 收录)
- [5] Qin Wei, **Yang Jinxu**, Qiu Kai and Wu Xinke, A current-feed single-switch forward resonant DC transformer (DCX) with secondary diode-clamping [C]. 2017 IEEE Applied Power Electronics Conference and Exposition (APEC), 2017: 2945-2949. (EI 收录)
- [6] Lv Haijun, **Yang Jinxu**, Wu Xinke. Analysis and design considerations for an improved BCM buck AC-DC LED driver with high output voltage and low total harmonic distortion[C]. 2017 IEEE Applied Power Electronics Conference and Exposition (APEC). 2017: 1797-1803. (EI 收录)
- [7] Han Yue, **Yang Jinxu**, Wu Xinke. Suppressing methods of common-mode noise in LLC resonant DC-DC converters[C]. 2019 IEEE Applied Power Electronics Conference and Exposition (APEC). 2019: 823-827. (EI 收录)

其它成果:

- [1] 吴新科, **杨金旭**, 刘钢, 平定钢, 集成磁元件装置以及变换器, 中国, 202110222578.1. (发明专利, 授权)
- [2] 吴新科, **杨金旭**, 刘钢, 平定钢, 集成磁元件以及基于电力设备的集成磁元件系统, 中国, 202110226472.9. (发明专利, 授权)
- [3] 吴新科, **杨金旭**, 陈长青, 周平森, 张滨, 一种自驱动电路、及全桥同步整流的驱动电路, 中国, 201710976069.1. (发明专利, 授权)

论文答辩委员会对论文的评语和表决结果：

本论文以车载充电机的谐振 DC/DC 变换器中谐振电感和变压器磁路集成与优化方法为研究内容，选题具有重要的理论意义和应用价值。

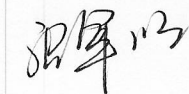
作者在文献综述的基础上，开展了如下工作并取得创新性成果：

- (1) 针对分槽绕组集成磁元件的磁场泄漏问题，提出了一种绕组分区域交错的集成磁结构，降低集成磁元件的泄露磁场；
- (2) 针对不对称绕组磁结构中集成大电感时的优化难题，提出了一种基于有效电感绕组和有效变压器绕组匝数的综合优化设计方法；
- (3) 针对现有高频集成磁元件窗口利用率低的问题，提出了一种同时使用原、副边绕组向同一电感磁柱集成的高窗口利用率集成结构。

论文结构严谨，条理清晰，表述准确。论文工作表明，论文作者掌握了本学科领域坚实宽广的基础理论和系统深入的专门知识，具有独立从事科学研究的能力。

答辩过程中阐述清楚，回答问题正确。答辩委员会经无记名投票一致同意杨金旭同学通过博士学位论文答辩，同意毕业，并建议授予博士学位。

答辩委员会主席签字：



2022 年 12 月 16 日