

分类号: TM46

单位代码: 10335

学 号: 11810010

浙江大学

博士学位论文



中文论文题目: 元胞化 MHz 高降压比隔离 DC/DC 变换技术研究

英文论文题目: Research on Cellular MHz Isolated DC/DC

Technologies with High Step-down Ratio

申请人姓名: 李光灿

指导教师: 吴新科

专业名称: 电气工程 (电力电子与电力传动)

研究方向: 高频高效率直流直流功率变换技术

所在学院: 电气工程学院

论文提交日期 2023 年 5 月

元胞化 MHz 高降压比隔离 DC/DC 变换技术研究



论文作者签名: 李光灿

指导教师签名: 吴子厚

论文评阅人 1: 匿名评阅

评阅人 2: 匿名评阅

评阅人 3: 匿名评阅

评阅人 4: 匿名评阅

评阅人 5: 匿名评阅

答辩委员会主席: 王宁宁 教授 博导

委员 1: 陈 敏 教授 博导

委员 2: 谢小高 教授 博导

委员 3: 杨永恒 研究员 博导

委员 4: 沈国桥 高工 (教授级)

答辩日期: 2021 年 6 月 17 日

Research on Cellular MHz Isolated DC/DC Technologies with
High Step-down Ratio



Author's signature: Guangcan Li

Supervisor's signature: Xinhe Wu

External Reviewers: Anonymous reviewer
Anonymous reviewer
Anonymous reviewer
Anonymous reviewer
Anonymous reviewer

Examining Committee Chairperson:

Prof. Ningning WANG

Examining Committee Members:

Prof. Min CHEN

Prof. Xiaogao XIE

Prof. Yongheng YANG

Prof. senior engineer Guoqiao SHEN

Date of oral defence: 2023-06-17

浙江大学研究生学位论文独创性声明

本人声明所呈交的学位论文是本人在导师指导下进行的研究工作及取得的研究成果。除了文中特别加以标注和致谢的地方外，论文中不包含其他人已经发表或撰写过的研究成果，也不包含为获得 浙江大学 或其他教育机构的学位或证书而使用过的材料。与我一同工作的同志对本研究所做的任何贡献均已在论文中作了明确的说明并表示谢意。

学位论文作者签名：李光灿 签字日期：2023 年 6 月 17 日

PMIC会员单位内部使用，不得

学位论文版权使用授权书

本学位论文作者完全了解 浙江大学 有权保留并向国家有关部门或机构送交本论文的复印件和磁盘，允许论文被查阅和借阅。本人授权 浙江大学 可以将学位论文的全部或部分内容编入有关数据库进行检索和传播，可以采用影印、缩印或扫描等复制手段保存、汇编学位论文。

（保密的学位论文在解密后适用本授权书）

学位论文作者签名：李光灿

导师签名：吴朝科

签字日期：2023 年 6 月 17 日

签字日期：2023 年 6 月 17 日

致 谢

岁月匆匆，转瞬即逝。眨眼间博士生涯即将谢幕，回首往昔，初入求是园仿佛昨日，内心充满感慨。在求是园的多年历程中，汲取了珍贵知识，结交了珍贵友情，坚定了理想信念。感激那些经历，无论曲折还是欢笑；感谢那些陪伴，悉心教导的师长前辈，同舟共济的同学伙伴。在此，我向大家表达最诚挚的敬意和由衷的感谢。

首先要衷心感谢的是我的导师吴新科教授，吴老师不仅是我科研道路上的启蒙者，更是我前进路途上的引路人。在我步入本科三年级的时候，有幸在吴老师的指导下参加了电力电子方向的国际竞赛，吴老师对待科研的严密态度和坚定自信，潜移默化地影响了我，激发了我对知识探索的渴望，引领我踏入科研的殿堂。在过去五年的研究生生涯中，吴老师一直引导我培养科学逻辑思维，锻炼我洞察问题本质和突破瓶颈的能力。每次与吴老师的讨论都让我受益匪浅，您持续不懈的自我挑战和勤勉刻苦的工作态度，是我终身学习的楷模。在此，我要向吴老师表达我最衷心的感谢，祝愿您身体健康，阖家欢乐，事业蒸蒸日上，辉煌无限！

感谢董伯藩老师的悉心指导和帮助，董老师退休之后仍心系科研和教学，您持续求知的精神和严谨认真的治学态度值得我认真学习。在此祝愿您身体健康，长寿幸福。感谢课题组张军明、邵帅老师、陈烨楠老师、闫海东老师在科研和生活上的指点和帮助，祝事业进步、幸福快乐。

感谢周莉英周大姐为我们的科研工作提供的最可靠的后勤保障，在实验室和日常生活中需要帮助的时候您总能热情地给出帮助和建议，让我们的科研工作无后顾之忧。感谢葛立坚老师提供的可靠的工艺支持，使我的科研工作能够顺利开展。感谢顾晓燕、张兰、韩铃淇、王笑菁在日常工作中的支持和关心。祝你们身体健康，工作顺利，阖家幸福。

感谢实验室大家庭的成员们，大家相互扶持和帮助，让科研和生活变得丰富多彩。感谢师兄秦伟、董泽政、杨金旭、刘天骥、张思亮、赵臣凯、张乐、吕海军、刘劭凯、蓝桂星、施鸿波、周宗杰、邱凯、虞乃鹏、张博成、吴嘉文、田野，感谢师姐陈慧、康培林、李海燕、韩阅、李瑞，你们在我刚进入实验室时给予了充分的帮助和指导，让我快速熟悉和适应了科研生活。感谢同窗齐雨、范高、陈子健、孙家红，和你们并肩战斗的日子快乐又收获满满。感谢师弟和师妹田霖、李力超、赵问鼎、赵韞玉、Faheem Muhammad、陈征、

黄天林、杜佳坤、刘亚南、吕润泽、朱时羽、黄新隆、徐宇豪、谢宗伦、张佳一、马京京、李京津、王雨琛、张琰、范寅祥、吴彦青、栾澳祖、朱振海、陈睿轩、杜合溪、刘慧、姜旭、司华宁、刘昀燊、黄程宇。感谢你们在科研和生活中的陪伴和帮助，祝大家学业顺利、前程似锦。

我还要感谢一路在求是园中相伴的室友和同学——余鹏、崔文康、郑济元、夏天伦、郭栗橙、郝允强、崔宰源、叶霄翔、刘珂、陈聪、杨鹏、孙德臣、黄苑宸、李中旭，大家相互激励，一起前行，有你们的陪伴，才能走的更远。

感谢我的家人们，是你们的爱和支持使我不断前行，也是你们的辛勤付出，换来了我幸福快乐的成长，祝你们身体健康，工作顺利。

最后还要感谢我的女朋友，是你的陪伴给了我战胜一切困难的勇气和力量，也祝你在后面的学业中硕果累累，万事胜意！

李光灿

2023 年 5 月于求是园

仅限PMIC会员单位内部使用，不得外传

本论文工作得到：

国家自然科学基金资助

（资助号：52177197）

仅限PMIC会员单位内部使用，不得外传

在此谨表谢意！

本论文工作得到：

国家重点研发计划资助

（资助号：2021YFB3600904）

仅限PMIC会员单位内部使用，不得外传

在此谨表谢意！

本论文工作得到：

浙江省‘尖兵’‘领雁’研发攻关计划资助
(资助号：2023C01011)

仅限PMIC会员单位内部使用，不得外传

在此谨表谢意！

摘 要

5G 基站、数据中心、相控阵雷达等领域的迅猛发展迫切要求供电系统实现更高的效率和更高的密度。为了应对各类芯片负载日益增长的低压大电流供电要求,采用高压直流供电架构,并将高压转低压的隔离母线变换器集成化嵌入主板,能够大幅降低线缆传输损耗,提高供电效率。模块电源的小型化和集成化要求该高降压比隔离 DC/DC 变换器具备更高的效率和功率密度。通过开关频率的高频化,能够有效减小无源元件的体积,提升功率密度。但是在高频条件下,器件的开关损耗、驱动损耗,磁元件的涡流损耗迅速增加,成为变换器性能提升的瓶颈。为了解决上述难点,本文利用高效率软开关的元胞化拓扑技术,针对高频下的低损耗驱动技术和磁性元件优化设计方法进行深入研究,主要内容如下:

串联谐振电路具备良好的软开关特性,因此被广泛应用于高效率高密度应用场合。通过将单个高降压比的串联谐振电路打散为多个串并联结构的低压串联谐振电路,每个低压电路视为一个电路元胞,可以将电源模块元胞化,进一步降低开关管在高频下实现软开关所需的励磁电流,减小导通损耗并提升效率。但是,元胞化高降压比变换器中所需的器件数量较多,使用传统电压型商业化驱动芯片时,会造成严重的驱动损耗。另一方面,现有的电流型谐振驱动方案主要针对 PWM 电路或器件数量较少的单管谐振电路,无法满足兆赫兹串联谐振电路的驱动需求。针对该问题,本文提出了一种适用于元胞化串联谐振拓扑的高频低损耗谐振驱动变压器,在回收驱动能量大幅降低驱动损耗的同时,提供了多路隔离对称的驱动电压,减小了驱动电路布板面积。并且,结合串联谐振电路的工作特性,提出了该驱动电路的优化设计方法,实现了变换器效率和功率密度的大幅提升。

在兆赫兹隔离 DC/DC 变换器中,高频变压器的体积和损耗在整个电源模块中通常占据着最大的比例,成为制约效率和功率密度提升的瓶颈。为了在低压大电流输出场合降低损耗,双磁柱的 UI 型磁芯通常被用来替代单窗口的 EI 型磁芯,以实现更多的绕组并联数量。但是,受限制于磁材料性能,即使将开关频率提升至 1MHz,平面变压器磁芯厚度也将远大于半导体器件的厚度,造成空间的严重浪费。另一方面,在兆赫兹频率下,绕组涡流效应和寄生参数影响更加严重,造成损耗的大幅增加。针对磁芯厚度造成的空间浪费问题,本文建立了磁芯内磁

通分布的模型,提出了一种 I 片多方向延展的多窗口 EI 型磁芯和磁通调控方法,在不增加损耗的情况下大幅降低了磁芯厚度并提升了功率密度。针对高频绕组的涡流损耗问题,提出了绕组互连端子结构的优化设计方法,充分抵消了端子附近的垂直磁场强度,提升了绕组均流度,大幅降低了绕组损耗。最后,基于所提出的磁芯和绕组优化方法,设计了元胞化 MHz 高降压比隔离 DC/DC 样机并进行了验证,实现了变换器效率和功率密度的突破。

为了应对未来对电源模块更加严苛的小型化需求,需要进一步减小变压器的体积,探明其功率密度的极限。在目前的平面变压器设计中,绕组的延展方向与磁通方向垂直,这就会导致绕组外侧的周长变大,绕组阻抗难以有效下降。而另一方面,变压器面积随平面绕组宽度的增加成平方倍率迅速变大,功率密度难以提升。本文通过建模分析,揭示了平面变压器在结构上的局限性,提出了一种绕组延展方向和磁通方向平行的三维绕组变压器结构,使得绕组阻抗能够大幅降低。并且,元器件可直接集成在磁芯表面的绕组上,克服了平面变压器磁芯和器件厚度在空间利用上的矛盾,能够大幅提升变换器的空间利用率。

关键词: 高效率,高功率密度,元胞化串联谐振电路,谐振驱动变压器,多窗口 EI 型磁芯优化设计,三维 PCB 绕组变压器结构

Abstract

Power architecture with higher efficiency and higher density is urgently demanded due to the rapid development in areas such as 5G base stations, data centers, and phased array radars. To meet the increasing current requirement of various integrated circuit (IC) chips with low voltage, adopting the high voltage dc architecture (HVDC) concept and then integrating the isolated high-voltage-to-low-voltage DC/DC bus converter into the motherboard is a preferred option, which can reduce the bus-bar loss and achieve higher efficiency. To achieve the miniaturization and integration of power modules, high efficiency and high power density are especially required for the isolated DC/DC converters with a high step-down ratio. To reduce the volume of the passive components and improve the power density, a higher switching frequency needs to be adopted. However, the switching loss, driving loss of the devices as well as the eddy current loss of the transformers will increase rapidly under higher frequency, which become the bottleneck in the improvement of converter performance. To solve these problems, cellular topology with good soft-switching characteristic is adopted in this dissertation, where high-frequency low-loss driving strategy and optimization method for the high-frequency magnetic component are focused. The main contents are as follows:

Series resonant converter (SRC) has been widely used in high-efficiency high power density applications for its good soft-switching characteristics. By replacing the single high-voltage SRC with multiple series-parallel connected low-voltage SRCs, where every low-voltage circuit is regarded as a circuit cell, the power module is made to be cellular, and the loss caused by the magnetizing current for ZVS at high frequency can be further reduced. However, a large number of MOSFETs are needed in the cellular MHz isolated SRC with a high step-down ratio. The conventional commercial voltage drive ICs will lead to serious driving loss. And the existing resonant drive schemes are mostly designed for PWM circuits or resonant circuits with single switch, which cannot meet the needs of cellular SRC topology. To solve these problems, a low-loss resonant drive transformer is proposed for the high-frequency cellular SRC, which can not only reduce the driving loss, but also provide multiple isolated symmetrical drive voltages. Therefore, the footprint of the drive circuit can also be reduced. Besides, considering the working characteristics of the series resonant converter, the optimization

methodology of the parameters for the resonant drive circuit is also proposed. Finally, the efficiency and power density of the converter using the proposed resonant driver are both improved significantly.

In the MHz isolated DC/DC converter with a high step-down ratio, the volume and loss of the high-frequency transformer usually occupy the largest proportion of the whole power module, which become the bottleneck in the improvement of efficiency and power density. To reduce the winding loss in low-voltage and high-current applications, the UI core with double magnetic legs is usually used to replace the EI core with a single window to achieve more parallel windings in fewer cores or PCB layers. However, limited by the loss density characteristics of magnetic materials, the thickness of the transformer core is still much larger than that of the semiconductor devices even after the frequency is increased to 1MHz, which results in a large wasted space. On the other hand, the influence of eddy current and parasitic parameters of windings are more serious at MHz, which results in a large loss. To solve the problem of wasted space caused by the core thickness, the magnetic flux distribution model in the core is established and a multi-window EI core transformer with I core extended in multiple directions is proposed, which can reduce the core thickness and improve the power density significantly without increasing the core loss. To reduce the eddy current loss at MHz frequency, the optimizing method of the winding terminals is proposed to fully cancel the vertical magnetic field. Better current sharing among windings can be achieved and winding loss can be reduced. Finally, based on the proposed optimization method of magnetic core and windings, a cellular MHz isolated DC/DC prototype with high step-down ratio is designed for verification, which achieves a breakthrough in efficiency and power density.

To cope with the future demand for more stringent lightweight and miniaturization of power modules, the size of the power transformer in isolated DC/DC converters needs to be further reduced and the limitation of the power density need to be explored. In conventional planar transformer designs, the extension direction of the planar winding is perpendicular to the flux direction, which leads to a larger perimeter at the outside of the winding and a larger winding impedance. On the other hand, the transformer area increased rapidly by a square factor as the winding width increases. By modeling and analysis, these structural limitations of planar transformers are revealed and a transformer structure with 3D PCB winding is proposed, where the winding

extension direction is made parallel to the flux direction. In this way, the impedance can be reduced efficiently with winding width extension. At the same time, the devices can be directly integrated into the windings surrounding the core. The contradiction in space utilization between core thickness and device thickness is overcome and the space utilization of the converter can be improved significantly.

Key words: high efficiency, high power density, cellular series resonant converter, resonant drive transformer, optimization method of the multi-window EI core transformer, 3-D PCB winding transformer

仅限PMIC会员单位内部使用，不得外传

目录

致 谢.....	I
摘 要.....	VI
Abstract.....	VIII
目 录.....	XI
第 1 章 绪论.....	1
1.1 研究背景.....	1
1.2 直流分布式供电架构的发展.....	1
1.2.1 直流分布式电源系统.....	2
1.2.2 高压直流母线供电架构.....	4
1.3 高降压比隔离母线变换器研究现状.....	5
1.4 高降压比隔离母线变换器的关键技术.....	7
1.4.1 高频软开关拓扑技术.....	7
1.4.2 高频谐振驱动技术.....	15
1.4.3 高频磁元件技术.....	18
1.5 本文研究内容.....	21
第 2 章 高频低损耗的谐振驱动技术研究.....	24
2.1 适用于串联谐振电路的高频低损耗谐振驱动变压器.....	26
2.1.1 谐振驱动变压器的电路结构.....	26
2.1.2 电路工作原理分析.....	27
2.2 驱动电路数学模型与参数优化设计方法.....	30
2.2.1 谐振驱动变压器的数学模型推导.....	30
2.2.2 满足串联谐振电路死区需求的驱动电路参数设计方法.....	32
2.2.3 驱动电路磁元件设计与寄生参数优化.....	33
2.2.4 驱动电路应用于主电路时的损耗模型及优化方法.....	37
2.3 仿真和实验验证.....	43
2.3.1 主电路样机设计.....	43
2.3.2 仿真和实验测试结果.....	49
2.4 本章小结.....	53
第 3 章 多窗口 EI 磁芯平面变压器优化方法研究.....	54
3.1 磁通分布的建模分析及多窗口 EI 磁芯的推演.....	55

3.2 多窗口 EI 磁芯的参数设计和磁通调控方法.....	61
3.2.1 多窗口 EI 磁芯的磁路模型.....	61
3.2.2 多窗口 EI 磁芯的磁通调控方法.....	62
3.2.3 磁芯结构和磁通调控方法的有限元仿真验证.....	67
3.3 兆赫兹平面变压器绕组的优化设计方法.....	70
3.3.1 基于三维有限元仿真的绕组损耗分析.....	71
3.3.2 原边绕组串联时的互连结构和绕组形状优化.....	75
3.3.3 副边绕组与器件互连的端子设计方法及均流优化.....	81
3.4 实验验证.....	88
3.4.1 多窗口 EI 磁芯设计方法的实验验证.....	89
3.4.2 原边绕组互连端子优化的效率提升效果.....	91
3.4.3 副边绕组端子优化的效率提升效果.....	92
3.5 本章小结.....	94
第 4 章 基于三维 PCB 绕组的高密度变压器研究.....	96
4.1 传统平面变压器的结构特性分析.....	96
4.2 所提出的三维 PCB 绕组变压器结构.....	104
4.3 三维绕组变压器结构的建模分析.....	107
4.4 实验验证.....	109
4.5 三维绕组变压器的工艺难点及展望.....	112
4.6 本章小结.....	112
第 5 章 总结与展望.....	113
5.1 本文工作总结.....	113
5.2 后续研究展望.....	115
参考文献.....	117
攻读博士学位期间的研究成果.....	125

第1章 绪论

1.1 研究背景

随着互联网的快速普及和人工智能技术的飞速发展，5G 通讯基站、互联网数据中心的规模不断增长。在国家层面，党的二十大报告中明确提出，要加快建设网络强国、数字中国^[1]。截至 2021 年底，我国在用数据中心机架的规模达到了 520 万架，在用服务器规模达 1900 万台，五年年均复合增速维持在 30%以上^[2]。截至 2023 年第一季度，我国累计建成 5G 基站超过 264 万个^[3]。通信基站和数据中心等基础设施不断提升的战略重要性和快速增长的规模，为其中广泛应用的 DC/DC 电源模块带来了巨大的市场需求。据《中国模块电源行业发展前景预测与投资战略规划分析报告》的统计数据显示，2018 年我国模块电源行业销售规模增长至 77.2 亿元，其年复合增长率为 14.6%。根据模块电源下游需求，预计未来几年市场规模将以 12%-18% 的增长速度发展^[4]。《中国电源学会行业年鉴（2022）》的相关调研与预测也与之呼应，2019 年中国电源市场整体规模为 3189 亿元，2023 年有望达到约 4200 亿元，我国电源市场规模将保持稳健增长态势^[5]。

另一方面，5G 基站和数据中心规模的快速增长还使得耗电量迅速增加。仅以数据中心为例，据中国电子技术标准化研究院数据显示，2021 年全国数据中心能源消耗达到 2166 亿千瓦时，占全社会用电量的 2.6% 左右，耗电量达到三峡大坝 2021 年全年发电量（1036.49 亿千瓦时）的两倍以上。并且，该耗电量等效的二氧化碳排放量达到约 1.35 亿吨^[6]。根据开放数据中心委员会 ODCC 的预测，预计到 2030 年，中国数据中心能耗总量将达到 3800 亿千瓦时左右，等效碳排放量将远超过 2 亿吨^[7]。在数据中心的运营中，其核心运算芯片的供电需要多级电源模块进行能量变换。为了促进数据中心的节能低碳发展，发展高效率、小型化的电源模块并构建高效的供电架构将十分关键。

1.2 直流分布式供电架构的发展

早期的电子设备功能和结构较为简单，多采用集中式供电系统^[8]（Centralized power system, CPS），如图 1.1 所示。在集中式电源系统中，电源被集中放置在同一个固定的物理位置，当不同的用电负载需要不同的电压时，分别通过线缆连

接至该固定电源的多个输出端口^[8,9]。这种供电系统中功率变换模块集中在一个位置，易于集中维护和管理。但是，随着集成电路技术的飞速发展，大量电子设备开始集成数字处理芯片和更多的功能组件，如内存、图形处理器、传感器、存储芯片等，从而构建出复杂的数字处理系统。电子设备更多功能的集成和运算速度的不断提升，一方面要求系统为不同负载提供不同的供电电压，另一方面还对更大耗电量下的供电效率和供电质量提出了更高的要求^[10,11]。并且，在传统的集中式供电架构中，负载与电源之间的距离相对较远，导致负载动态变化时电压波动难以抑制，同时，为运算芯片提供低电压大电流能量时，还会造成较大的线缆传输损耗。此外，集中式电源的容错性较差，某一点受到干扰时可能会导致整个电源系统的故障。因此，该类型的电源系统已经不能满足现代电子设备对电源质量的要求^[12]。随着电源模块标准化、集成化、小型化的发展，其制造成本也在不断降低，这使得直流分布式电源系统（Distributed power system, DPS）的优势越来越明显^[11-14]，逐渐取代了传统的集中式供电系统。



图 1.1 传统集中式供电架构的结构图

1.2.1 直流分布式电源系统

直流分布式电源系统的基本结构如图 1.2 所示。其中，挂载到电网的前端整流器实现功率因数校正和交直流转换功能，产生一条可遍布在整个电子装置中的公共直流母线。根据不同负载所需电压的不同，在直流母线上挂接多个模块化 DC/DC 变换器为不同负载独立供电^[12]。

相对于电源模块集中放置的传统集中式供电架构，分布式供电架构可以根据不同负载的位置，将多个电源模块分别就近放置在不同负载附近，从而减小电源模块与负载之间的供电距离。供电距离的减小能够降低电源模块和负载之间的线路寄生电感，有利于提升负载动态响应特性。并且，对于低压大电流负载的算力芯片，通过采用较高的直流母线电压配合集成在芯片负载附近的高降压比母线变换器，可以降低线缆长距离传输能量时的电流和损耗。此时，只需保持高降压比

电源模块与负载芯片的相对位置不变,其在整个电子装置中的位置对整体效率的影响较小,位置设计更为灵活。同时,由于负载之间的供电彼此独立,当需要更改或者扩展功能模块时,只需要重新设计对应连接在直流母线上的 DC/DC 模块即可^[15]。此外,当某个负载组件发生故障时,可以利用 DC/DC 模块切断其与主供电电路的连接,不会影响到其他功能组件的正常工作,能够实现更高的系统可靠性。

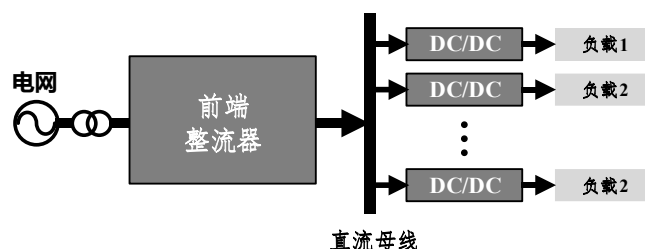


图 1.2 直流分布式电源系统的基本结构

在图 1.2 所示的传统分布式电源系统中,每个从高压直流母线向低压负载传输能量的 DC/DC 模块均需要实现隔离和稳压功能,并且需要对每个高降压比的 DC/DC 模块进行电磁干扰 (Electromagnetic Interference, EMI) 方面的优化。随着通信基站和服务器等设备中集成的芯片种类越来越多,采用传统分布式供电架构时所需的全调整隔离型 DC/DC 模块的数量也会增加,导致整个系统的成本难以下降。并且,将 400V 高压直接降至 0.5V~3.3V 并同时实现隔离调压功能时,电源模块的体积难以减小,导致模块低压输出端到处理器芯片之间的距离不能充分减小,难以充分降低大电流传输的损耗且难以满足处理器动态的需求。

随着半导体工艺的进一步发展,市场上开始出现以低压 Buck 电路为代表的片上集成的负载点 (Point-of-Load, PoL) 变换器。通过将电路的控制、驱动、开关管桥臂等集成在一个芯片中,可以大幅降低 PoL 变换器的成本和体积。在每个处理芯片周围,都可以紧密布置多个交错并联的 PoL 变换器,共同实现大电流传输,满足高动态需求。为了进一步简化供电系统,可以令多个可共地的负载芯片通过各自的非隔离 PoL 变换器共同使用一个低压的中间直流母线,再通过高降压比的隔离型 DC/DC 变换器,挂载到高压的直流母线,构建如图 1.3 所示的带中间母线的高压直流母线供电架构^[16-19] (Intermediate bus architecture, IBA)。

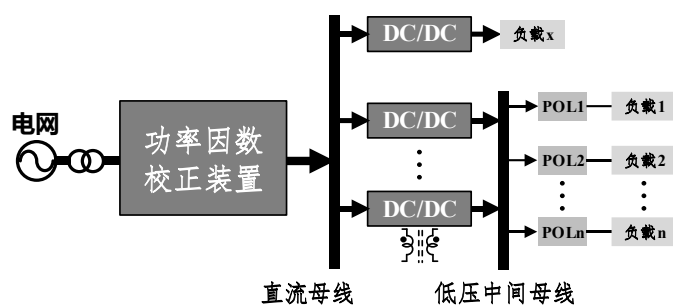


图 1.3 带中间母线的直流分布式电源系统

1.2.2 高压直流母线供电架构

在直流分布式电源系统中，直流母线的电压等级和电压范围可根据实际应用场景需求进行选取。在传统通信基站中，单个基站的耗电量较小，综合考虑安全因素，母线电压设置为-48V。但是，随着 5G 技术的发展，其基站功耗可达到传统 2-3G 基站的 2 倍以上，甚至会超过 20kW^[20]。为了应对日益增长的功率需求，国际电信联盟在 2019 年通过的《5G 网络可持续供电方案》在机房供电要求中提出了更高电压的 400V 直流供电方案^[21]。通过使用更高的母线电压，可以降低大功率长距离传输时的线缆电流和线缆损耗^[22]。

另一方面，为了应对人工智能、云计算等业务带来的快速增长的计算量需求，数据中心规模和机柜服务器的耗电量不断增加。相对于传统交流供电架构中 12V 低压母线的连接方式，48V 或 400V 高压直流母线供电架构能够显著提升数据中心的供电效率，降低用电成本，减少碳排放，成为未来数据中心供电架构发展的趋势^[23-26]。目前，单个服务器机柜的功耗已经超过 20kW，并且，快速增加的人工智能业务对 GPU 等计算芯片的算力提出了更高的要求，随着未来单颗算力芯片中集成更多的晶体管，单个机柜的功耗还会进一步提升。相对于 48V 直流母线架构，400V 高压直流母线能够实现更低的线缆传输电流，减少线缆耗材和线缆损耗。为了最大程度减小低压输出侧大电流传输的距离，未来的趋势是直接将高降压比的隔离型中间母线变换器集成在服务器的主板上^[27]，如图 1.4 所示。

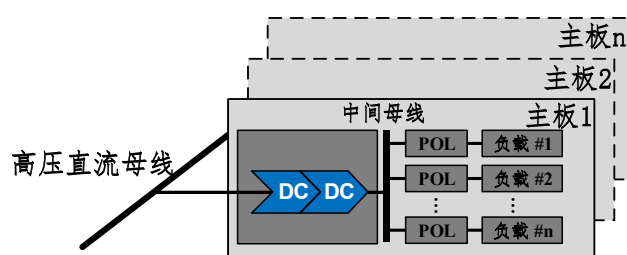


图 1.4 电源模块板上集成的高压直流母线供电架构

在服务器应用场景中，CPU、GPU、内存、硬盘、风扇等不同负载需要多种不同的供电电压。因此，在图 1.4 所示的高压直流母线供电系统中，可以沿用传统交流供电架构中的 12V 低压母线作为中间母线，再利用放置在负载附近的高度集成的非隔离 PoL 电源模块，将 12V 转换到不同负载所需的电压。但是，对于高压直流母线和低压中间母线之间的中间母线变换器，需要在实现数十倍高降压比的同时保证高低压母线之间的电气隔离。并且，系统中所有连接至中间母线的负载功率需全部经过中间母线变换器，因此，中间母线变换器的效率不仅影响到其自身的散热，还会影响到整个供电系统效率的提升。此外，高降压比的隔离中间母线变换器还需要在实现低压大电流输出的同时具备较小的体积，才能集成在空间有限的主板上，缩短大电流传输至负载所经过的距离。

总体而言，高压直流供电架构中的中间母线变换器具有电气隔离、高降压比、低压大电流输出、高效率、高功率密度等严苛的设计要求，因此目前已经成为了电源供应商所生产设计的一个特别门类的产品^[28-31]。除了数据中心高压直流母线供电的应用场合，高降压比隔离 DC/DC 母线变换器还广泛应用在相控阵雷达、系留无人机、全电飞机、电动汽车等多种应用领域，发挥着重要的作用。

1.3 高降压比隔离母线变换器研究现状

如前所述，为了充分发挥高压直流母线供电架构在减小线缆传输损耗上的优势，需要最大程度缩短中间母线变换器输出低压大电流至负载所经过的距离。因此，实现高降压比中间母线变换器的主板集成具备重要意义。而主板上算力芯片周围的空间十分有限，因此需要中间母线变换器在完成功率变换的同时具备足够小的体积，即实现高功率密度。另一方面，电源模块在传输能量的同时也会产生一定的损耗，这些损耗会转化为热量并导致电源模块的温度升高，从而增加散热的压力。因此，在实现小体积和高功率密度设计的同时，需要提高变换器的效率

或增强模块散热能力。为了分析高降压比隔离母线变换器的设计难点，本小节首先统计了国内外工业界和学术界最新产品和研究成果的效率和功率密度指标^[31-38]，如图 1.5 所示，各电源模块均可实现 400V/12V 的 DC/DC 电压变换，按照输入输出电压是否可调分为隔离调整和隔离不调整两种类型。

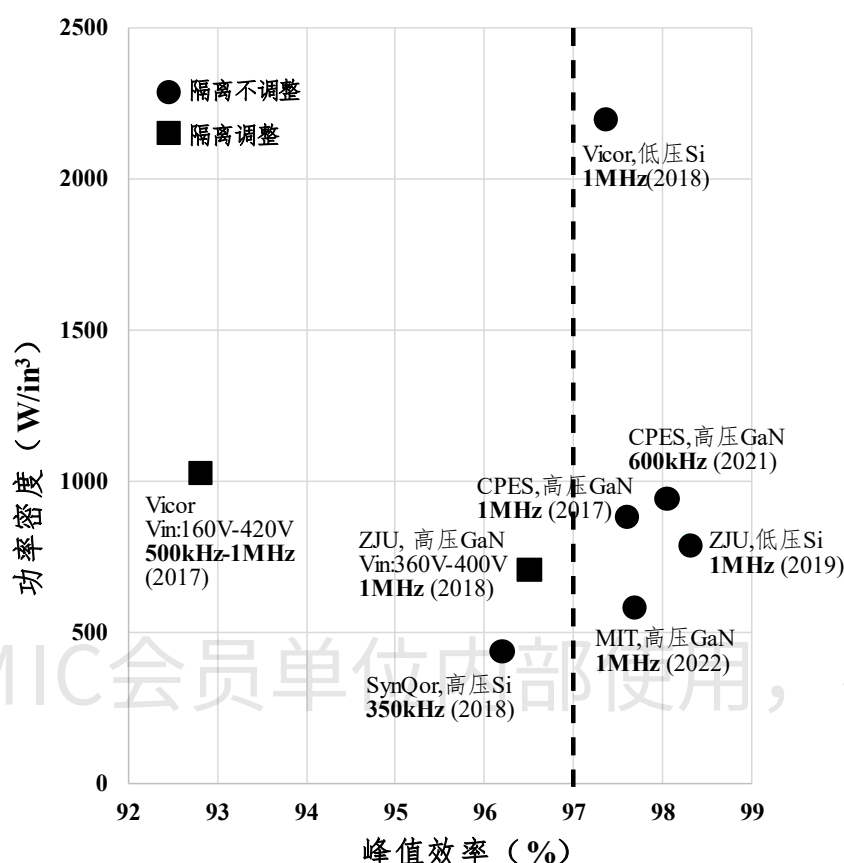


图 1.5 高降压比隔离母线变换器研究现状 (400V/12V)

根据图 1.5 对现有电源模块效率和功率密度的统计可知，相对于两三百千赫兹的开关频率，将开关频率提升至 500kHz 以上能够有效提升电源模块的功率密度。Vicor 公司的产品在高频化的同时采用了先进的封装工艺，能够显著降低电源模块从内部发热元器件到模块外壳的热阻，从而能够提升模块自身的热耗散能力，提升功率密度。但是，在 Vicor 的 160V-420V 输入，12V 输出的产品模块中，虽然通过高频化和先进封装工艺能够将功率密度提升至 1kW/in³，但是其峰值效率只有 93% 左右。随着服务器等电子设备对能效提出更高的要求，该母线变换器的效率成为供电架构效率提升的短板。这是因为对于宽输入电压范围的电源模块，其电路中各元器件在参数设计时不得不考虑调压范围的要求，导致电路难以实现

效率的最优化设计。随着电路输入电压范围收窄至 360V-400V, 这一问题能够得到一定改善。目前, 学术界利用部分能量调整的拓扑方案, 在该较窄输入电压范围下能够实现 96.5% 的峰值效率和 $700\text{W}/\text{in}^3$ 以上的功率密度^[33]。但是, 隔离调整型的变换器为了兼顾调压功能, 始终无法做到效率和功率密度的最优化。

当应对电源模块主板集成更加严苛的效率和功率密度要求时, 采用隔离不调整的高降压比母线变换器成为更受欢迎的选择。此时, 变换器主电路可选用良好软开关特性的谐振型拓扑并使其工作在谐振点附近, 调压功能可利用中间母线供电架构中后级的 PoL 负载点电源实现, 或者在高降压比母线变换器的前级增加一级非隔离稳压的 DC/DC 电路。该类隔离不调整的母线变换器受到了学术界和工业界的广泛关注, Vicor 公司还提出了分比式电源架构将其作为一个重要的产品系列。相对于隔离调整型的变换器, 图 1.5 中隔离不调整的母线变换器大多分布在虚线的右侧, 具备明显的效率和功率密度优势。Vicor 公司采用先进封装工艺后, 能够将 MHz 隔离非调整高降压比模块的功率密度提升至 $2\text{kW}/\text{in}^3$ 以上, 峰值效率达 97.4%^[38]。为了实现更高的供电效率, 学术界在不断将峰值效率向 98% 以上推进, 但是目前功率密度还处于 $1\text{kW}/\text{in}^3$ 以内。

根据对高降压比隔离母线变换器现状的分析, 高频化能够有效提升变换器的功率密度。但是, 在高频化的基础上实现效率和功率密度的同时提升仍然是一个极具挑战性的难题。这涉及到高频高效率拓扑技术、高频低损耗驱动技术、高频磁元件优化设计方法、集成和封装技术、器件材料技术、电磁干扰抑制技术等众多前沿技术。

1.4 高降压比隔离母线变换器的关键技术

为了探究高降压比隔离母线变换器效率和功率密度提升的方法, 本小节将主要从高频高效率拓扑、高频低损耗驱动和高频磁元件优化设计三个方面, 分析目前技术的研究现状。

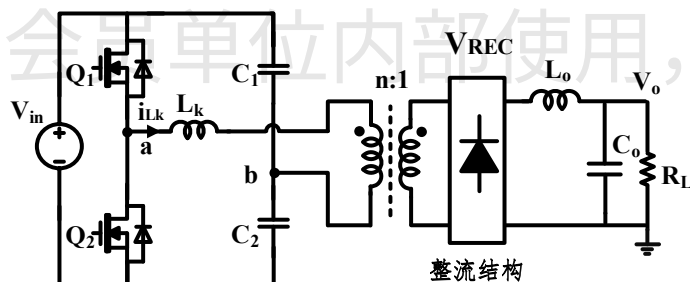
1.4.1 高频软开关拓扑技术

开关电源主要通过器件的通断来控制能量流动的路径, 从而实现对电能的变换和控制。而电感和电容作为主要的储能元件起到能量缓冲的作用, 变压器则以电磁场为媒介传递能量, 同时实现原副边绕组之间的电气隔离。因此, 电感、电容、变压器等无源元件的体积在整个变换器中的占比很大, 特别是在高密度模块

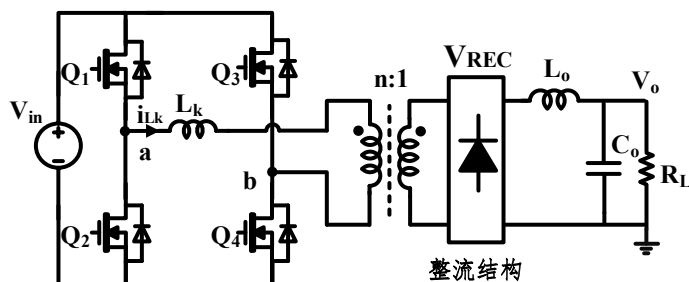
中，其体积占比通常会达到 **50%** 以上。为了减小无源元件的体积，需要通过高频化减小每个开关周期内无源元件所需处理的能量。然而，在实际应用中，开关器件并非理想器件，其开通和关断时会存在电压或电流的延时，从而造成一定的开关损耗。为了在高频化时避免开关损耗的迅速上升，需要采用软开关技术。对于高降压比低压大电流输出的隔离型母线变换器，目前广泛应用的软开关电路拓扑主要可以分为 **PWM** 软开关电路和谐振型电路。

1.4.1.1 PWM 软开关电路

在百瓦功率以上的高频隔离型 **DC/DC** 变换器应用场合中, 常用的 **PWM** 软开关拓扑如图 1.6 所示, 根据逆变结构的不同, 可分为半桥 **PWM** 电路和全桥 **PWM** 电路。其中, 半桥 **PWM** 电路通常利用不对称占空比的控制方式调节输出电压^[39-44], 而全桥电路则通常使用移相控制的方式实现电压调整^[45-49]。这两种电路实现软开关的原理均是利用等效在原边回路中的漏感或外加电感中的能量, 使其在电路死区时间内为原边开关管的结电容充放电, 在开关管开通之前使其漏源电压下降为零^[39,45]。



(a) 半桥 PWM 软开关电路



(b) 全桥 PWM 软开关电路

图 1.6 PWM 软开关电路拓扑

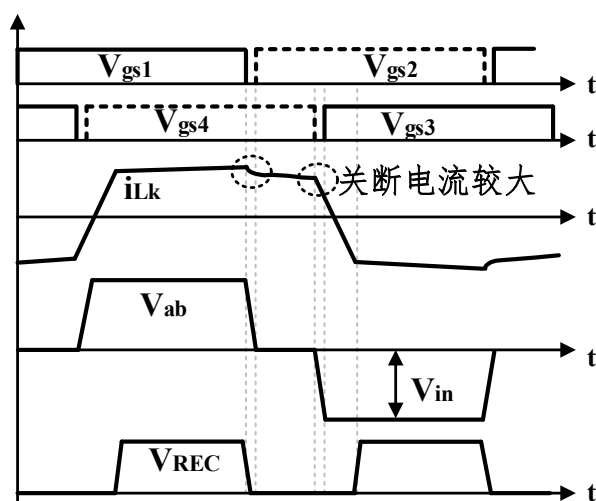


图 1.7 移相全桥电路的关键波形

但是，对于半桥或全桥 PWM 软开关电路，其开关管的零电压开通不能在全负载范围内实现，并且还存在一些其他制约效率提升的因素：

1. 轻载软开关丢失。在图 1.6 所示的 PWM 软开关电路中，原边开关管软开关所需的能量主要由漏感（或外加电感）中储存的能量提供。而此电路中漏感（或外加电感）的电流与负载电流大小成正相关。当电路工作在轻载时，漏感中的能量不足以在死区时间内实现原边开关管结电容的完全充放电，会出现软开关丢失的情况，导致高频下轻载的效率严重降低。

2. 原边开关管的关断电流和关断损耗较大。以图 1.7 所示的移相全桥电路的关键波形为例，虽然原边开关管能够随着负载电流的增加实现零电压开通，但是此时原边开关管的关断电流会随负载电流增加，导致较大的关断损耗。

3. 副边同步整流管的反向恢复问题。当负载电流和原边开关管关断电流增加时，副边同步整流管同样会存在更大的关断电流。当采用成本较低的硅器件时，会导致反向恢复损耗增加。并且，当采用额外的吸收电路来抑制整流管两端的电压振荡时，同样会造成损耗的增加。

4. 电感损耗难以降低。如图 1.6 所示，隔离型 PWM 电路不仅需要变压器这一磁元件来实现隔离功能，还需要在输出侧增加一个滤波电感。对于高降压比大电流输出的应用场合，所有的输出电流都会经过输出滤波电感，造成较大的滤波电感损耗。并且，当电路开关频率提升至兆赫兹时，需要采用参数一致性更好的平面变压器并通过原副边绕组的交错来降低绕组涡流损耗，此时，原副边绕组间

的漏感较小，储存的能量不足以实现软开关。因此，还需要额外增加电感元件或者采用磁集成的手段补充软开关能量。

1.4.1.2 软开关谐振电路

与 PWM 桥式电路不同，谐振电路是通过构造电感和电容的谐振来实现电压和电流变化，从而实现能量传输^[50-52]。在谐振腔中，电流的变化呈现类似正弦波形的特点。因此，当电路工作在谐振频率附近时，原边开关管关断时的谐振腔电流已经下降至零电流附近，能够实现小电流关断，从而降低高频下的关断损耗^[52-56]。DC/DC 谐振变换器的基本结构图如图 1.8 所示，开关网络负责将输入的直流电压逆变为交变电压，交变电压通过谐振腔滤波和分压之后，通过变压器实现电气隔离，并通过副边的整流结构再次转变为直流电压传递给输出侧负载。其中，开关网络可采用常用的半桥或全桥结构，或利用多电平技术构造二极管箝位三电平或混合式三电平逆变结构^[57-60]；整流结构可采用全桥整流、绕组中心抽头结构的全波整流或者倍压整流结构等^[61]。而谐振腔网络则可根据谐振腔的谐振元件数目，分为两元件、三元件和多元件谐振腔^[62-65]。

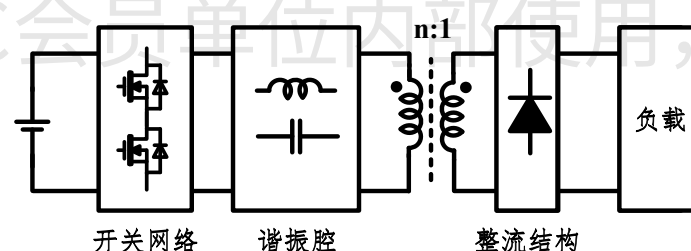


图 1.8 谐振变换器的基本结构示意图

对于高降压比低压大电流输出的高压直流母线供电应用场景，为了满足其对隔离母线变换器严苛的高效率、高功率密度要求，如图 1.9 所示的串联谐振的软开关拓扑在工业界和学术界中广泛应用^[32-36,66-70]。其中，谐振腔网络由谐振电感、谐振电容和变压器励磁电感三部分构成。为了追求极致的效率和功率密度，可将该类变换器的工作频率设置在谐振电感和谐振电容所构成谐振频率附近，令其工作在定变比状态。此时，无需考虑变频调压对谐振参数选择的限制，因此，谐振电感可以直接利用变压器的漏感实现。并且，相对于全桥 PWM 电路，电路的输出侧无需滤波电感，因此，该定频工作的串联谐振主电路中只存在功率变压器这一个磁元件，能够更加充分地进行效率和功率密度的优化设计。

半桥串联谐振电路的关键波形如图 1.10 所示。其中, V_{gs1} 和 V_{gs2} 分别为原边开关管 S_1 和开关管 S_2 的驱动电压, V_{ds1} 和 V_{ds2} 分别为开关管对应的漏源电压, i_p 为原边谐振腔电流, i_{Lm} 为通过变压器励磁电感的电流, i_{SR1} 和 i_{SR2} 分别为通过副边同步整流管 SR_1 和 SR_2 的电流。当原边开关管 S_1 开通时, 励磁电感两端的电压被箝位, 励磁电流线性上升并储存能量。当开关管 S_1 关断进入死区时间时, 励磁电感中的电流为开关管 S_1 的结电容充电, 为开关管 S_2 的结电容放电, 使其漏源电压在死区结束之前下降为零, 从而实现零电压开通。并且, 电路在谐振频率附近工作时, 原边开关管关断时的原边谐振腔电流 i_p 已经下降至较小的励磁电流, 能够实现小电流关断; 同时, 通过副边同步整流管的电流也已经下降为 0, 能够实现零电流关断。

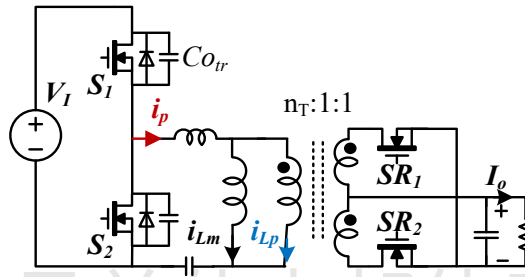


图 1.9 半桥串联谐振电路原理图

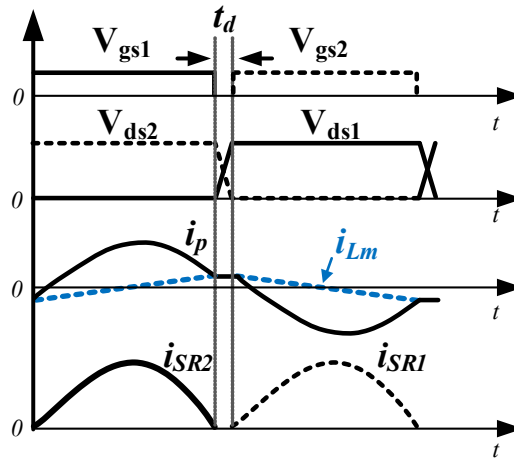


图 1.10 串联谐振电路的关键波形图

1.4.1.3 元胞化串联谐振电路

如前所述, 与 PWM 软开关电路不同, 串联谐振电路是利用变压器的励磁电流实现开关管的零电压开通, 由于此励磁电流与负载电流的大小无关, 因此串联谐振电路能够实现从轻载到满载全负载范围内原边开关管的零电压开通。但是,

如图 1.11 所示, 串联谐振电路中励磁电流 i_{Lm} 始终在原边谐振腔中循环流动, 与向变压器副边传输能量的负载电流 i_{Lp} 叠加之后, 会导致通过原边开关管的谐振腔电流 i_p 的增加。因此, 串联谐振电路实质上是将原边开关管的开关损耗转化为了开关管的导通损耗。当电路的开关频率提升至 MHz 以上时, 为了避免负载电流 i_{Lp} 峰值的增加, 电路在一个开关周期内传输能量的占空比需要保持不变。此时, 相对于数百 kHz 的工作频率, 1MHz 频率下原边桥臂上下管之间的死区时间会随开关周期减小大幅缩短。若仍采用传统寄生参数较大的高压硅器件, 在更短的死区时间内结电容充放电所需的励磁电流将大幅增加, 导致谐振腔电流 i_p 的增加, 从而引入额外导通损耗。因此, 在目前使用高压硅器件的方案中, 即使采用良好软开关特性的串联谐振电路, 其开关频率通常也只能做到数百 kHz, 功率密度小于 $500\text{W}/\text{in}^3$ 。为了减小高频下软开关励磁电流引入的损耗, 实现高效率功率密度, 目前 1MHz 开关频率的方案多采用寄生参数更小的 GaN 器件来代替传统的高压硅器件^[31,33-35,37,69-71]。

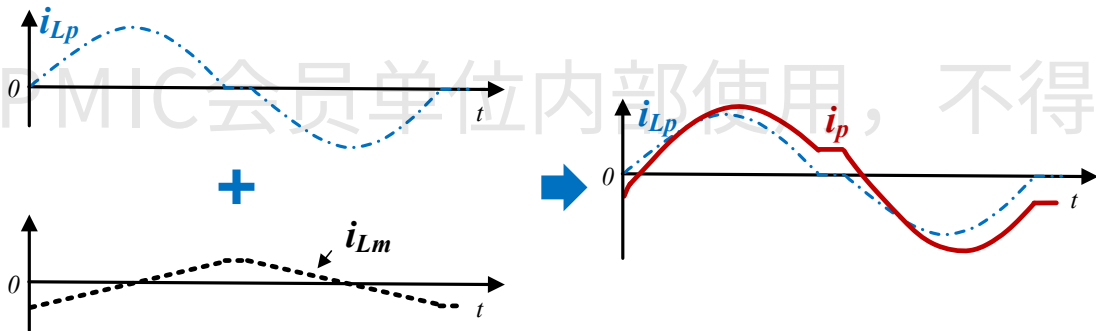


图 1.11 串联谐振电路谐振腔电流分解示意图

但是, 即使采用基于宽禁带半导体材料的高压 GaN 器件, 如图 1.5 所示, 目前 1MHz 的 400V/12V 隔离母线变换器的峰值效率也只能做到 98% 以内, 功率密度在 $1\text{kW}/\text{in}^3$ 以内。并且, 在最近的基于高压 GaN 器件的串联谐振电路优化中, 为了提升电路效率, 又将电路的开关频率降到了 600kHz 左右^[35,72], 这限制了变换器功率密度的进一步提升。为了探究在高频下进一步降低器件导通损耗和提升电路效率的方法, 文章[36]推导了串联谐振电路原边开关管导通损耗的数学模型, 如式(1.1)所示。根据式(1.1), 开关管的导通损耗可以分为两个部分, 一部分只与负载电流和器件的导通电阻 R_{dson} 相关, 这部分负载损耗可以通过选用更小 R_{dson} 的器件来减小。但是, 在相同工艺和耐压系列的器件中, 其等效输出结

电容 C_{otr} 与导通电阻 R_{dson} 的乘积近似为定值^[73], 命名为 NFoM (New Figure of Merit, 新型品质因数), 如式(1.2)所示。因此, 随着 R_{dson} 的减小, 器件的结电容 C_{otr} 会增加, 导致式(1.1)中与结电容相关的励磁损耗部分的增加。

$$P_{Con} = i_{Lp}^2 \cdot R_{dson} + \left(\frac{V_r \cdot 2C_{otr}}{t_d} \right)^2 \cdot R_{dson} \quad (1.1)$$

$$NFoM = R_{dson} \cdot C_{otr} \quad (1.2)$$

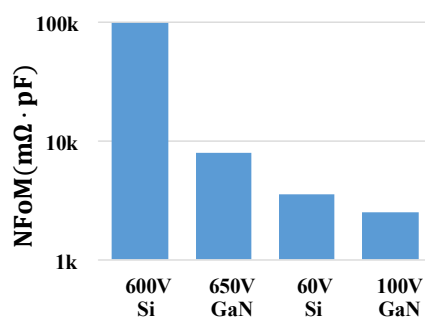
利用器件 NFoM 参数的定义, 式(1.1)所示的串联谐振电路原边器件导通损耗可进一步推导为式(1.3)。可知, 对于特定系列的器件, 其 NFoM 参数相同时, 器件的导通损耗随导通电阻 R_{dson} 的变化关系近似为对勾函数。因此, 当 R_{dson} 减小到一定程度之后, 器件的导通损耗反而会增大。根据对勾函数特性, 可推导出器件导通损耗及其在总功率中占比的最小值如式(1.4)和式(1.5)所示。

$$P_{Con} = \frac{8n_T^2 V_o^2 NFoM^2 T_r}{t_d^2 T_s} \frac{1}{R_{dson}} + \frac{\pi^2 I_o^2 T_s}{8n_T^2 T_r} R_{dson} \quad (1.3)$$

$$P_{cmin} = 2 \sqrt{\frac{8n_T^2 V_o^2 NFoM^2 T_r}{t_d^2 T_s} \frac{1}{R_{dson}} \cdot \frac{\pi^2 I_o^2 T_s}{8n_T^2 T_r} R_{dson}} = \frac{2\pi V_o I_o \cdot NFoM}{t_d} \quad (1.4)$$

$$P_{cmin_N} = \frac{P_{cmin}}{V_o I_o / \eta} = \frac{2\pi \cdot \eta \cdot NFoM}{t_d} \quad (1.5)$$

式(1.4)和式(1.5)揭示了器件理论导通损耗最小值与器件 NFoM 参数成正比的内在物理机制。而器件 NFoM 主要与器件的材料、工艺、耐压值等相关。图 1.12 列举了几个典型器件系列的 NFoM 参数。相对于传统的高压硅器件, 高压 GaN 器件具备更小的 NFoM 参数, 因此可以在 MHz 开关频率下实现更高的效率。但是, 根据图 1.5 中的统计, 使用高压 GaN 器件并将开关频率提升至 1MHz 时, 现有的 380V/12V 的串联谐振变换器方案的峰值效率仍难以突破 98%。此时, 若想在 1MHz 的高频下进一步提升变换器效率, 可采用具备更低 NFoM 参数的低压器件来降低器件高频下软开关所需的能量。



600V Si – IPB60Rxxx C7

650V GaN - GS665xx

60V Si – BSCxxxN06LS6

100V GaN – INN100Wxxx A

图 1.12 不同材料和耐压值器件的典型 NFoM 参数

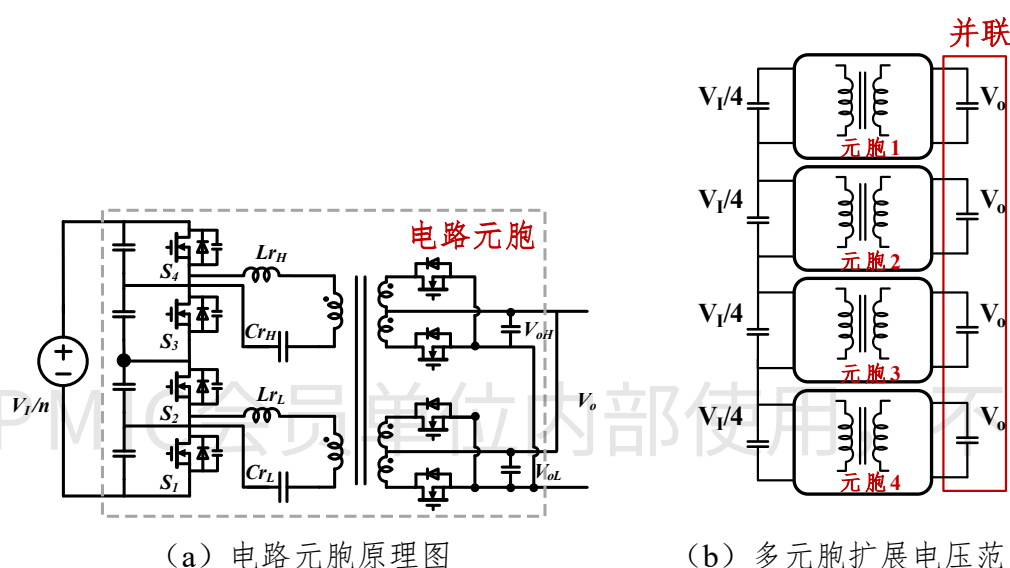


图 1.13 基于低压器件的元胞化串联谐振电路

但是，对于高压直流母线架构应用场合，单颗低压器件无法承受较高的输入侧母线电压，器件直接串联使用又难以保证器件之间的均压。因此，需要利用电路的串并联代替器件的串并联。此时，每个电路视为一个元胞，多个元胞之间串并联构建元胞化高降压比电路，如图 1.13 所示。在图 1.13 (a) 所示的电路元胞原理图中，电路可拆分为两个串联谐振电路。通过将两个电路的整流输出侧相互并联，其变压器副边绕组可保持均压。通过采用参数一致性较高的平面变压器，可以利用相同的变压器布局实现较为接近的漏感设计。因此，两个电路中的原边逆变桥臂之间可以通过变压器绕组的箝位作用实现自动均压。此时，将两个电路的原边桥臂相互串联，即可实现输入电压的扩展。同样，采用多个图 1.13 (a) 中的电路元胞进行原边串联，副边并联，可以进一步扩展输入电压范围并实现高

降压比，如图 1.13 (b) 所示。

元胞化技术实质上是构造多个低压电路或低压电源模块子单元，将其串并联实现电压的扩展，以适应高压应用场景。仅需采用成本低廉、工艺成熟的低压硅器件，即可利用其低 NFoM 特性，在 1MHz 的开关频率下实现 380V/12V 隔离母线变换器 98.3% 的主电路峰值效率^[36]。并且，相对于传统高压器件方案的串联谐振电路，N 个低压电路构成的元胞化电路中，每个原边逆变半桥对应的输入电压均减小为原来的 $1/N$ 。因此，原边器件开关时造成的电压跳变值也可以减小为原来的 $1/N$ ，能够大幅减小高频平面变压器原副边绕组间层间电容对励磁电流和共模噪声的影响^[68,74,75]。并且，由于元胞之间是在输入直流侧串联和输出直流侧并联，其元胞间器件的开通时刻可以互不相同，从而可使元胞间错相，实现同一时刻相反的电压跳变，进一步抵消共模噪声^[75]。此外，多个低压元胞电路除了可以通过原边串联副边并联的方式扩展输入电压，还可以利用副边链式串并联的结构实现输入和输出电压的同时扩展，以适应不同应用场合对电压变比的要求^[76]。

元胞化技术能够充分发挥低压器件的低寄生参数优势，降低高频下软开关所需的能量，减小导通损耗。但是器件数量的增加使得驱动设计更加困难，高频驱动损耗难以降低。并且，高频下磁元件的设计优化仍是元胞化技术发展中的难点。

1.4.2 高频谐振驱动技术

在高降压比隔离母线变换器的应用场景中，通过高频化，可以减小无源元件的体积，提升功率密度。通过采用良好软开关特性的串联谐振拓扑，可以避免高频化时产生较大的开关损耗。在软开关串联谐振电路的基础上采用基于低压低 NFoM 器件的元胞化技术，可以进一步降低高频化时为实现软开关而增加的谐振腔电流和导通损耗。因此，在 MHz 元胞化串联谐振电路中直接采用成本低廉，工艺成熟的低压硅器件，即可实现高效率的主电路变换。但是，虽然低压 Si 器件具备较小的 NFoM 参数，但是其输入电容和导通电阻的乘积 BFoM^[65]仍然较大。当使用传统电压型驱动芯片时，驱动电路等效示意图和关键波形图如图 1.14 所示。其中，电压型驱动等效为交流电压源，可利用半桥、全桥、推挽等结构实现。 C_{gs} 和 R_g 分别为 MOS 管的栅极等效寄生电容和栅极电阻。图 1.14 (b) 为使用电压型驱动时的栅极电流和栅极等效电容的电压波形示意图。使用电压型驱动时，驱动回路等效为 RC 充放电电路，因此，器件开通和关断的一个循环中，

所有驱动电压源向栅极等效电容传输的能量都会在回路电阻上完全耗散。对于输出低压大电流的高降压比隔离母线变换器，其副边需要并联较多的同步整流 MOS 管以降低大电流时的导通损耗。使用元胞化技术降低原边开关管导通损耗时，原边多个串联的逆变桥臂同样需要使用较多的 MOS 管，并且 MOS 管之间不共地。因此，若采用传统的电压型驱动芯片，不仅会造成严重的驱动损耗，还需要采用多颗隔离驱动芯片和隔离辅助供电模块，占用较大的布板面积。

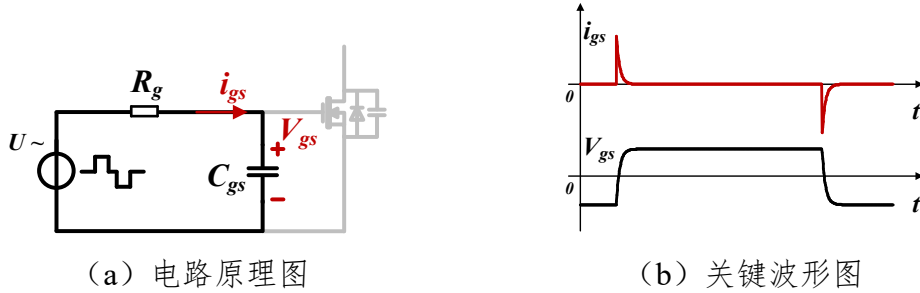


图 1.14 电压源型驱动的等效电路原理图和关键波形图

为了降低开关电源在高频时的驱动损耗，一些谐振型的驱动电路逐渐被提出^[77-98]，其基本原理可简化为图 1.15 所示的示意图。通过在驱动回路中引入电感，使其作为电流源为 MOS 管的栅极等效电容充放电，完成驱动电压的高低电平转换和开关动作。在不考虑回路电阻时，谐振型驱动回路中只存在电感和电容两个储能元件，MOS 管栅极等效电容中的能量可通过电感实现回收和再利用，理想情况下不存在驱动损耗。但是，实际驱动回路中会存在寄生电阻，并且大部分商业 MOS 管也会集成较大的栅极电阻，这会使得能量循环流动的过程中不可避免地产生驱动电流导致的导通损耗。因此，谐振驱动电路中仍需引入合适的开关逆变网络为驱动回路补充损失的能量^[78,79,98]。同时，通过合理的开关逆变网络设置还可以调整电感与栅极电容谐振时的电感初始电流大小，从而改变栅极电压的变化速度。并且，通过谐振驱动的具体电路结构设计，还可以实现 MOS 管栅极电压的箝位、自举、隔离等功能。

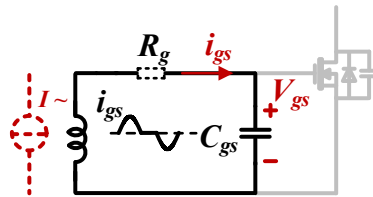


图 1.15 电流源型谐振驱动的基本原理示意图

尽管谐振型驱动电路的基本原理较为简单，但是在不同的应用场合中，需要根据不同主电路拓扑对驱动的需求进行优化设计，才能发挥谐振驱动的优势。根据驱动电路所驱动器件的数量和器件互连关系，目前的谐振驱动电路可以分为三类：单器件驱动或互补器件共地驱动、非隔离不共地驱动和隔离型驱动。

1. 单个谐振驱动电路只为单颗器件提供驱动或为互补共地的器件提供驱动^[78-91]。对于一些小功率的应用场合，为了降低变换器成本，通常使用单颗开关管的 Class-E 变换器、正激、反激或单管谐振电路等拓扑结构。并且，部分 Buck 电路的整流管直接采用成本更低的二极管，因此只需要为其上管提供谐振驱动，提升其开关速度并降低开关损耗。在这些应用场景中，只需要考虑为单颗 MOS 管提供驱动^[77-89]。当多颗器件共地且驱动电压波形一致时，可以共用驱动电路，但是对于推挽结构或者全波整流结构，需要两个互补共地的驱动电压，此时可利用谐振驱动电路中电感的两个端点构造互补驱动^[90,91]。但是，此类驱动不适用于有浮地驱动需求的半桥或全桥电路。

2. 单个谐振驱动电路为单个桥臂提供非隔离不共地的驱动^[92-94]。对于非隔离应用场景的半桥电路，需要在提供两个互补驱动电压的同时实现上管驱动的自举能力。此时，可利用电容和二极管构造自举回路^[92]或利用单组耦合绕组^[93,94]的方式实现对上管的浮地驱动功能。

3. 单个谐振驱动电路为单个半桥或者多个半桥提供隔离驱动^[95-98]。对于隔离型变换器或具备多个桥臂的变换器，为了简化驱动电路的设计，可直接利用驱动变压器构造多个绕组实现驱动的浮地和隔离功能。但是，目前的隔离型谐振驱动多针对 PWM 桥式电路设计，尚未针对串联谐振电路，特别是多半桥串联的元胞化串联谐振电路进行适配和优化设计。文章^[95]中谐振驱动电路为半桥上下管提供的驱动信号不对称，无法满足串联谐振电路互补对称驱动电压的需求。文章^[96,97]通过在每个 MOS 管的隔离驱动回路中添加电感，令其与栅极电容谐振回收驱动能量。然而，在串联谐振电路中使用这种谐振驱动电路时，驱动电路需要构造较大的谐振周期才能利用互补绕组满足主电路软开关对死区时间的要求。因此，对于 1MHz 的元胞化串联谐振电路，每个 MOS 管驱动回路中增加的辅助电感感值都需要达到数 μH 才能与较小的 MOS 管栅极电容构成数百纳秒的谐振周期。这将会造成谐振驱动电路中辅助电感体积的大幅增加，严重影响变换器功率

密度的提升。即使利用变压器漏感构造此辅助电感^[98], 这种方案仍然会存在漏感感值难以灵活调整的问题, 导致驱动电路提供的死区时间难以恰好满足主电路的需求。因此, 针对元胞化的串联谐振电路, 构造低损耗、高密度、能提供多路隔离对称且带有合适死区时间驱动的高频谐振驱动电路仍然是一个挑战。

1.4.3 高频磁元件技术

根据上述调研分析, 在高降压比隔离 DC/DC 变换的应用场合, 利用具备良好软开关特性的元胞化串联谐振拓扑, 能够在高频化的同时保持较低的器件开关损耗和导通损耗, 从而实现高效率。并且, 该电路不需要输出滤波电感, 而谐振电感可直接利用变压器的漏感实现, 因此, 电路中只包含变压器这一种磁元件, 有利于实现高功率密度设计。但是, 即便是采用串联谐振拓扑并将开关频率提升至 1MHz, 变换器中的磁元件仍然占据着 30%~50% 的体积^[34-36,70-72,99-102]。并且, 其损耗也占据了电路总损耗的较大部分。因此, 减小磁元件的体积和损耗对于提升整个变换器的效率和功率密度十分关键。

在 MHz 高频应用场合, 多采用平面变压器替代传统的线绕式变压器。通过采用多层 PCB 制作变压器的平面绕组, 平面变压器能够实现更高层次的自动化生产并减少人工参与环节, 因此, 平面变压器能够实现更好的参数一致性。并且, 借助多层 PCB 板的金属化孔层间互连工艺, 平面变压器可以实现多种复杂的绕组排布结构并对绕组形状进行灵活设计^[103,104], 同时, 相对于传统的线绕式绕组, PCB 中的扁平绕组通常具有更小的绕组厚度。因此, 平面变压器能够大幅降低窗口高度, 相对于线绕式变压器, 通常能够将变压器整体高度降低一半以上, 从而实现更好的散热性能和更高的功率密度^[105]。

相对于线绕式变压器, 平面变压器虽然能够实现较低的绕组厚度和窗口高度, 但是其磁芯顶部和底部的 I 片厚度同样受限制于磁材料的磁损特性, 难以降低。随着电源模块主板集成对变换器功率密度提出越来越严苛的要求, 使用扁平、小体积封装的表贴器件和积层陶瓷电容逐渐成为主流选择, 此时, 变压器磁芯的厚度不仅会影响其自身体积大小, 还会制约整个变换器厚度和体积的降低。另一方面, 受限制于 PCB 工艺最小线宽、线间距和最小过孔尺寸的要求, 平面 PCB 绕组难以在充分利用窗口截面积的情况下实现利兹线的绞合效果。因此, 若变压器绕组附近存在高频变化的磁场, 平面 PCB 绕组中将会产生严重的涡流损耗^[71]。

此时,应利用平面变压器灵活的绕组互连和形状设计优势,通过合理的绕组排布或端子设计,尽可能减小高频变化磁场对绕组涡流损耗的影响。

针对平面变压器效率和体积的优化,目前学术界很多机构进行了探究。在高压比低压大电流输出的应用场合中,需要采用多匝副边绕组并联以降低大电流传输时的铜损。对于面积较大但厚度较薄的平面绕组,采用多个绕组垂直排列环绕单个磁柱的方式能够减小变压器占用的面积,从而实现更小的体积^[69,71]。但是,分布在 PCB 内部的多层绕组铜箔在输出时都需要连接至 PCB 表层的整流器件和滤波电容。若采用绕组并联后再与整流器件连接的结构,电流会在变压器副边绕组输出端子的位置汇流,从而造成较大的端子损耗。若在传统单磁柱磁芯设计下将绕组和器件串联后再并联,需要采用多块 PCB 板叠板的方式为同步整流管提供充足的表层布板面积。此时,会存在一部分器件布置在 PCB 板中间,造成窗口高度的迅速增加,且中间器件的散热较为困难。因此,将单个变压器打散成多个变压器,构建多个磁柱的矩阵变压器成为更加流行的选择^[33-37,69,70,72,106-109]。

在矩阵变压器中,采用多个变压器磁芯水平放置多个绕组的设计会导致磁芯体积和变换器面积的大幅增加。为了解决此问题,文章^[69]从磁通消去的角度,将两个单磁柱的 EI 型磁芯合并成单个双磁柱的 UI 型磁芯,从而减小了变压器磁芯的体积。但是,相对于传统的 EI 型磁芯,UI 型磁芯中磁通从中间磁柱流向 I 片时只能单方向流动。因此,在保持最大平均磁通密度不变的情况下,I 片的厚度会增加一倍。此时,即使将 380V/12V DC/DC 变换器的开关频率提升至 1MHz,单匝绕组 12V 的设计对应的变压器伏秒也往往会造成较大的磁芯 I 片厚度。此时,UI 磁芯的 I 片厚度通常会远大于表贴半导体器件的厚度,造成变换器空间的浪费,限制功率密度的提升^[36,99,110]。

文章^[34]进一步将两个 UI 型磁芯合并为单个方形的四磁柱磁芯,如图 1.16 所示。通过使用该四磁柱磁芯^[34],磁通从磁柱进入 I 片时以 90 度夹角向两个方向各流动一半,能够在一定程度上减弱磁通单方向流动时磁芯厚度过大的问题。但是,磁通沿 90 度夹角的两个方向流动时仍然不能使 I 片中的磁通充分分散。为了进一步降低 I 片厚度,需要构造类似 EI 磁芯的磁芯结构,使磁通在 I 片中以 180 度夹角向相反方向流动^[102,111]。但是,文章^[102]尚未针对磁通在 I 片中两个方向分配的比例进行优化。文章^[37]通过在 I 片中部设置气隙,能够实现磁通

在两个方向的均匀流动，但是该 I 片与磁柱等宽的结构仍然难以充分降低 I 片厚度。并且，I 片中间开气隙引起的扩散磁通会导致附近绕组产生涡流损耗，设计时需要重点关注。

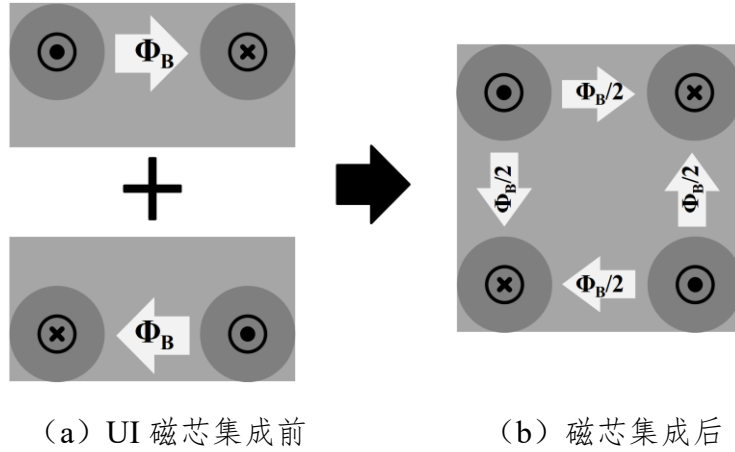


图 1.16 方形四磁柱磁芯结构

另一方面，在高降压比大电流输出的平面变压器中，原边绕组串联的匝数和副边绕组并联的匝数均较多。针对原边绕组，其多匝线圈之间为串联结构，可以保证原边绕组间的均流。但是，高频下磁场的变化更加剧烈，会在绕组中产生严重的涡流效应，导致绕组内部电流密度分布非常不均匀，从而造成较大的交流损耗^[112-114]。针对副边绕组，尽管矩阵变压器通过原边串联副边并联的方式能够实现不同变压器间副边输出电流的均流，但是单个变压器内部并联的副边绕组之间仍可能出现不均流的情况，这会导致电流的有效值增加，绕组损耗相对于理想均流更加严重。

针对高频下涡流引起变压器绕组等效阻抗和损耗增加的问题，早在 1966 年就有文章^[115]基于磁场一维分布的假设对线绕式绕组阻抗随频率变化的数学模型进行了推导。该模型可在变压器设计时作为参考，已经得到了广泛拓展和应用。在此基础上，文章^[116-118]针对扁平铜箔绕组结构的绕组损耗模型进行了推导。但是，一维磁场分布的假设忽略了磁场垂直穿过扁平绕组边缘所引起的涡流效应和损耗。为了使计算模型更加准确，已有文章基于二维磁场分布对模型进行了修订^[119,120]。借助一维和二维磁场模型，目前也已有相关研究探讨不同绕组排布方式对邻近效应和并联绕组均流情况的影响^[121-124]。但是，在高密度平面变压器设计中，绕组的互连和形状设计变得越来越复杂，这使得只用二维计算模型难以充

分对涡流损耗进行优化。特别是当变压器的工作频率提升至 MHz 以上时，寄生参数对绕组实际工作性能的影响越来越大，因此，仍需要运用三维有限元模型对绕组损耗进行更精细化的管理。

如上所述，平面变压器相对于线绕式变压器存在人工成本低、参数一致性好、形状、损耗可精细化设计和管理等优势。然而，基于 PCB 工艺的平面变压器在结构上也存在一些固有的局限性。在制作方法方面，目前，平面变压器的制作仍存在两个步骤：首先制作出带槽孔的 PCB 板，再利用形状与槽孔匹配的变压器磁芯通过人工或机器装配在 PCB 的表面。为了进一步简化变压器制作步骤并降低人工成本，一些数十瓦以内的小功率变换器采用了将磁芯嵌入 PCB 的制作方法^[125-128]。通过这种方式，磁芯的抗震性和可靠性也能够得到一定提升。并且，磁芯表面被绕组和 PCB 覆盖之后，可以直接用来表贴元器件构造电路，简化了后期装配过程^[125-127]。此外，在性能指标方面，为了实现高密度设计，目前平面变压器通常会增加单个变压器中 PCB 绕组的层数以增大输出功率。但是，更多的绕组层数会增加绕组端子和器件互连的难度。因此，平面变压器存在效率和功率密度提升的瓶颈。为了克服这些限制，需要深入分析变压器结构对其性能的影响机理，并在此基础上探究更加高效的新型变压器结构。

1.5 本文研究内容

本文以 5G 基站、数据中心等对高效率直流供电系统的迫切需求为牵引，研究制约 MHz 高降压比隔离 DC/DC 变换器效率和功率密度提升的关键问题。为了提高隔离 DC/DC 变换器的功率密度，需要通过高频化来降低无源元件的体积。为此，选用了基于低压低 NFoM 器件的元胞化串联谐振拓扑来实现高频下较小的器件开关损耗和导通损耗。为了解决该元胞化串联谐振拓扑工作在兆赫兹频率时存在的关键问题，如器件驱动损耗严重、高频变压器体积和损耗优化困难等，本文提出了适用于该元胞化拓扑的高频低损耗的谐振驱动拓扑及参数设计方法，研究了基于磁通调控和端子优化的平面变压器体积和损耗的优化方法，并进一步提出了能突破传统平面变压器效率和密度限制的三维绕组变压器。

本文主要研究内容包括如下：

第二章提出了适用于兆赫兹串联谐振电路的高频低损耗谐振驱动变压器拓扑和参数优化设计方法，以解决元胞化谐振电路使用常规低压硅器件时驱动损耗

严重、驱动电路占用布板面积较大的问题。首先针对元胞化电路中多个串联半桥的驱动浮地需求,利用驱动变压器实现多路驱动的相互隔离,再通过设计驱动变压器寄生的励磁电感感值,使其作为电流源与栅极电容谐振回收驱动能量,大幅降低了驱动损耗。并且,所提出的谐振驱动变压器可代替多个隔离型驱动芯片同时为数十颗器件提供驱动,大幅减小了元器件数量和驱动电路占用的布板面积。进一步,考虑串联谐振电路的工作特性及其对驱动死区时间的要求,对所提出的谐振驱动电路建立了数学模型并给出了综合考虑器件驱动损耗和导通损耗的参数优化设计方法。最后,将所提出的谐振驱动变压器与主电路集成在一块 PCB 板上并通过实验对其工作原理和效果进行了验证。

第三章针对平面变压器磁芯厚度较大造成空间浪费,兆赫兹高频绕组涡流损耗严重,寄生参数造成并联绕组不均流等限制功率密度和效率提升的问题展开了研究。首先,针对传统双磁柱 UI 型磁芯厚度远大于半导体器件厚度,造成变换器空间严重浪费的问题,本文建立了磁芯内磁通分布的简化数学模型,并在此基础上推演出了 I 片多方向延展的多窗口 EI 型磁芯结构,提出了相应的磁通调控方法。该磁芯结构改善了变压器磁通的空间分布,在不增加损耗的前提下大幅降低了磁芯厚度并提升了变换器的功率密度。另一方面,针对多层 PCB 平面绕组在 MHz 高频下涡流损耗严重的问题,分析了绕组互连结构和端子设计对涡流损耗和绕组均流的影响,提出了能充分抵消绕组附近垂直磁场强度的绕组互连结构和实现漏感优化的端子设计方法,提升了绕组间的并联均流度并大幅降低了绕组损耗,提升了变换器效率。最后,设计样机对所提出的磁芯和绕组优化设计方法进行了实验验证,变换器的效率和功率密度指标突破至国际领先地位。

第四章为了突破平面变压器在效率和功率密度提升上的结构局限性,提出了一种三维绕组变压器结构。首先建模分析了传统平面变压器的结构特性,揭示了其绕组延展方向与磁通方向垂直导致阻抗难以有效降低的物理机理,提出了一种绕组延展方向与磁通方向平行的三维 PCB 绕组结构。该结构中绕组在延展方向各位置处的周长不随绕组宽度的延展而增加,能够充分降低绕组阻抗,实现了绕组的充分利用。并且,该结构中绕组环绕磁芯布置,可以直接将电路元器件集成在变压器表面,克服了功率密度提升时平面变压器磁芯和器件在厚度匹配上的矛盾,实现了变换器空间的充分利用。最后通过实验验证了所提出的三维绕组变压

器结构的可行性。

第五章为全文的工作总结和展望，本文主要内容架构如图 1.17 所示。

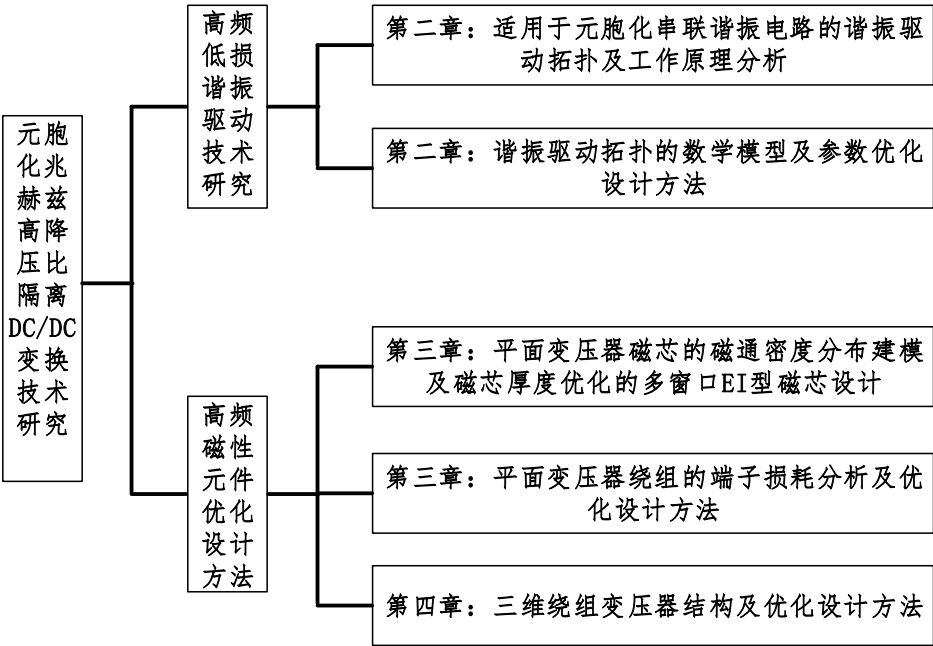


图 1.17 本文主要内容架构图

仅限PMIC会员单位内部使用，不得外传

第2章 高频低损耗的谐振驱动技术研究

通过第一章对高降压比隔离 DC/DC 变换器拓扑方案的调研可知，相对于传统的高压半桥方案，元胞化串联谐振电路能够利用低压器件的低 NFoM 特性，极大降低 MHz 开关频率下器件软开关所需要的励磁电流大小，从而减小器件导通损耗，提升电路效率。如图 2.1 所示为文章[36]针对 380V/12V 高降压比隔离场合设计的元胞化电路拓扑，该方案选用工艺成熟、成本低廉的低压硅器件构建了基于低压半桥串联谐振电路的元胞化电路，验证了元胞化技术的可行性和效率优势。在 MHz 开关频率下，元胞化电路方案能够在保持高功率密度的前提下将主电路的峰值效率突破至 98% 以上，达到 98.3%。

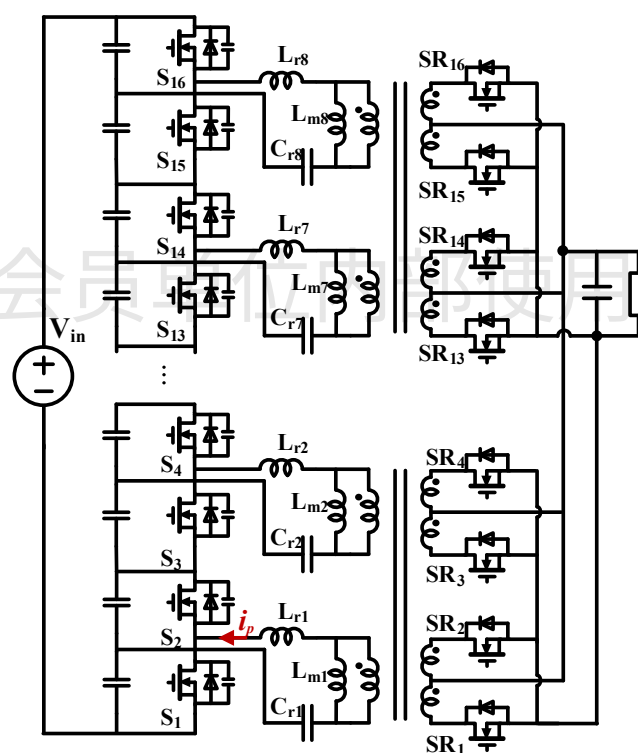


图 2.1 基于低压器件的元胞化串联谐振电路[36]

在图 2.1 所示的元胞化 380V/12V 方案中，电路的输入侧采用了多个低压半桥逆变电路，使其相互串联来分担输入侧较高的直流电压。虽然这一结构可以通过选用较小导通电阻的低 NFoM 器件实现更低的导通损耗，但是所用原边开关管的数量大幅增加；同时，为了降低低压大电流输出时副边器件的导通损耗，电路的输出侧需要采用多个同步整流结构并联分流，因此，副边同步整流管的数量

也较多。如果采用目前较为通用的电压型驱动芯片,所有器件的驱动能量都会在开关过程中耗散。随着电路的开关频率提升至 MHz,驱动损耗在总损耗中的占比将大幅增加。

如图 2.2(a)所示为元胞化电路工作在 10%输出负载时的损耗分布图,此时驱动损耗在电路总损耗中的占比超过了 50%。图 2.2(b)是电路分别在计入驱动损耗和不计入驱动损耗时的效率曲线。从图中可以明显看出,在采用成熟硅器件的 MHz 元胞化电路中,驱动损耗对电路的轻载效率影响十分严重。如果能够将驱动损耗降低一半,对于该元胞化电路在 10%-40%负载工作效率能有将近 0.5%-2%的提高。

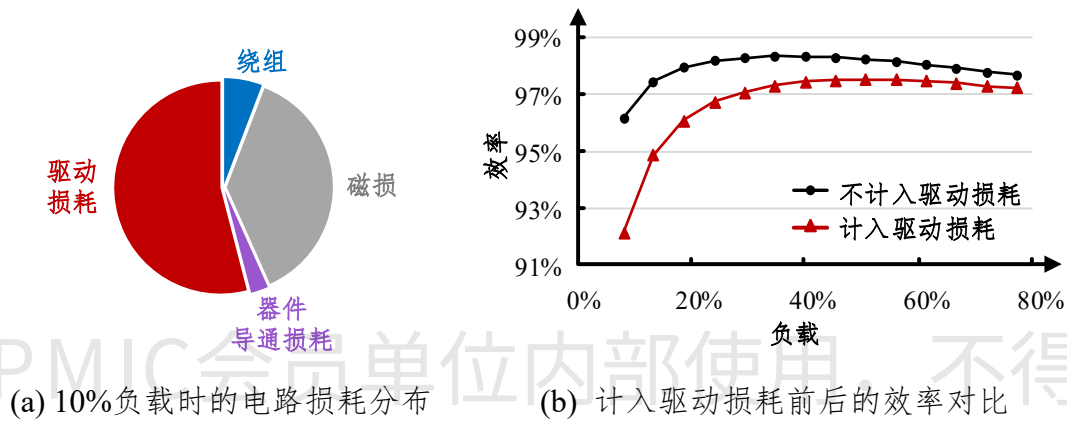


图 2.2 驱动损耗对电路效率的影响

通过绪论部分对谐振型驱动技术的调研可知,谐振型驱动电路利用在驱动回路中设置电感构造电流源,可以实现驱动能量的回收,降低驱动损耗。但是,现有的谐振驱动方案多针对 PWM 电路设计,驱动速度快,电路结构较为复杂,应用于定频工作的串联谐振电路中时不能充分发挥谐振驱动的优势。并且,由于图 2.1 所示的隔离型元胞化电路中原边逆变桥臂相互串联,原边开关管的驱动之间均不共地。将现有的谐振型驱动方案应用至多元胞的串联谐振电路中时,还存在磁元件数量多,驱动电路布板面积大,死区时间难以满足需求等诸多问题。针对上述问题,本章基于变压器实现隔离型驱动,在此基础上提出了一种元器件数量少,电路结构简单的能量回收型谐振驱动变压器,能够在高频下实现低驱动损耗。并结合串联谐振拓扑的死区要求和工作特性,给出了满足死区要求的电路参数设计方法和基于器件损耗最小化的参数优选方法。

2.1 适用于串联谐振电路的高频低损耗谐振驱动变压器

2.1.1 谐振驱动变压器的电路结构

所提出谐振驱动变压器的电路原理图如图 2.3 所示。电路主要由逆变电路和驱动变压器组成。其中，逆变电路为半桥结构，利用两颗 MOS 管 Q_1 和 Q_2 对驱动信号的频率和波形进行控制。半桥电容 C_1 和 C_2 采用较大的容值，可同时发挥减小输入电压纹波和变压器电压隔直的作用；驱动变压器设置多个副边绕组，每个副边绕组直接与所需驱动的 MOS 管的栅极和源极相连。因此，每路驱动相互隔离，可以满足元胞化串联谐振电路中多个串联半桥的驱动需求。并且对于包含不同器件数量的主电路，仅需改变驱动变压器副边绕组的个数即可实现驱动数量的调整，使得驱动设计更为灵活。为了降低驱动损耗，在驱动变压器磁芯中设置特定大小的气隙，从而使其具备合适的励磁电感感值，如图 2.3 中的电感 L_{md} 所示。利用此励磁电感与副边所驱动 MOS 管的栅极等效电容谐振，即可实现栅极驱动电压的高低电平切换和驱动能量的回收。

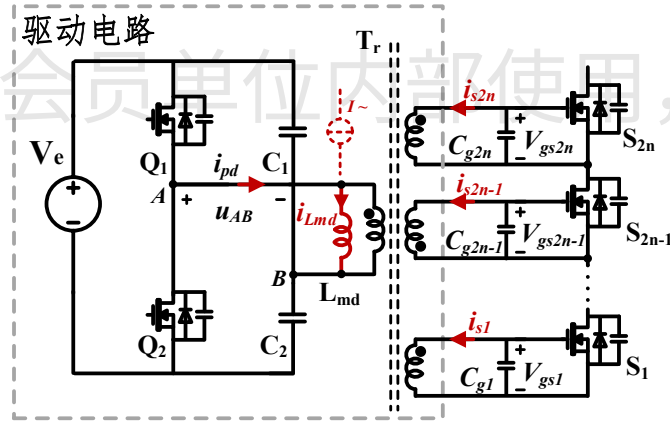


图 2.3 所提出谐振驱动变压器的原理图

利用所提出的谐振驱动变压器为串联谐振主电路提供驱动电压时的关键波形如图 2.4 所示。 V_{g_Q1} 和 V_{g_Q2} 分别为图 2.3 中谐振驱动电路开关管 Q_1 和 Q_2 的栅极驱动电压， i_{Lmd} 为驱动变压器中的励磁电感电流， i_{pd} 为通过开关管的原边电流， i_{s1} 为副边一个驱动回路中的电流。对于元胞化的串联谐振主电路，其多个半桥之间的电路结构是对称的，因此在图 2.4 中以一个半桥电路中的关键电路波形为例进行分析即可。其中， V_{gs1} 和 V_{gs2} 分别为图 2.1 中主电路原边半桥开关管 $S1$ 和 $S2$ 的驱动电压波形， V_{ds1} 和 V_{ds2} 分别为对应开关管的漏源电压， i_p 和 i_{Lm} 分别

为串联谐振电路的原边谐振腔电流和励磁电流。

对于图 2.1 中的串联谐振电路, 为了实现原边开关管的零电压开通, 需要为原边半桥开关管设置充足的死区时间。死区时间是两个互补工作的半桥开关管同时为关断状态的时间。因此, 在图 2.4 中谐振驱动变压器所提供的互补驱动电压 V_{gs1} 和 V_{gs2} 中, 电压同时低于开关管阈值电压 v_{th} 时的时间 t_d 即为驱动的死区时间。为了使所提出的谐振驱动变压器在正常工作的前提下满足主电路对死区时间的要求, 首先需要对其进行模态分析。

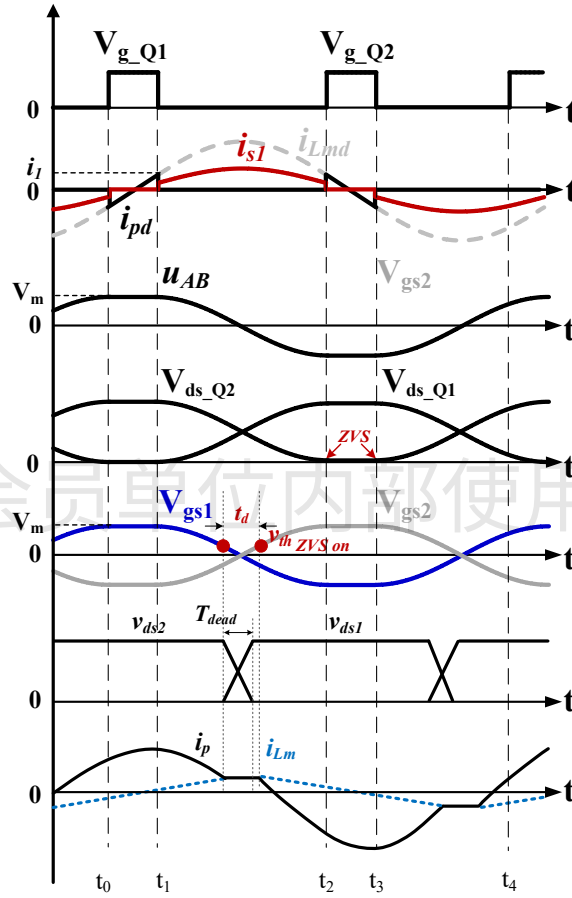


图 2.4 谐振驱动变压器 (图 2.3) 和主电路 (图 2.1) 的关键波形

2.1.2 电路工作原理分析

在模态分析时, 首先需要简化电路工作的原理图。对于现有的 MHz 串联谐振电路方案, 为了减小死区时间内为开关管结电容充放电时所需的励磁电流大小, 其死区时间一般设计在数十纳秒以上。在文章[36]所提出的 1MHz 元胞化串联谐振电路中, 优化之后的死区时间达到 80ns 以上。而驱动电压幅值 V_m 在设计时一般会达到开关管阈值电压的 3 倍以上, 根据图 2.4 中的驱动电压波形, 此时驱动

电压从 V_m 下降到 $-V_m$ 的时间将会达到数百纳秒。因此，驱动电压变化的速度十分缓慢，回路中的驱动电流较小，驱动电流在开关管栅极寄生电阻上产生的压降也较小，在分析电路工作模态的时候可以忽略。

另一方面，当驱动变压器和驱动回路中的漏感设计较小的时候，变压器为多个 MOS 管提供的驱动电压能够保持高度的一致性。因此，为了简化分析，图 2.3 中多个 MOS 管 (S_1-S_{2n}) 可以根据开关时序分为两组，每组 MOS 管的栅极寄生电容 (C_{gi}) 可以看做并联，等效为电容 C_{gsw1} 和 C_{gsw2} ，其容值分别为每组 MOS 管的栅极电容之和(2.1)。等效电容 C_{gsw1} 和 C_{gsw2} 上的电压波形与图 2.4 中 V_{gs1} 和 V_{gs2} 的波形一致。因此，在图 2.5 所示的简化后的模态电路图中， $2n$ 个副边相互隔离的驱动回路可以直接简化为包含 C_{gsw1} 和 C_{gsw2} 的两个回路，两个回路之间的副边绕组同名端位置相反。当驱动电路稳态工作时，由于电容 C_1 和 C_2 的容值较大，其两端的电压近似不变，可以等效为电压源 V_{C1} 和 V_{C2} 。

$$C_{gsw1} = \sum C_{gsi} \quad ; \quad C_{gsw2} = \sum C_{gsj} \quad (2.1)$$

其中 $i = 1, 3 \dots 2n-1$; $j = 2, 4 \dots 2n$

以图 2.4 中波形所示的一个开关周期为例，所提出的谐振驱动变压器在一个开关周期内的工作过程分为四个模态，每个模态的等效电路如图 2.5 所示。

模态 1 (t_0-t_1): 在 t_0 时刻，开关管 Q_1 的漏源电压 V_{ds_Q1} 下降至 0， Q_1 实现零电压开通，模态 1 开始。此时驱动变压器原边绕组两端的电压 u_{AB} 被箝位在 V_m ($V_m=V_e/2$)。当变压器的原副边匝比设置在 1:1 时， C_{gsw1} 和 C_{gsw2} 的电压分别被箝位在 V_m 和 $-V_m$ 。同时，励磁电流 i_{Lmd} 线性增加。

模态 2 (t_1-t_2): 在 t_1 时刻，开关管 Q_1 关断，模态 2 开始。此时，开关管 Q_1 和 Q_2 均处于关断状态。带有初始电流的励磁电感 L_{md} 开始与副边绕组处的 MOS 管栅极电容谐振，使得栅极电容电压从 $V_m(-V_m)$ 向 $-V_m(V_m)$ 变化，如图 2.4 中的电压波形 $V_{gs1}(V_{gs2})$ 所示。如前所述，驱动电压幅值 V_m 通常远大于阈值电压 v_{th} ，为了给 1MHz 的串联谐振电路提供 80ns 左右的死区时间， $V_{gs1}(V_{gs2})$ 从 $V_m(-V_m)$ 向 $-V_m(V_m)$ 变化的时间将会达到数百纳秒，速度十分缓慢。同样，变压器原边绕组的电压 u_{AB} 和开关管 Q_1 的漏源电压 V_{ds_Q1} 受到栅极电容的箝位，变化速度同样很慢。而当 Q_1 关断时，随着其驱动电压降低到阈值电压，其沟道电流将会在

3ns 以内下降到 0。此关断时间小于死区时间 80ns 的 5%且远小于谐振时间(t_2-t_1)。因此,在 Q_1 关断时, V_{ds_Q1} 的上升速度和幅度很小,其关断损耗可以忽略。

模态 3 (t_2-t_3): 随着电容电压的变化,开关管 Q_2 的漏源电压 V_{ds_Q2} 在 t_2 时刻下降至 0, Q_2 同样实现零电压开通,此模态与模态 1 对称。

模态 4 (t_3-t_4): 随着开关管 Q_2 在 t_3 时刻关断,所驱动 MOS 管的栅极电容再次与励磁电感 L_{md} 谐振,实现高低电平翻转。 Q_2 的漏源电压同样由于电容的箝位作用不会迅速增加,关断损耗可以忽略。此模态与模态 2 相互对称,此处不再赘述。

根据模态分析可知,所提出的谐振型驱动变压器具备良好的软开关特性,适合 MHz 等级的高频应用场景。

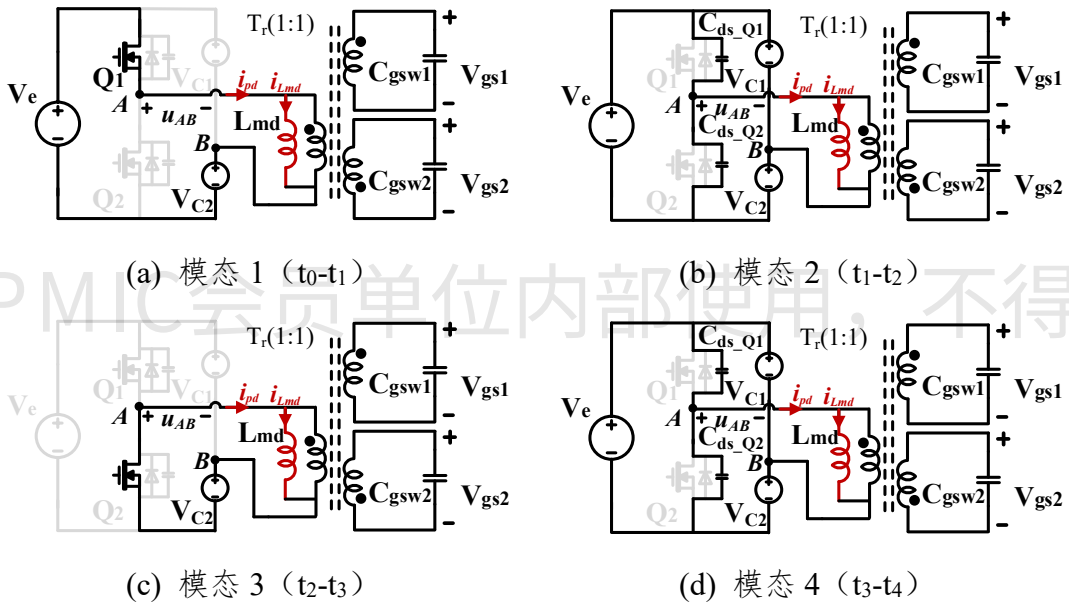


图 2.5 谐振驱动变压器在不同工作模态下的等效电路图

使用所提出的谐振驱动电路为串联谐振主电路的原边开关管提供驱动时,半桥上管和下管的驱动电压 V_{gs1} 和 V_{gs2} 分别为驱动变压器副边两个互补绕组的电压。因此,上管和下管的电压极性时刻相反,可以避免同时开通。驱动电压 V_{gs1} 和 V_{gs2} 同时低于所驱动 MOS 管阈值电压 v_{th} 的时间即为所提供的死区时间,为了满足串联谐振主电路软开关的需求,需要对这部分时间进行设计。

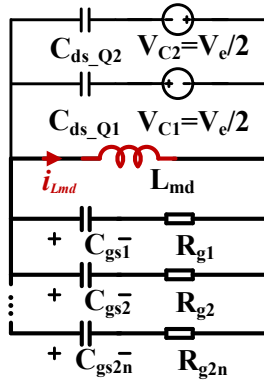
2.2 驱动电路数学模型与参数优化设计方法

2.2.1 谐振驱动变压器的数学模型推导

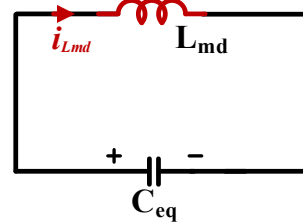
为了使谐振驱动电路能够为串联谐振电路提供合适的死区时间,首先需要分析影响驱动电压变化速度的关键电路参数,并建立数学模型。根据模态分析,驱动电压的变化主要是由驱动电路励磁电感 L_{md} 与栅极电容谐振造成的,这一过程发生在模态 2 和模态 4。以模态 2 为例,将其等效电路进一步简化如图 2.6(a)所示。其中, $C_{gs1}-C_{gs2n}$ 为变压器副边所驱动 MOS 管的栅极电容,变压器匝比设置为 1:1 时,可直接折算到变压器原边。如前所述,该驱动电路为串联谐振主电路提供驱动时产生的驱动电流非常小,因此,驱动电流在栅极电阻上产生的电压压降可忽略,为了简化驱动电压波形的数学模型,可忽略栅极寄生电阻的影响。此时, MOS 管的栅极电容 $C_{gs1}-C_{gs2n}$ 可以看做并联,进一步将其与开关管 Q_1 和 Q_2 的输出结电容合并后,电路可以进一步等效为图 2.6(b)中的基本 LC 谐振电路。其中 C_{eq} 为合并后的等效电容,可以根据公式(2.2)计算得到。 C_{eq} 两端的电压波形与驱动变压器的输出驱动电压波形 V_{gs1} 相同。

$$C_{eq} = C_{ds_Q1} + C_{ds_Q2} + \sum C_{gsi} + \sum C_{gsj} \quad (2.2)$$

其中 $i = 1, 3 \dots 2n - 1$; $j = 2, 4 \dots 2n$



(a) 模态 2 的等效电路



(b) 进一步简化后的 LC 谐振电路

图 2.6 驱动电路励磁电感与 MOS 管栅极电容谐振时的等效电路图

为了建立驱动电压随时间变化的数学模型,在图 2.7 所示的 LC 谐振电路关键波形中,首先定义驱动电压 V_{gs1} 从 V_m 开始下降的时刻为 0 时刻, V_{gs1} 变化为 $-V_m$ 的时刻为 T_{rf} 。驱动电路的开关频率与串联谐振主电路的开关频率 f_s 保持一

致，为 1MHz。根据模态分析，谐振驱动变压器中开关管 Q_1 和 Q_2 的导通时间为 $\frac{1}{2f_s} - T_{rf}$ ，因此，当设置励磁电感感值 L_{md} 为自变量时，可以根据开关管导通时的励磁电感激励时间计算得到励磁电感在 0 时刻开始谐振时的初始电流如式(2.3)所示。此时，LC 谐振电路中电感的感值已经定义为变量，电容的容值主要由电路器件的寄生参数决定，可由式(2.2)计算得到，电感电流和电容电压的初始值的也可计算得到，因此， C_{eq} 两端的驱动电压表达式可以根据式(2.4)计算得出。如前所述，在所提出的谐振驱动电路中，提供的驱动死区时间 t_d 为互补驱动电压同时低于 MOS 管阈值电压的时间，将此关系代入(2.4)中，得到式(2.5)所示的限定条件。同时，根据驱动电压在 T_{rf} 时刻恰好谐振到 $-V_m$ ，可以得到式(2.6)的限定条件。最后，联立式(2.3)-(2.6)，即可求解出驱动电路在不同励磁电感 L_{md} 和不同驱动电压幅值 V_m 下对应的谐振时间 T_{rf} 和所提供的死区时间 t_d 。

$$i_{Lmd}(0) = -V_m \left(\frac{T_s}{2} - T_{rf} \right) / 2 / L_{md} \quad (2.3)$$

$$V_{gs1}(t) = -\frac{V_m \left(\frac{T_s}{2} - T_{rf} \right)}{2\sqrt{L_{md}C_{eq}}} \sin \frac{t}{\sqrt{L_{md}C_{eq}}} + V_m \cos \frac{t}{\sqrt{L_{md}C_{eq}}} \quad (2.4)$$

$$V_{gs1} \left(\frac{T_{rf} - t_d}{2} \right) = v_{th}, \quad V_{gs1} \left(\frac{T_{rf} + t_d}{2} \right) = -v_{th} \quad (2.5)$$

$$V_{gs1}(T_{rf}) = -V_m = -\frac{V_e}{2} \quad (2.6)$$

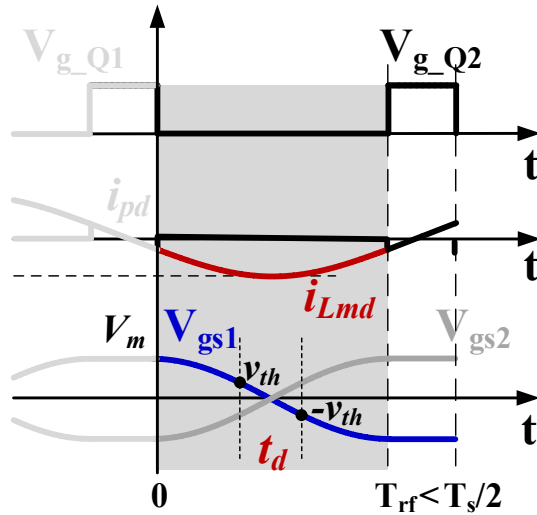


图 2.7 谐振驱动电路的关键波形

2.2.2 满足串联谐振电路死区需求的驱动电路参数设计方法

为了满足串联谐振主电路对死区的要求,在所提出的谐振驱动变压器中需要设置较慢的驱动速度,这意味着开关管 Q_1 和 Q_2 同时关断时的 LC 谐振时间占比较大,而导通时间占比较小;另一方面,在 LC 谐振开始和结束的时刻,通过 Q_1 和 Q_2 的励磁电感初始电流均较小,因此开关管 Q_1 和 Q_2 的电流有效值均较小,发热量也较小,可以直接选取低栅极电荷 (Q_g)、小封装的器件来减小驱动电路中器件的驱动损耗并节省驱动电路面积。本文据此选择了一款具备较小封装的 N 沟道增强型的半桥 MOS 管,为 BSZ0909ND。

对于图 2.1 中的元胞化串联谐振主电路,其原边 8 个半桥中的 16 个开关管在电路拓扑上呈串联关系,阈值电压 v_{th} 约为 2.2V。利用所提出的谐振驱动电路,可直接为其设置 16 个副边驱动绕组。驱动变压器匝比为 1:1 时,根据式(2.2)可得,所驱动原边开关管和驱动半桥开关管 BSZ0909ND 的总等效电容 C_{eq} 约为 48.4nF。将器件阈值电压和等效电容参数代入前一小节所推导的数学模型中,得到死区时间 t_d 随不同励磁电感 L_{md} 和不同驱动电压幅值 V_m 变化的曲线,如图 2.8 所示。随着励磁电感感值 L_{md} 的增加,驱动电路的 LC 谐振周期变大,在相同的驱动电压幅值 V_m 下驱动电压变化的速度变慢,因此驱动电压从 v_{th} 谐振到 $-v_{th}$ 需要的时间会增加,即为主电路半桥提供的死区时间 t_d 变大。而在相同的励磁电感取值下,虽然 LC 谐振的周期不变,但随着驱动电压幅值的增加,其谐振开始时励磁电感电流的初始值增加,导致驱动电压变化速度加快,所提供的死区时间将会减小。

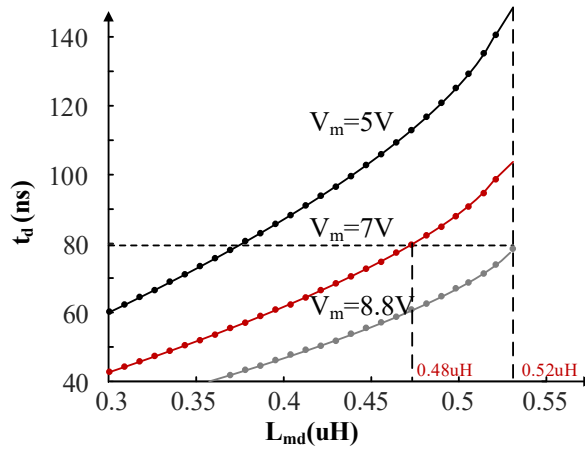
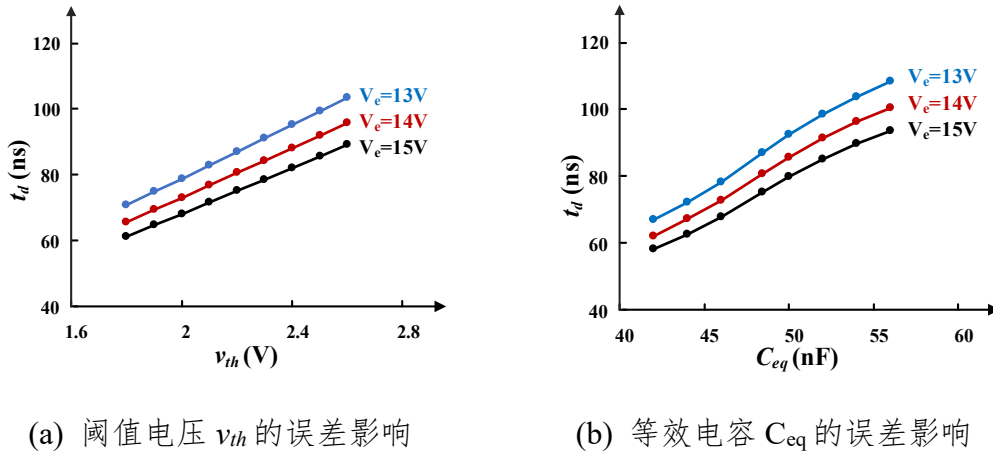


图 2.8 不同 L_{md} 和 V_m 时死区时间 t_d 的变化曲线

对于输入侧串联输出侧并联的元胞化串联谐振主电路，其开关频率为 1MHz。经优化设计之后，原边开关管漏源电压下降时间为 80ns 左右。因此，需要为其提供至少 80ns 的死区时间。根据图 2.8，驱动电压幅值设置在 8.8V 以下时，均可取到合适的励磁电感感值使驱动死区时间大于 80ns。以 7V 的驱动电压幅值为例，此时只需将励磁电感感值 L_{md} 设置在 0.48uH 以上，即可满足主电路的死区时间要求。另一方面，根据谐振驱动变压器的工作原理，其 LC 谐振电路的谐振时间需要小于主电路的开关周期，因此，根据(2.7)，当等效电容 C_{eq} 为 48.4nF 时， L_{md} 需要小于 0.52uH。

$$\pi\sqrt{L_{md}C_{eq}} < T_s/2 \quad (2.7)$$

根据上述模型分析，使用所提出的谐振驱动变压器时，驱动电压的死区时间会受所驱动 MOS 管的阈值电压 v_{th} 和等效栅极电容 C_{gs} 的误差影响而发生变化。因此，在应用此驱动电路时需要主电路 MOS 管进行筛选。对于优化设计之后的元胞化串联谐振电路，为了保持高效率，其死区时间最好控制在 $80 \pm 10\text{ns}$ 以内。如图 2.9 所示，此时 MOS 管阈值电压的偏差应控制在 $\pm 10\%$ 以内，每个 MOS 管等效栅极电容偏差最好控制在 $\pm 5\%$ 以内。但是，如图 2.6 所示，驱动电压波形实际是受 16 个原边开关管的栅极电容和逆变半桥结电容之和 C_{eq} 影响，因此总电容 C_{eq} 的偏差保持在 5% 以内即可满足对死区时间的要求。



(a) 阈值电压 v_{th} 的误差影响

(b) 等效电容 C_{eq} 的误差影响

图 2.9 原边开关管死区时间 t_d 随阈值电压 v_{th} 和等效电容 C_{eq} 的变化

2.2.3 驱动电路磁元件设计与寄生参数优化

在元胞化高降压比隔离的串联谐振电路中，每个电路元胞均采用低 NFoM 特

性的低压器件，为了分担输入侧较高的直流电压，需要采用多个电路元胞使其输入侧串联。因此，元胞化技术方案中高压侧存在多个串联结构的开关管，其源极不共地。因此，应用所提出的谐振驱动变压器时，需为其原边每个开关管提供一个单独的副边绕组，整体绕组数量较多。如果使用线绕式变压器，绕组端子的连接将十分复杂，并且，线圈绕制时的位置误差导致寄生参数难以控制，对于驱动变压器在 MHz 高频工作时的性能也会产生较大影响。因此，本文选择了参数一致性更强，设计更为灵活的平面变压器设计方案。采用 PCB 内的铜箔作为驱动变压器的绕组，可以直接将驱动变压器与主电路集成，同时可利用高精度的 PCB 工艺优化设计驱动回路，精准控制绕组和器件连接时的寄生参数。

对于元胞化的串联谐振主电路，为了实现样机的高功率密度设计，需要减小驱动电路中使用磁元件的数量和占用的布板面积。因此，可以使主电路原边的 16 颗开关管共用一个谐振驱动变压器。此时，单个驱动变压器中仅副边绕组的数量就达到了 16 个。为了减少驱动变压器绕组所占用的 PCB 层数，本文选用了图 2.10(a)所示的具有两个磁柱的 UI 型磁芯结构，从而可以将副边绕组分别绕制在 UI 磁芯的两个磁柱上，将 16 个副边绕组占用的 PCB 层数控制在 8 层。考虑到串联谐振主电路采用平面变压器设计时需要绕组布置层和端子连接层，PCB 的层数选择为 16。因此，驱动变压器的原边绕组可以采用剩下的 8 层 PCB 实现。驱动变压器中原副边绕组的排布方式如图 2.10(b)所示。其中“P_d”为原边绕组，“S_{di}”为副边绕组，所有原边绕组并联后与驱动电路的逆变电路相连，每个副边绕组分别连接至所驱动 MOS 管的栅极和源极。为了使原副边绕组之间的漏感最小化，原副边绕组之间采用了 1:1 充分交错的排布方式。

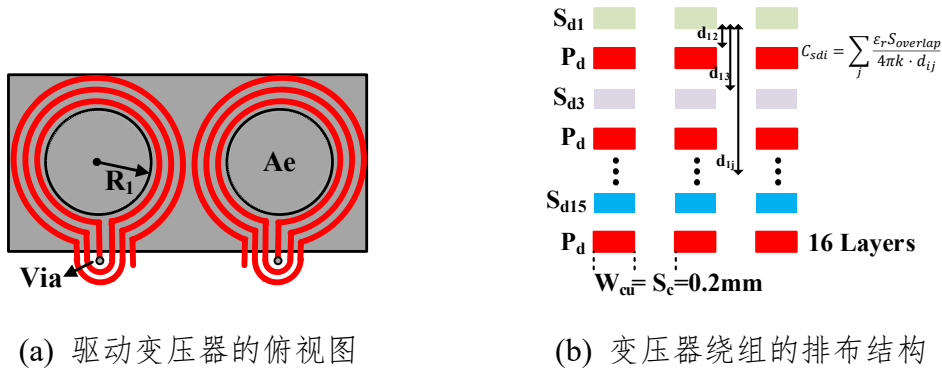


图 2.10 驱动变压器的磁芯及绕组设计

通过使多个开关管共用一个驱动变压器,可以减少驱动电路部分的磁元件数量。为了进一步减小驱动电路的面积,还需要对每个驱动变压器的面积进行优化设计。如图 2.10 (a) 所示,变压器的面积主要由绕组线宽、绕组间距、绕组匝数和磁芯的磁柱截面积 A_e 决定。由于所提出的谐振驱动变压器中驱动电流较小,可以采用较小的绕组线宽来减小绕组面积。但是,由于 PCB 工艺的限制,当采用 3oz 铜厚的 PCB 时,绕组线宽 W_{cu} 和绕组间距 S_c 最小只能选用 0.2mm(8mil)。而对于磁柱的截面积 A_e ,主要受到磁材料磁损密度的限制。在 1MHz 的高频下,本文选择适用于此工作频率的 DMR51W 作为驱动变压器的磁材料。为了减小驱动变压器的磁芯损耗,选择磁芯工作时的最大磁通密度 B_{max} 的值为 50mT,对应磁损密度为 150mW/cm³。此时,磁柱的等效磁通面积 A_e 可以由公式(2.8)计算得出。

$$A_e(V_m, N) = \frac{V_m \left(\frac{1}{2f_s} - T_{rf} \right) + \frac{V_m}{2} \cdot T_{rf}}{2 \cdot N \cdot B_{max}} \quad (2.8)$$

其中 f_s 为驱动电路的工作频率,与主电路频率保持一致,为 1MHz。 T_{rf} 为驱动变压器中的 LC 谐振时间,可根据式(2.6)(2.7)计算得出。为了简化伏秒的计算,驱动变压器绕组上的电压近似等效为线性变化。此时磁柱的等效磁通面积 A_e 主要受驱动电压幅值 V_m 和绕组匝数 N 影响。进一步,可根据磁柱面积 A_e 计算得到磁柱的半径 R_1 和驱动变压器的布板面积 S_{tr} , 如(2.9)和(2.10)所示。

$$R_1(V_m, N) = \sqrt{\frac{A_e(V_m)}{\pi}} \quad (2.9)$$

$$S_{tr}(V_m, N) = 8[R_1(V_m, N) + N W_{cu} + (N + 1) S_c]^2 \quad (2.10)$$

根据公式(2.10),可以绘制出驱动变压器面积随不同驱动电压幅值 V_m 和绕组匝数 N 变化的曲线,如图 2.11 所示。随着绕组匝数 N 的增加,磁柱的等效磁通面积 A_e 可以减小,磁芯体积和磁损也随之减小。然而,当驱动电压幅值 V_m 为 7V 或 5V,随着绕组匝数增加到 4 以上时,绕组面积的增加将成为主导因素,导致整个驱动变压器的面积迅速增加。因此,在综合考虑磁损和驱动变压器面积的前提下,将驱动变压器的绕组匝数 N 选择为 3。

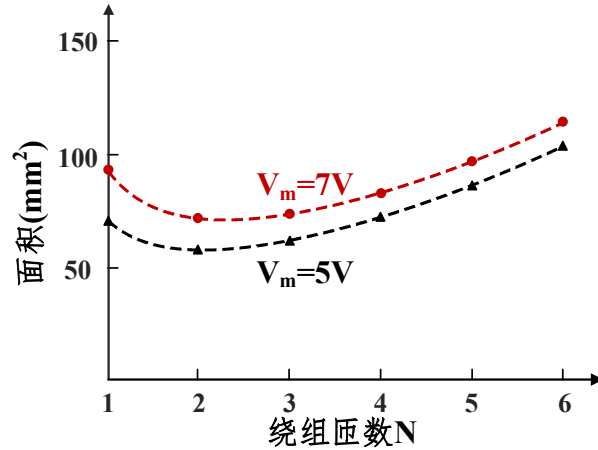


图 2.11 不同绕组匝数和驱动电压幅值下的驱动变压器面积

如前所述, 为了降低驱动电路的面积, 元胞化串联谐振主电路的多个原边开关管共用一个谐振驱动变压器。然而, 在实际电路布局中, 这会导致不同原边开关管相对于驱动变压器的距离存在较大差异, 特别是当所驱动的开关管距离驱动变压器较远时, 驱动回路中的寄生电感可能会引起驱动波形的时延或寄生振荡, 需要特别注意对驱动回路的优化。因此, 本文采用了如图 2.12 所示的驱动回路设计。其中, 从驱动变压器连接到 MOS 管栅极和源极的铜箔布置在 PCB 的不同层, 并且采用上下交错的结构, 以最大程度抵消驱动连接路径上的寄生电感。

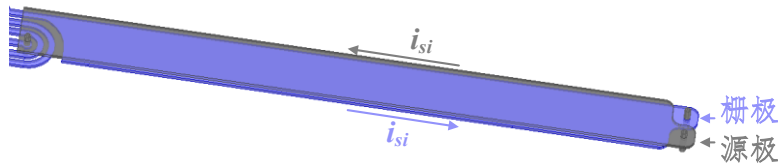


图 2.12 驱动变压器连接到 MOS 管栅极和源极时的布线示意图

进一步, 利用三维有限元仿真软件, 对实际设计中谐振驱动变压器的寄生电感进行了仿真评估。根据驱动变压器的结构, 其寄生电感可分为原副边绕组之间的漏感和驱动回路的寄生电感两部分。使用图 2.10 (b) 中原副边绕组完全交错的排布方式, 仿真得到原副边绕组之间的漏感大小为 3.5nH 左右; 采用图 2.12 中上下交错的驱动回路布线方式, 可以有效减小连接到每个 MOS 管驱动回路的寄生电感。根据表 2.1 所示的仿真结果, 驱动回路的寄生电感被限制在 15nH 以内。进一步将有限元仿真得到的寄生电感参数代入电路仿真模型, 进行了电路仿真验证, 如图 2.13 所示。在 1MHz 的开关频率下, 原副边绕组间的漏感和驱动

回路的寄生电感远小于所设计的励磁电感感值。因此，电路工作时励磁电感在栅极能量回收中起主导作用。如图 2.13（b）所示，根据考虑寄生电感参数后的电路仿真波形，优化后较小的寄生电感不会引起驱动波形的明显寄生振荡或时延，达到了较好的驱动效果。

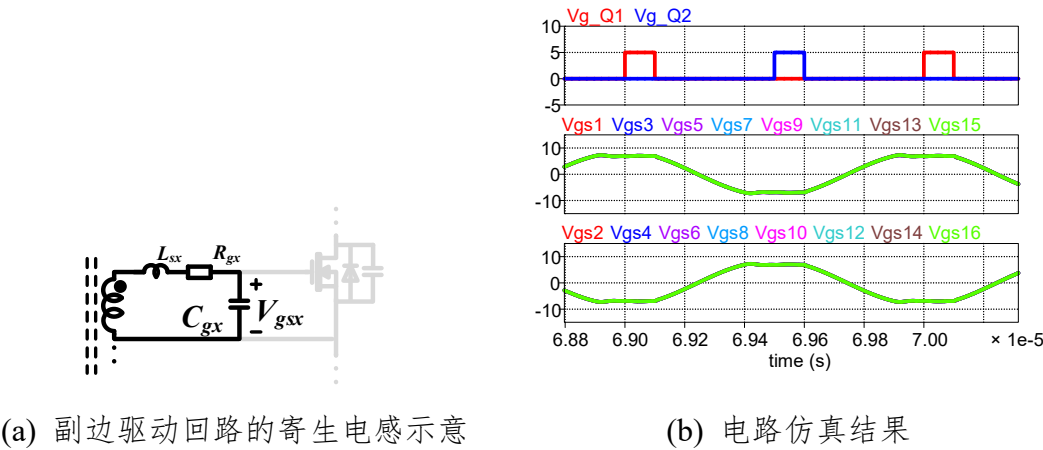


图 2.13 考虑寄生电感后的电路仿真验证

表 2.1 驱动回路寄生电感的有限元仿真结果（单位: nH）

电感	感值 (nH)	电感	感值 (nH)	电感	感值 (nH)	电感	感值 (nH)
L_{S1}	11.1	L_{S5}	6.3	L_{S9}	4.6	L_{S13}	7.4
L_{S2}	12.4	L_{S6}	14.4	L_{S10}	7.6	L_{S14}	14.8
L_{S3}	8.8	L_{S7}	5.9	L_{S11}	6.1	L_{S15}	8.4
L_{S4}	10.4	L_{S8}	3.8	L_{S12}	9.3	L_{S16}	9.4

对于谐振驱动变压器的寄生电容，如图 2.10 和图 2.12 所示，虽然变压器采用了平面 PCB 绕组，但由于其绕线宽度较小（仅为 0.2mm），绕组间的重叠面积 Soverlap 非常小。对于驱动回路连线，其宽度也仅为 1mm 左右，交叠面积也较小。每个驱动回路的寄生电容可以通过计算和仿真得到，为 pF 级别。相比之下，MOS 管的栅极电容大于 2nF，远大于驱动变压器绕组和布线的寄生电容，因此绕组寄生电容和驱动回路寄生电容对电路工作的影响可以忽略不计。

2.2.4 驱动电路应用于主电路时的损耗模型及优化方法

根据上述谐振驱动变压器的励磁电感设计方法和变压器参数设计方法，在不同驱动电压幅值设计下，均可以为 MOS 管提供带有合适死区时间的驱动波形，

如图 2.14 所示。但是, 根据器件特性, 随着驱动电压幅值的升高, 其栅极充放电总电荷会增加, 而驱动能量为栅极电荷与驱动电压的积分, 因此, 采用更高的驱动电压设计时, 谐振驱动电路中循环的驱动能量更大, 驱动回路中会产生更大的驱动电流, 从而在 MOS 管栅极寄生电阻和驱动电路寄生电阻中产生更大的欧姆损耗。另一方面, 如图 2.11 所示, 在更高的驱动电压下, 驱动变压器承受的伏秒更大, 从而导致其等效磁通面积和驱动电路面积增加, 进而引起磁芯体积和磁芯损耗的增加。因此, 采用更小的驱动电压幅值能够有效减小驱动电路布板面积和驱动损耗。但是, 如果驱动电压过小, MOS 管的等效导通电阻将会快速增加, 从而导致主电路器件的导通损耗增加, 抵消驱动损耗减小所带来的好处。因此, 需要在设计中综合考虑驱动损耗和导通损耗之间的平衡, 选择合适的驱动电压幅值。为此, 本文针对主电路 MOS 管的导通损耗和所提出谐振驱动变压器的驱动损耗分别建立了数学模型。

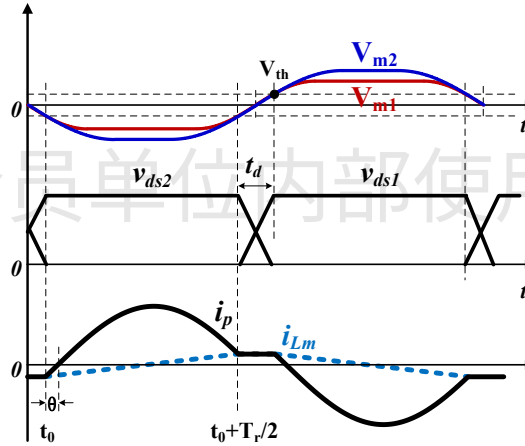


图 2.14 不同驱动电压幅值下的串联谐振主电路关键波形

对于串联谐振主电路, 为了最大程度发挥其高效率优势, 需要将其工作频率设置在谐振频率附近。此时, 通过主电路原边开关管的电流 i_p 可由公式(2.11)-(2.13)计算得到。其中 I_{Lm} 为主电路变压器励磁电流 i_{Lm} 的幅值大小, V_{in} 为整个变换器的输入电压, C_{otr} 为原边开关管结电容 C_{oss} 从 0 到 $V_{in}/8$ 积分的平均值, I_p 为原边电流 i_p 的幅值, n_T 为单个半桥逆变电路对应的原副边绕组匝比, 根据图 2.1 的主电路设计, 为 2:1。 T_s 和 T_r 分别为电路的开关周期和谐振周期。电流 i_p 的计算公式(2.12)中, t_0 为主电路变压器励磁电感停止参与谐振, 主电路原边开始向副边传递能量的时刻, 如图 2.14 所示。

$$I_{Lm} = 0.25 \cdot V_{in} \cdot C_{otr}/t_d \quad (2.11)$$

$$i_p(t) = I_p \sin(\omega(t - t_0) + \theta) \quad (t_0 < t < t_0 + T_r/2) \quad (2.12)$$

$$I_p = \sqrt{\frac{16n_T^2 V_0^2 C_{otr}^2}{t_d^2} + \frac{\pi^2 I_0^2 T_s^2}{4n_T^2 T_f^2}}, \theta = \arcsin(-\frac{I_{Lm}}{I_p}) \quad (2.13)$$

主电路 MOS 管在半个开关周期内导通电流的时间为 t_0 至 $t_0 + T_r/2$ 之间,在此期间,结合式(2.4)对驱动电压 V_{gs1} 的推导,其栅极驱动电压的表达式如式(2.14)所示。通过器件数据手册得到器件在不同驱动电压下的等效导通电阻 R_{dson} ,进而可以利用式(2.15)计算得到主电路原边开关管的导通损耗 P_{con} 。

$$V_{gs}(V_m, t) = \begin{cases} V_{gs1} \left(t - t_0 + \frac{T_{rf} + t_d - T_s}{2} \right) & t_0 < t < t_0 + \frac{T_{rf} - t_d}{2} \\ V_m & t_0 + \frac{T_{rf} - t_d}{2} < t < t_0 + \frac{T_s - T_{rf} - t_d}{2} \\ V_{gs1} \left(t - t_0 + \frac{T_{rf} + t_d - T_s}{2} \right) & t_0 + \frac{T_s - T_{rf} - t_d}{2} < t < t_0 + \frac{T_r}{2} \end{cases} \quad (2.14)$$

$$P_{con} = \frac{2}{T_r} \int_{t_0}^{t_0 + T_r/2} i_p(t)^2 R_{dson}(V_{gs}(V_m, t)) dt \quad (2.15)$$

对于开关管的驱动损耗,主要由以下几个部分构成:驱动变压器的磁芯损耗 P_{core} ,驱动变压器绕组的导通损耗 P_w ,驱动电路中逆变半桥 MOS 管的驱动损耗 P_{Mosd} 和导通损耗 P_{Mosc} ,以及所驱动 MOS 管栅极寄生电阻上的损耗 P_R 。在不同的驱动电压幅值下,驱动变压器的等效磁通面积 Ae 可由公式(2.8)计算得到,进而可以计算得到变压器磁芯的体积如式(2.16)所示,此时可根据磁材料的磁损密度估算得到变压器磁芯的磁损如式(2.17)所示。

$$V_{core}(V_m) = 8Ae(V_m) \left[\sqrt{\frac{Ae(V_m)}{\pi}} + 3W_{cu} + 4S_c + 1mm \right] \quad (2.16)$$

$$P_{core}(V_m) = P_v \cdot V_{core}(V_m) \quad (2.17)$$

为了得到驱动变压器绕组的导通损耗,首先需要对流过绕组的电流建立数学模型。当驱动变压器的开关管 Q_1 或 Q_2 开通时,其原边绕组被钳位到 $V_e/2$,此时流过开关管和驱动变压器原边绕组的电流线性增加,其初始值可由式(2.3)计算得到,根据图 2.14 中选定的初始时刻 t_0 ,此时流过原边绕组电流的表达式如式(2.18)所示。当驱动变压器的开关管 Q_1 和 Q_2 同时关断时,驱动变压器的励磁电感通过

副边绕组与所驱动 MOS 管的栅极电容谐振, 完成驱动电压的高低电平转换, 流过变压器副边绕组和所驱动 MOS 管栅极电阻的电流如式(2.19)所示。而此时驱动变压器的原边绕组直接与驱动电路逆变半桥 Q_1 和 Q_2 的输出结电容中点和半桥电容中点相连, 流过原边绕组的电流主要为逆变半桥开关管输出结电容充放电的电流, 则此时原边绕组电流的表达式如式(2.20)所示。

$$i_{pd}(V_m, t) = i_{Lm}(0) - \frac{2i_{Lm}(0)}{T_s/2 - T_{rf}} (t - t_0 + \frac{T_{rf} + t_d - T_s}{2}) \quad (2.18)$$

其中, t 的取值范围为 $t_0 + \frac{T_{rf} - t_d}{2} < t < t_0 + \frac{T_s - T_{rf} - t_d}{2}$

$$i_{si} = C_{gsi} \frac{dV_{gs}(V_m, t)}{dt}, \quad i = 1, 2, \dots, 2n \quad (2.19)$$

$$i'_{pd}(V_m, t) = (C_{ds1} + C_{ds2}) \frac{dV_{gs}(V_m, t)}{dt} \quad (2.20)$$

其中, t 的取值范围为 $t_0 < t < t_0 + \frac{T_{rf} - t_d}{2}$ 和 $t_0 + \frac{T_s - T_{rf} - t_d}{2} < t < t_0 + \frac{T_r}{2}$

谐振驱动变压器绕组的等效电阻可分为 MHz 下的交流电阻系数 β_{ac} 和直流电阻 R_{dc} 两部分考虑。其中交流电阻系数可根据经验系数或利用有限元仿真工具得到。由于在不同驱动电压下绕组的铜厚、层间距、排布方式以及层数都保持不变, 因此不同驱动电压幅值时的交流电阻系数可以看作近似不变的常数; 而驱动变压器绕组的直流电阻则主要受到绕组几何形状的影响。根据上一小节中的设计分析, 绕组的线宽 W_{cu} 和线间距 S_c 均固定为 0.2mm, 绕组匝数为 3 匝, 此时绕组的形状主要受到不同驱动电压下的磁柱半径 R_l 影响, 其直流电阻 R_{dc} 可根据式(2.21)计算得到。

进一步, 根据(2.18)-(2.20)中的绕组电流表达式和(2.21)中的电阻表达式, 可以计算得到驱动变压器绕组的铜损。根据实际电路设计参数, 本文为谐振驱动变压器选用了封装和寄生参数均较小的半桥开关管 BSZ0909ND, 其开关管的输出结电容在 200pF 左右, 小于所驱动 MOS 管栅极等效电容的十分之一, 因此在驱动电路谐振时, 式(2.20)部分的电流仅为数十毫安。而原边绕组又为多匝并联结构, 电阻较小。因此, 为了简化计算, 可以忽略该项电流造成的损耗。此时, 简化后的驱动变压器绕组的铜损计算公式如式(2.22)所示。由于所驱动 MOS 管的栅极和源极直接与驱动变压器的副边绕组相连, 流过驱动回路的电流与驱动变压

器副边绕组的电流相同。驱动回路中的电阻主要包含连线铜箔的寄生电阻和 MOS 管栅极寄生电阻两部分。其中, 连线铜箔电阻可根据有限元仿真得到, 为毫欧级别, 而根据数据手册, MOS 管的栅极寄生电阻的数量级在数欧姆。因此, 驱动回路中的导通损耗主要由主电路 MOS 管的栅极寄生电阻造成, 其表达式如式(2.23)。

$$R_{dc} = \frac{\rho \cdot 2\pi}{d_{cu}} \sum_{n=1}^3 \frac{1}{\ln\left(\frac{R_1 + nS_c + nW_{cu}}{R_1 + nS_c + (n-1)W_{cu}}\right)} \quad (2.21)$$

$$P_w(V_m) = \frac{2}{T_s} \beta_{ac} \left[\int_{t_0 + \frac{T_{rf} - t_d}{2}}^{t_0 + \frac{T_s - T_{rf} - t_d}{2}} i_{pd}(V_m, t)^2 \frac{R_{dc}}{16} dt + \sum_{i=1}^{16} \int_{t_0}^{t_0 + \frac{T_r}{2}} i_{si}(V_m, t)^2 R_{dc} dt \right] \quad (2.22)$$

$$P_R(V_m) = \sum_{i=1}^{16} \int_{t_0}^{t_0 + \frac{T_r}{2}} i_{si}(V_m, t)^2 R_{gi} dt \quad (2.23)$$

根据上述数学模型, 可以计算得到谐振驱动变压器中变压器和驱动回路的损耗。除此之外, 逆变半桥开关管 Q_1 和 Q_2 的主要功能是为驱动电路调整工作状态和补充损失的驱动能量, 其损耗也需要考虑。根据前面对所提出驱动电路的模式分析, 在开关管 Q_1 或 Q_2 开通和关断的时候, 其漏源电压近似为 0, 开关损耗可忽略不计。因此, 其损耗主要为驱动损耗和导通损耗。由于所选用器件 BSZ0909ND 的栅极寄生电荷 Q_{gM} 较小, 即使使用电压型驱动也不会造成较大驱动损耗, 因此为了简化电路设计, 直接采用了非隔离型电压型驱动芯片, 因此, 驱动电路逆变半桥的驱动损耗表达式如式(2.24)所示。当开关管导通时, 流过开关管的电流与式(2.18)中驱动变压器原边绕组的电流相同, 因此, 其导通损耗可根据式(2.25)计算得出。

$$P_{MOSd} = 2Q_{gM}V_{gM}f_s \quad (2.24)$$

$$P_{MOSc} = \frac{2}{T_s} \int_{t_0 + \frac{T_{rf} - t_d}{2}}^{t_0 + \frac{T_s - T_{rf} - t_d}{2}} i_{pd}(V_m, t)^2 R_{dsM} dt \quad (2.25)$$

最后, 使用所提出的谐振驱动变压器为主电路原边开关管或副边同步整流管提供驱动时的总驱动损耗可由式(2.26)计算得到。对于主电路的开关损耗, 在 MHz 开关频率下, 串联谐振电路经过合适的变压器励磁电感设计和死区时间设计, 能

够在全负载范围下实现原边开关管的零电压开通。经过谐振参数优化,在谐振频率附近定频工作时,原边开关管的关断电流较小,并且关断时其漏源电压的上升速度较缓慢,因此原边开关管的关断损耗可忽略。而副边同步整流管工作在同步整流模式,能够实现零电流关断,也能够避免开关损耗的影响。因此,在串联谐振电路中,器件的总损耗主要包含驱动损耗和导通损耗两部分。因此,结合式(2.15)和式(2.26)可以计算出不同驱动电压幅值设计时,主电路 MOS 管的驱动损耗和导通损耗之和,及其在不同负载输出功率时的占比,绘制如图 2.15 所示。

$$P_{\text{dri}}(V_m) = P_{\text{core}} + P_w + P_R + P_{\text{MOSd}} + P_{\text{MOSc}} \quad (2.26)$$

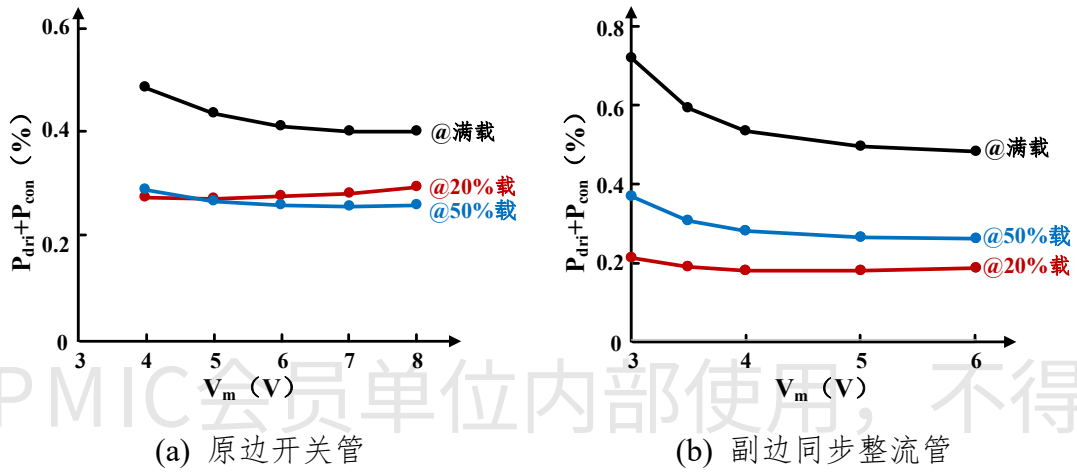


图 2.15 使用谐振驱动时不同驱动电压对应的驱动损耗和导通损耗之和

根据图 2.15 (a) 中串联谐振主电路原边开关管的驱动和导通损耗之和的占比,在满载情况下,随着驱动电压从 4V 增加,虽然驱动损耗逐渐增加,但是此时导通损耗占比较大,随着器件等效导通电阻的快速下降,器件的总损耗下降较快。但随着驱动电压进一步增大到 8V 左右时,驱动电压增加对器件导通电阻的减小作用开始变弱,驱动损耗的增加较快,导致器件总损耗减小速度变慢甚至开始增加。而在轻载(20%载)和半载时,驱动损耗对于器件总损耗的影响更大。特别是在 20%载时,驱动电压幅值大于 5V 之后器件驱动和导通总损耗占比便开始明显上升。而在半载时,器件总损耗占比在驱动电压大于 7V 之后开始增加。因此,综合轻载,半载和满载时的高效率要求,本文将主电路原边开关管的驱动电压幅值设置在 7V。对于副边同步整流管,其驱动和导通总损耗占比在驱动电压增加至 5V 之后下降不再明显,因此选择其驱动电压幅值 V_m 为 5V。

2.3 仿真和实验验证

2.3.1 主电路样机设计

通过采用所优化设计的谐振驱动变压器代替多个传统隔离电压型驱动芯片,不仅能够有效减小驱动损耗,还能减小驱动电路部分占用的布板面积。因此,使用所提出的谐振驱动变压器后,主电路的器件布局可以更加紧凑,变换器的功率密度具备更大的优化空间。如图 2.16 (a) 所示,在使用传统电压型隔离驱动芯片的样机中,为了使用 60V 耐压值的低压硅器件完成 380V/12V 的电压变换,采用了八个半桥串联谐振电路,将其原边串联,副边并联。在 PCB 采用六层板的设计下,每两个半桥谐振电路共用一个变压器磁芯。变压器的侧视图如图 2.16 (b) 所示。为了降低低压大电流情况下绕组的导通损耗,在变压器的每个磁柱周围采用了单匝绕组的布置方式,使绕组能够充分利用窗口的宽度,从而减小绕组的等效电阻。为了使单个变压器在 6 层板的情况下实现更多的绕组串并联设计,采用了双磁柱的 UI 型磁芯。单层铜箔的每个磁柱上都可以绕制一匝绕组线圈,因此,单个变压器中原副边绕组的总匝数达到 12 匝。其中,4 匝原边绕组相互串联,中心抽头整流结构对应的两组四匝副边绕组分别为并联关系。为了减小 MHz 高频下绕组的涡流损耗,采用了图 2.16(c) 中所示的变压器绕组排布方式。其中“P”代表原边绕组,“S1”和“S2”分别代表两组副边绕组。通过‘S1-P-S2-S1-P-S2’的原副边绕组充分交错,降低了变压器绕组的磁动势和交流电阻系数。

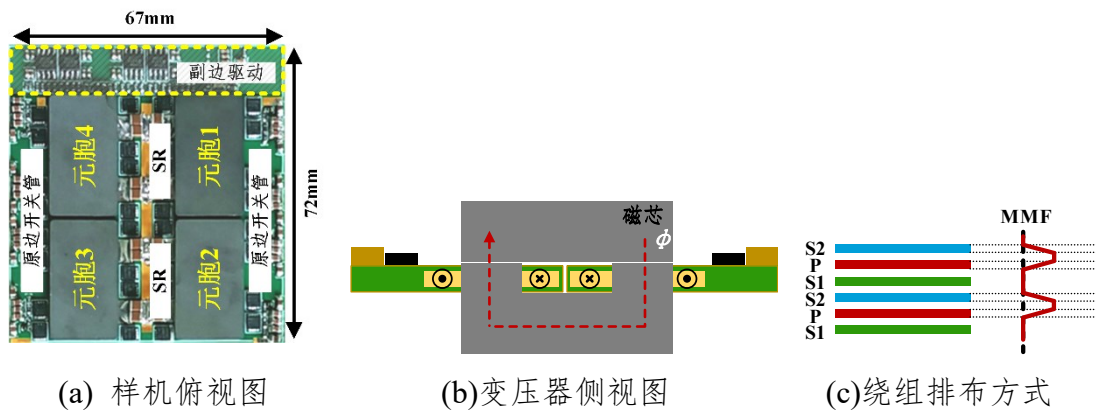


图 2.16 使用传统隔离型驱动芯片时的样机设计^[36]

为了适应 1MHz 频率下的高频工作,主电路变压器磁芯采用了 DMR51W 磁材料。在单匝绕组 12V 的设计条件下,考虑到磁材料的磁损密度特性,选定了

50mm²的等效磁通面积^[36]。如图 2.17 (a) 中变压器的俯视图所示, 此时磁芯中间磁柱的面积 A_e 已经确定, 但是, 其形状尚未确定。不同的磁柱形状会直接影响环绕磁柱的变压器绕组的周长, 为了保持绕组阻抗不变, 磁柱形状和周长会进一步影响所设计绕组的宽度, 进而造成整个变压器面积的改变。因此, 为了优化变压器体积, 需要对磁柱形状进行设计。在图 2.17 (a) 所示的变压器俯视图中, 跑道型的磁柱由两个半圆和一个矩形构成, 设置半圆部分的半径 r_{leg} 为变量之后, 整个磁柱的长度 L_{leg} 可根据公式(2.27)计算得出。此时, 设置单匝绕组直流电阻 R_{dc} 为变量后, 其绕组宽度可根据式(2.28)计算得出。

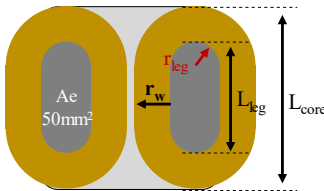
$$L_{leg} = (A_e - \pi r_{leg}^2) / 2r_{leg} + 2r_{leg} \quad (2.27)$$

$$\frac{2\pi\rho}{d_{cu}(\ln(r_{leg}+r_w)-\ln(r_{leg}))} + \frac{2\rho(L_{leg}-2r_{leg})}{d_{cu}r_w} = R_{dc} \quad (2.28)$$

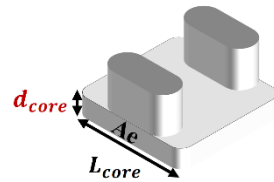
其中, ρ 为金属铜的电阻系数, d_{cu} 为选用 PCB 铜箔的厚度。为了减小变压器磁芯的厚度, 采用了 I 片与绕组等宽的设计, I 片部分的宽度 L_{core} 和厚度 d_{core} 可由式(2.29)计算得出。在传统隔离驱动芯片设计的元胞化 DCX 样机设计中, 所选用的六层板 3oz 铜厚的 PCB 厚度 d_{board} 约为 1.5mm, 则此时可根据式(2.30)计算得到整个变压器的体积。进一步, 可以绘制出变压器体积在不同给定绕组直流电阻情况下随磁柱半径 r_{leg} 的变化曲线, 如图 2.18 所示。根据计算结果, 当单匝绕组直流电阻在 1.0m Ω 至 2.0m Ω 变化时, 磁柱半径设计在 2.5mm 至 3mm 之间可以实现最小的变压器体积。因此, 在使用传统隔离驱动芯片的方案中, 中间磁柱的半径取值为 3mm, 此时对应的 I 片厚度约为 3mm。

$$L_{core} = L_{leg} + 2r_w, d_{core} = A_e / L_{core} \quad (2.29)$$

$$V_{tr} = (4r_{leg} + 4r_w)(L_{leg} + 2r_w)(2d_{core} + d_{board}) \quad (2.30)$$



(a) 变压器俯视图



(b) 变压器磁芯的三维模型图

图 2.17 基于 UI 型磁芯的变压器设计

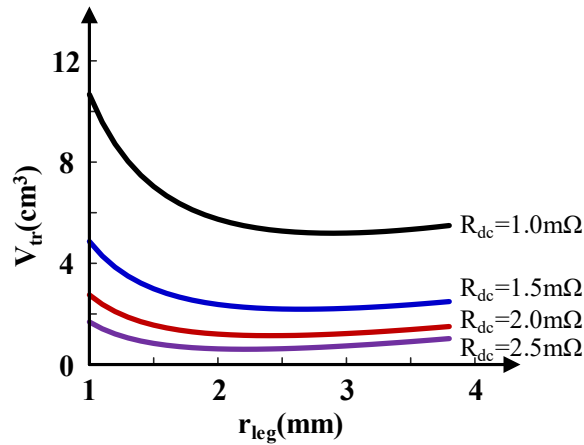


图 2.18 不同绕组直流电阻和磁柱半径对应的变压器体积

但是，在图 2.16 所示的变压器设计中，原边开关管只布局在 PCB 的单面，变压器仅为六层 PCB 设计，PCB 板厚度约为 1.5mm，而优化设计后的上下 I 片总厚度均为 6mm，整个变压器磁芯的厚度达到了 7.5mm。因此，变压器体积中 PCB 绕组占比较小而磁芯占比较大，单个变压器所处理的功率仅为 500W 左右，变压器自身的功率密度也小于 2.5kW/in^3 ，限制了样机整体功率密度的提升。在使用所提出的谐振驱动变压器之后，驱动电路部分占用的布板面积可以缩减，主电路的原边开关管可以采取更紧密的双面布局方式，从而将图 2.16 中的每两个电路元胞合并在一个变压器磁芯中，如图 2.19 (a) 所示。其中，单个变压器磁芯采用 16 层的 PCB 板，其中 12 层作为主变压器绕组层，剩余 4 层主要用于器件端子和绕组的互连。磁柱和绕组形状设计沿用与先前隔离型驱动芯片方案中相同的设计。通过这种主变压器优化方式，整个 380V/12V 元胞化 DC/DC 电路中的主变压器磁芯数量 N_{tr} 可由 4 个减少为 2 个，每个变压器处理的功率从 500W 提升至 1000W，功率提升一倍。而此时 PCB 的厚度仅需要从 1.5mm 增加至 3.5mm，整个变压器的厚度仅从 7.5mm 增加至 9.5mm，体积仅增加 27%。因此，单个变压器的功率密度可提升 60% 左右。

沿用这一设计思想，可选择继续增加磁柱高度使四个电路元胞共用一个变压器磁芯，如图 2.19 (b) 所示。但是，受限制于器件布局空间，此时需要将一部分器件夹在两块 PCB 板的中间。考虑器件高度和绝缘间隙之后，整个变压器的厚度将会达到 17mm 以上，相对于图 2.19 (a) 中 9.5mm 的设计，厚度会大幅增加，导致功率密度难以进一步提升。并且，此时夹在中间的器件的散热设计将更

加困难。因此，本文最终选用了图 2.19 (a) 中所示的设计方案，绕组排布方式沿用与图 2.16(c) 相同的 ‘S1-P-S2-S1-P-S2’ 的充分交错结构，如图 2.20 所示，此时主电路变压器磁芯数量减少为 2 个。

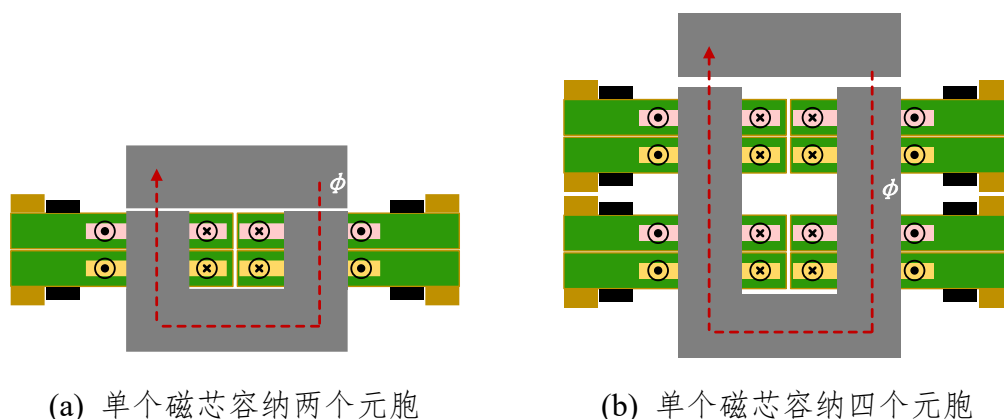


图 2.19 单个磁芯容纳更多层数绕组的变压器设计

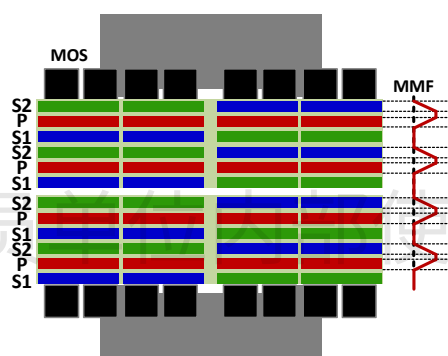
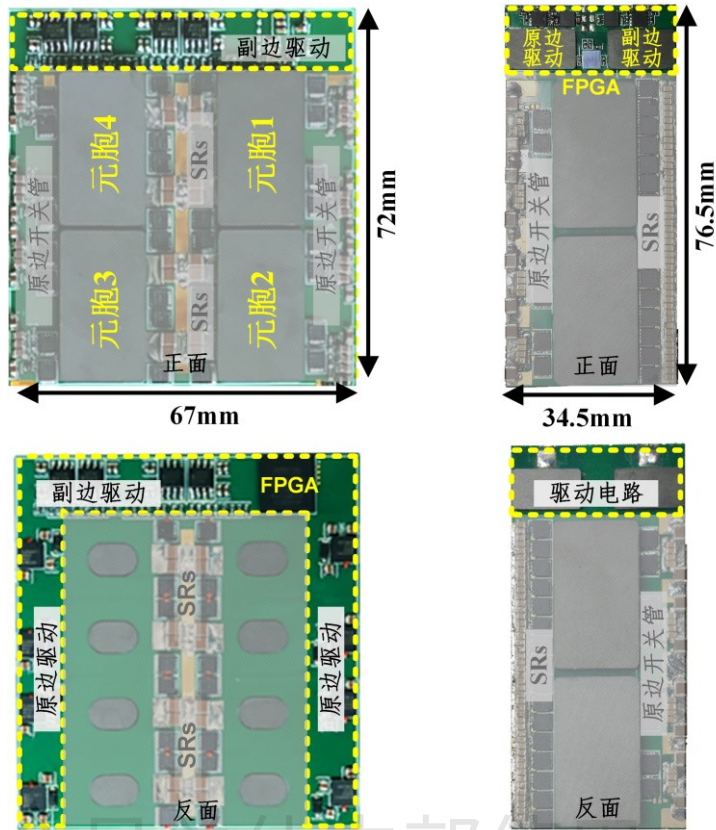


图 2.20 主变压器磁芯数量优化后的绕组排布方式

利用上述的主电路变压器设计，结合所提出的谐振驱动变压器，本章节搭建了一台开关频率为 1MHz，满载输出功率为 2kW 的 380V/12V 元胞化 DC/DC 变换器。图 2.21 (b) 为使用谐振型驱动后的变换器样机图，表 2.2 为样机所选用的关键器件型号和电路参数。为了与图 2.21 (a) 中传统隔离型驱动芯片方案的样机进行对比，两款样机的主电路选用了相同的器件型号和器件数量，变压器绕组形状、绕组排布方式以及绕组的总数量均保持不变，仅通过多层板设计减少了主变压器磁芯的数量。在使用所提出谐振驱动变压器的样机中，由于主电路原边开关管和副边同步整流管的阈值电压和最佳驱动电压幅值不同，分别为其设计了对应的谐振驱动变压器。 Q_{M1} 和 Q_{M2} 为集成的半桥 MOS 管， U_1 和 U_2 为驱动电路逆变半桥对应的非隔离驱动芯片， L_{mdp} 和 L_{mds} 分别为原边和副边谐振驱动变

压器的励磁电感。



(a)使用传统驱动芯片时的样机^[36] (b)使用谐振驱动变压器的样机

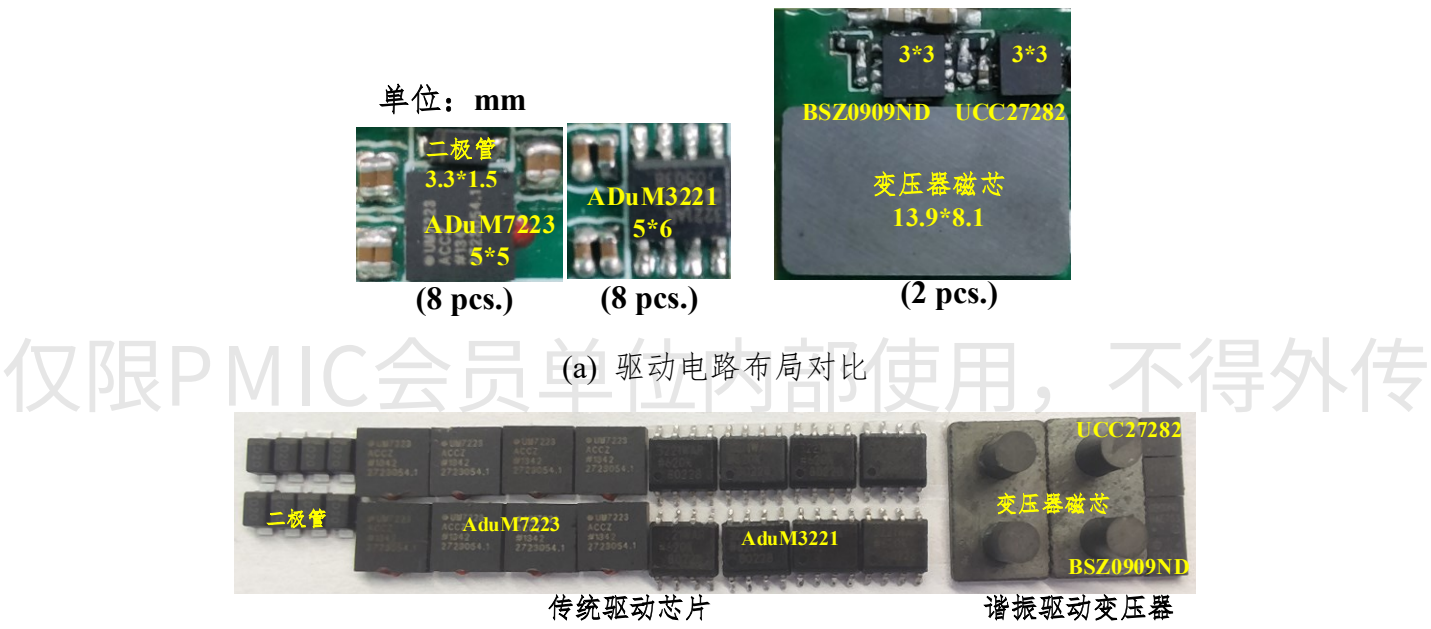
图 2.21 使用传统驱动芯片和所提出谐振驱动变压器时的样机图对比

表 2.2 样机关键器件型号和电路参数

主电路 ISOP SRC		谐振驱动变压器	
$S_1 - S_{16}$	BSZ040N06LS5	$Q_{M1} - Q_{M2}$	BSZ0909ND
$SR_1 - SR_{16}$	BSZ0501NSI(2pcs.)	$U_1 - U_2$	UCC27282
L_r/C_r	1.72uH/10.4nH	L_{mdp}	0.49uH
L_m	1.8uH	L_{mds}	0.30uH
Core/Ratio	DMR51W/8:1:1	Core/Ratio	DMR51W/1:1
PCB	16 Layer/3oz	PCB	16 Layer/3oz

根据图 2.21 中展示的两款样机正面和反面的元器件布局对比，使用优化设计的谐振驱动变压器之后，整个驱动电路的面积显著降低。图 2.22 进一步展示了两款驱动方案中具体的驱动电路布局和元器件对比。如图 2.22 所示，在使用

传统隔离型驱动芯片的元胞化电路中，原边开关管使用了 8 颗 ADuM7223 隔离型驱动芯片和 8 颗自举二极管，副边同步整流管使用了 8 颗 ADuM3221 隔离型驱动芯片；而在所提出的谐振驱动变压器方案中，原副边器件仅需要两颗驱动变压器磁芯，两颗逆变半桥芯片和两颗非隔离驱动芯片。为了更加清晰地对比两种驱动方案的面积，将两种方案中用到的主要元器件照片展示如图 2.22（b）所示并将其面积计算如表 2.3 所示。在考虑退耦电容和实际电路布局后，传统驱动方案中的电路总面积将会进一步变大，即使考虑驱动芯片双面布局，其驱动电路占用的总面积也达到了 1000mm² 以上。而使用所提出的谐振驱动变压器时，驱动电路总面积能够减小 50%以上。



(b) 驱动电路所使用的元器件对比

图 2.22 两种驱动方案的驱动电路布局和元器件对比

表 2.3 驱动电路面积对比

	半导体器件 (mm ²)	磁元件 (mm ²)	电路总面积 (mm ²)
传统方案	480	0	1010
谐振驱动	36	225	450

2.3.2 仿真和实验测试结果

为了验证谐振驱动变压器的工作原理,测试了谐振驱动变压器工作时的关键波形图如图 2.23 所示。其中, V_{gs_Q2} 和 V_{ds_Q2} 分别为驱动电路逆变半桥下管 Q_2 的驱动电压和漏源电压波形。当 Q_2 开通时,其漏源电压 V_{ds_Q2} 已下降为 0,实现了零电压开通;当 Q_2 关断时, V_{ds_Q2} 变化较慢,维持在 0 电压附近,因此关断损耗可以忽略。 V_{gs_SR1} 是驱动电路为主电路同步整流管 SR_1 提供的驱动电压波形。为了测量此时通过驱动变压器原边开关管 Q_1 和 Q_2 的电流波形 (i_{pd}),如图 2.24 所示,在驱动电路增加了额外的采样电阻 R_{sample} 。但是,在增加采样电阻之前,所设计的驱动电路中寄生参数非常小,因此,增加采样电阻会对驱动回路中的电阻和寄生电感造成较大的影响。但是,由于示波器精度的限制,测量较小的原边电流时,采样电阻不得不具备足够大的阻值才能测量到采样电阻上面的电压波形,这会使得驱动电路谐振前后的栅极电容电压不同,从而导致增加采样电阻后测量得到的电流波形 i_{pd} 发生一定的畸变。这一畸变随测量环节引入,难以避免,因此本文采用了电路仿真和实验测量相结合的方法进行验证。

经过电路仿真,增加采样电阻前后的驱动电路原边电流波形分别如图 2.25 (a) 和图 2.25 (b) 所示。增加采样电阻之后的电路仿真波形和图 2.23 (a) 中对应的实验波形基本一致,验证了所提出谐振驱动变压器的工作原理。在实际的驱动电路应用中,无需设置采样电阻及采样电阻的位置,因此实际的电流工作波形会更接近图 2.25 (a) 中的理想波形。在图 2.23 (b) 中, i_{SR1} 为所驱动同步整流管 SR_1 的栅极驱动电流,其峰值仅在 0.2A 以内。因此,利用所提出的谐振驱动变压器,可以大幅降低驱动回路中的驱动电流,从而实现驱动回路中较小的导通损耗。

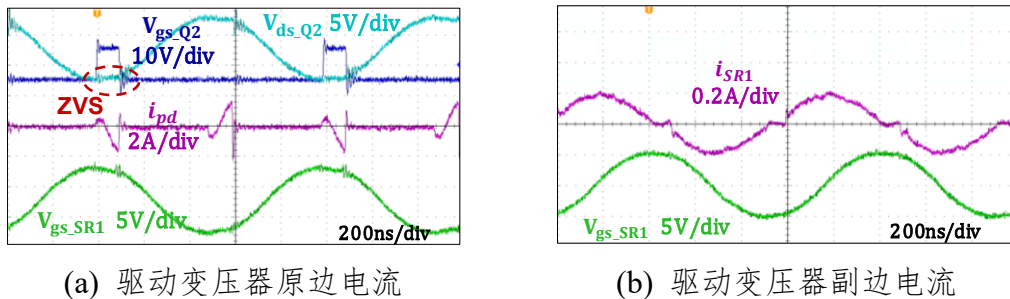


图 2.23 使用谐振驱动变压器时的关键电路波形图

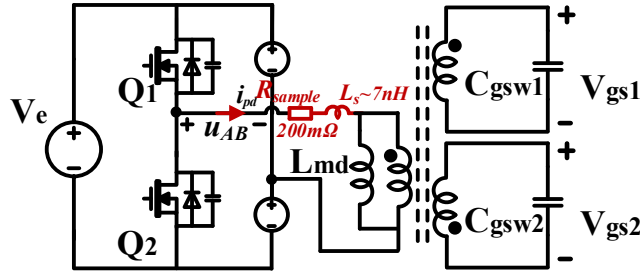
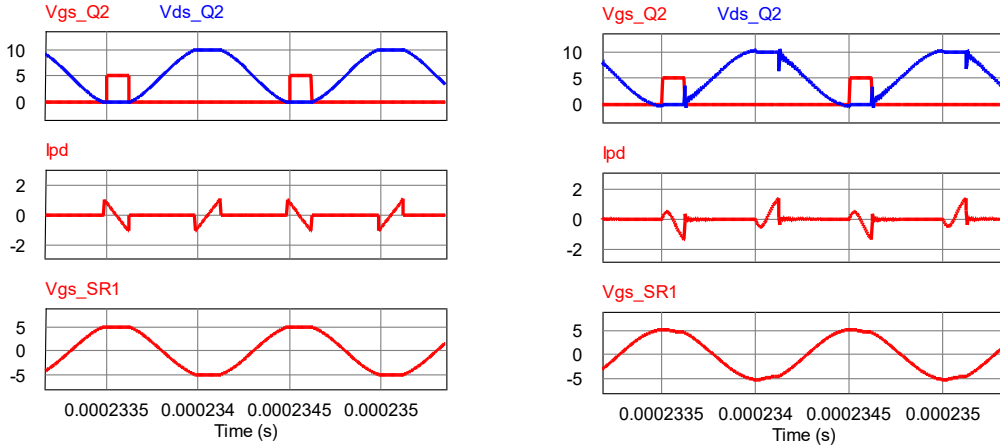


图 2.24 增加原边采样电阻之后的等效驱动电路



(a) 不考虑寄生参数时的理想仿真波形

(b) 考虑采样电阻后的仿真波形

图 2.25 所提出谐振驱动变压器的电路仿真波形

图 2.26 (a) 为元胞化串联谐振主电路满载工作时原边开关管对应的关键电压波形。其中 V_{gs2} 和 V_{ds2} 分别为原边开关管 S_2 的栅极驱动电压波形和漏源电压波形， i_p 为串联谐振主电路的原边谐振腔电流。对于原边开关管对应的谐振驱动变压器，其输入电压 V_e 设置为 14V，励磁电感 L_{mdp} 设置为 0.49uH 时，此时实测的栅极驱动电压 V_{gs2} 的幅值为 7V 左右，与分析一致。谐振驱动变压器所提供的上下管驱动死区时间测量为 90ns 左右，与计算结果相比偏差在 10% 以内，验证了数学模型的可行性。根据实验测量波形，当原边开关管 S_2 的漏源电压 V_{ds2} 下降为 0 时，对应的驱动电压 V_{gs2} 约为 1.7V，小于原边开关管的阈值电压。因此，利用所提出的谐振驱动变压器能够实现主电路原边开关管的零电压开通。在开关管 S_2 的关断阶段，如图 2.27 所示，随着栅极电压 V_{gs2} 下降到阈值电压，开关管 S_2 的沟道电流在 10ns 以内下降到 0，而其漏源电压 V_{ds2} 从 0V 上升到 48V 所用的时间为 80ns，可以粗略估算出主电路原边开关管由于沟道电流和漏源电压交叠产生的总关断损耗小于 0.4W。因此，即使样机工作在峰值效率点附近时（约

40%载), 原边开关管的总关断损耗占比也会小于 0.05%, 可以忽略。图 2.26 (b) 为元胞化串联谐振电路副边同步整流管 SR_1 的关键波形, 其中 V_{gs_SR1} 和 V_{ds_SR1} 分别为其驱动电压波形和漏源电压波形。使用所提出的谐振驱动变压器, 同样可以为副边开关管提供同步整流功能。

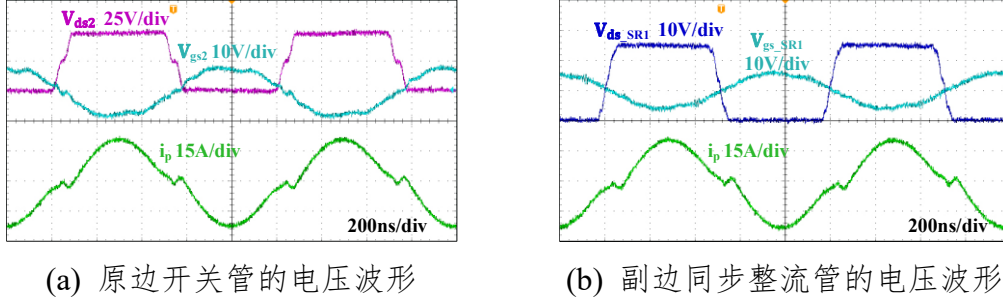


图 2.26 使用谐振驱动时元胞化主电路的关键波形

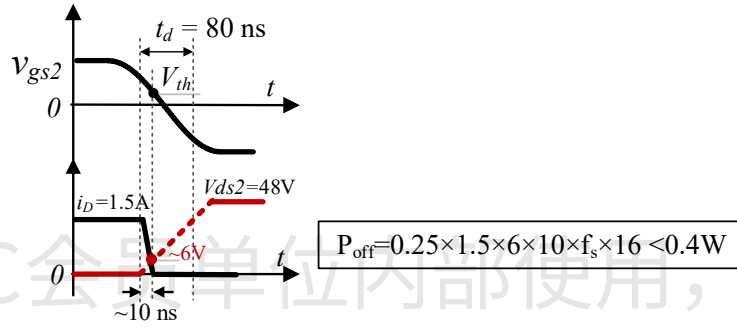


图 2.27 使用谐振驱动变压器时原边开关管的关断损耗估算

为了验证所提出谐振驱动变压器的低损耗特性, 测量了使用谐振驱动变压器时的驱动损耗, 并将其与传统电压型方案进行了对比, 具体对比结果如表 2.4 所示。通过对驱动损耗和导通损耗之和的综合优化, 使用所提出的谐振驱动变压器时, 原边开关管的驱动电压幅值设置在 7V, 副边同步整流管的驱动电压幅值设置在 5V。与相同电压幅值的传统电压型驱动芯片相比, 总驱动损耗能够减小 80% 以上。而在上一版隔离型驱动芯片方案的元胞化 DC/DC 变换器设计中, 原边和副边所选取的驱动电压幅值均在 7V 以上, 总驱动损耗达到了 6W 以上。因此, 相比之前的样机设计, 本文所提出的样机中驱动损耗能够减小 85% 以上, 具备更大的轻载效率和峰值效率优势。

表 2.4 驱动损耗对比

	传统电压型驱动		谐振驱动变压器
原边驱动电压 (V)	7	7	7
副边驱动电压(V)	7	5	5
驱动损耗(W)	6.27	4.35	0.85

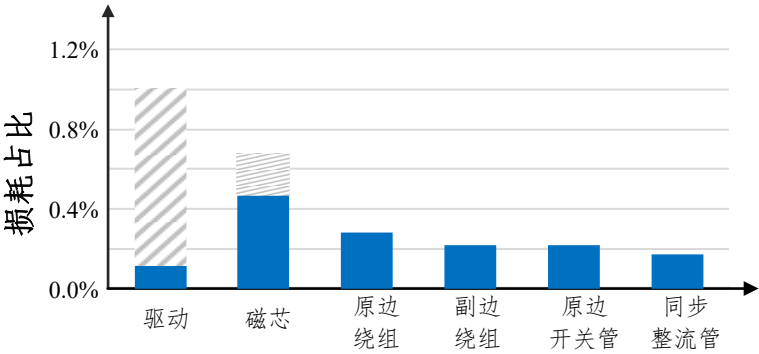


图 2.28 峰值效率点对应负载的变换器损耗分析

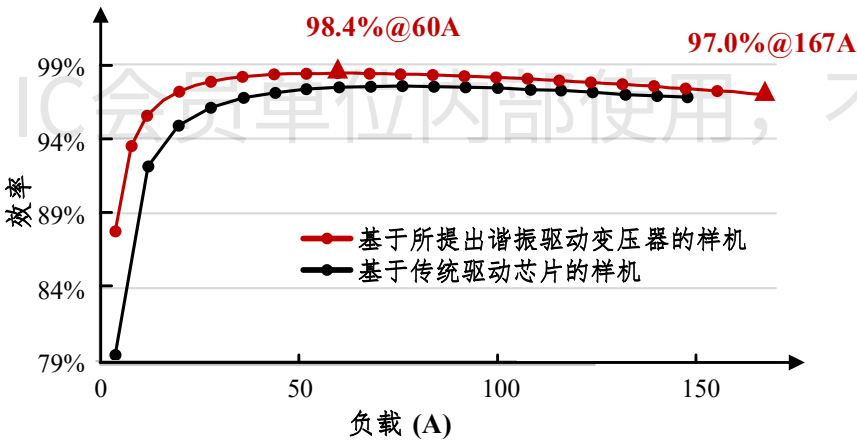


图 2.29 谐振驱动样机与传统电压驱动样机^[36]的效率实验结果对比

图 2.28 为本章节所设计的使用谐振驱动变压器的元胞化 DC/DC 样机在峰值效率点时的损耗分析。除了驱动损耗的降低，使用更多层的 PCB 减小变压器磁芯数量后，样机的磁损也得到了降低。经过实验测试，将样机在全负载范围内的效率曲线绘制如图 2.29 所示。相较于使用传统电压驱动芯片的样机，使用所提出谐振驱动变压器的样机效率得到了大幅提升。将所提出的高频低损耗谐振型驱动变压器技术与元胞化 DC/DC 主电路拓扑技术结合后，所设计的 1MHz 380V/12V DC-DC 变换器的峰值效率达到了 98.4%（~40% 负载），满载效率为

97%，功率密度达 1300W/in^3 （不含辅助供电）。

2.4 本章小结

在高效高密度 DC/DC 变换器应用场合中，串联谐振电路因其全负载范围内良好的软开关特性而得到广泛应用。然而，随着开关频率提升至兆赫兹，串联谐振电路中原边高压器件实现软开关所需的励磁电流越来越大，使得器件导通损耗增加，制约了效率的提升。运用元胞化技术，可以利用常规的低压硅器件代替高压器件，从而利用低压器件的低 NFoM 优势降低器件导通损耗，提升主电路的效率。但是，在高降压比低压大电流输出的变换器中，原边需要多个低压开关管来承受输入高电压，副边也需要并联较多的整流管来降低大电流下的导通损耗。若使用传统的电压型驱动芯片，会造成严重的驱动损耗，严重降低电路效率。而现有的电流型谐振驱动方案主要针对 PWM 电路或单管谐振电路设计，无法直接适配串联谐振电路特别是元胞化谐振电路。

针对上述问题，本章提出了适用于兆赫兹串联谐振电路的谐振驱动变压器及其参数优化设计方法。通过设置驱动变压器，实现了对多个不共地原边开关管的隔离驱动，并直接利用驱动变压器寄生的励磁电感作为电流源，使其与所驱动开关管的栅极电容谐振，实现了驱动能量的回收。针对串联谐振电路对驱动死区时间的要求，推导了所提出谐振驱动变压器的数学模型，给出了满足死区要求的参数设计方法。进一步，建立了器件导通和驱动总损耗的数学模型，并提出了基于损耗最优化的驱动参数优选方法。

最后，基于所提出的谐振驱动变压器和参数优化设计方法，搭建了一台 1MHz $380\text{V}/12\text{V}$ 元胞化 DC/DC 样机进行实验验证。相比于传统的隔离型驱动芯片，所提出的谐振驱动变压器能够将驱动损耗减小 80% 以上，驱动电路布板面积减小 50% 以上，从而使得样机峰值效率达到 98.4%，突破了 1MHz $380\text{V}/12\text{V}$ 高降压比隔离 DC/DC 变换器的效率瓶颈。并且，样机保持了高功率密度，达 1.3kW/in^3 。

第3章 多窗口 EI 磁芯平面变压器优化方法研究

在前一章的研究内容中,利用所提出的谐振型驱动变压器及参数优化设计方法,不仅能够降低驱动电路占用的布板面积,还能显著降低 MHz 串联谐振电路的驱动损耗。结合元胞化串联谐振电路基于低 NFoM 器件的低导通损耗特性和良好的软开关特性,变换器的器件损耗可以大幅降低。但是,此时电路中的功率变压器还占据着较大的体积和损耗比例,成为效率和功率密度提升的瓶颈。在高密度 DC/DC 变换器设计中,为了减小体积,通常采用封装较小的表贴元器件,其厚度可以控制在 1mm 左右。但是,在目前高降压比、12V 大电流输出的隔离 DC/DC 变换器中,即使在 1MHz 的高频下,变压器磁芯仍是整个变换器中厚度最大的组件。以第二章中的设计为例,变压器磁芯的单边 I 片厚度达到了 3mm,这不仅会导致变压器自身占用较大的空间,还会造成样机空间布局上的浪费。为了进一步提高功率密度,本章通过建立磁芯内磁通分布的数学模型分析了磁芯结构对磁通空间分布的影响,提出了一种 I 片多方向延展的多窗口 EI 型磁芯及磁阻调控方法,大幅降低了磁芯的厚度和体积,提升了样机的功率密度。

在高降压比低压大电流的 DC/DC 变换器中,变压器的绕组损耗通常占据较大比例。在高频化提升功率密度时,通常采用制作精度更高,参数一致性更好的平面变压器代替传统的线绕式变压器。利用 PCB 铜箔制作平面绕组,可以通过灵活的层间互连工艺实现复杂的绕组排布方式,降低磁动势,减小涡流效应的影响。但是,随着开关频率提升至 1MHz 后,磁场强度的变化更加剧烈,导致绕组的涡流效应更加严重,绕组寄生参数对电路工作的影响也更大。此时,仅依靠传统的绕组排布设计难以保证并联绕组间的均流,还需要考虑绕组间互连结构、绕组与器件之间互连端子等对损耗和均流造成的影响。为了降低 MHz 高频变压器的绕组损耗,本章综合考虑了绕组排布方式和端子互连方式对磁场分布和寄生电感的影响,提出了降低涡流损耗和提升并联均流度的绕组优化方法,进一步提升了变换器的效率。

3.1 磁通分布的建模分析及多窗口 EI 磁芯的推演

在隔离型 DC/DC 变换器中,变压器通过电磁场实现原副边之间的能量传递,并实现电气隔离。而变压器磁芯的主要作用是提供一个相对较低的磁阻路径,约束空间中的电磁场分布。根据变压器设计对磁通路径和磁通分布位置的具体要求,可选择 EI、UI 等多种磁芯形状。

在高降压比隔离的应用场合中,为了减小输出侧低压大电流造成的绕组损耗,需要数十匝副边绕组进行并联;而为了实现高降压比,又需要较多的原边绕组进行串联。以第二章的 1MHz 380V/12V,满载输出电流 170A 的 DC/DC 变换器为例,即使采用半桥串联谐振电路设计,变压器原副边绕组的匝比仍达到了 16:1。并且,为了降低副边同步整流时的导通损耗,采用了中心抽头的整流方式。此时原边绕组和两个副边绕组的总数量达到了 48 匝。对于这种高频、高降压比,绕组数量较多的应用,为了降低使用平面变压器时所需的 PCB 层数,通常将多个绕组水平分布,绕制在多个变压器磁柱周围。相较于 EI 磁芯,UI 磁芯结构中存在两个用于绕制绕组的磁柱结构,因而在高降压比大电流输出的应用中常被用来减少变压器磁芯的数量^[36,69,70,99]。

如图 3.1 所示,在第二章的高降压比隔离 DC/DC 变换器样机设计中,主电路变压器采用了两个 UI 型的磁芯。图 3.2 (a) 展示了该变换器中各部分组件在高度上的分布关系。变换器主要由印刷电路板、半导体器件(MOS 管)、电容、驱动变压器磁芯和主电路变压器磁芯构成。其中,半导体器件(MOS 管)通过使用表贴型的封装,厚度可以控制在 1mm 以内;变换器中的电容为积层贴片陶瓷片式封装,通过使用 0805 的商用封装尺寸,其厚度可以控制在 1.5mm 左右;由于驱动变压器中绕组上的驱动电流较小,可采用多匝线圈降低驱动变压器单匝绕组的伏秒,其厚度仅在 1mm 左右;然而,对于传输主功率的主电路变压器,其副边绕组输出电流较大,因此需采用单匝绕组承受 12V 的设计来充分利用变压器窗口宽度,降低绕组的等效电阻和损耗。此时,即使将频率提升至 1MHz,在 50mm² 的等效磁通面积设计下,其 I 片的厚度仍达到了 3mm 左右,远高于其他元器件的厚度。这就会导致样机中存在一部分浪费掉的空间。图 3.2 (b) 为变换器样机的体积分布图,在目前的样机设计中,仅浪费的空间就占据了接近四分之一的比例,不利于变换器功率密度的进一步提升。

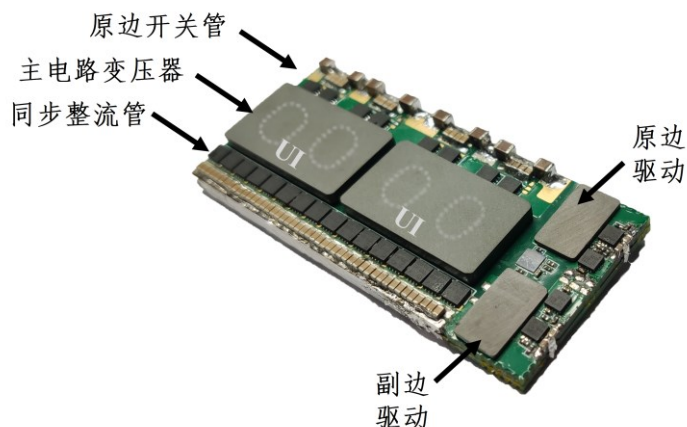


图 3.1 使用谐振驱动时的样机三维图

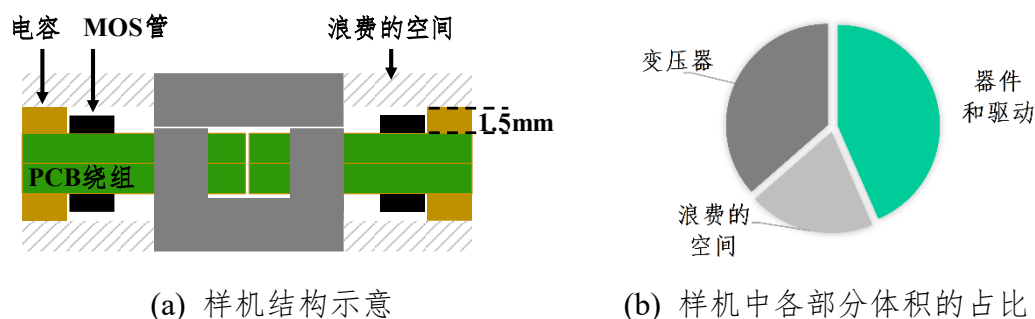


图 3.2 第二章中隔离 DC/DC 样机的结构和体积分布

为了减少因变压器磁芯厚度造成的空间浪费，在设计时需要对其形状进行优化设计。图 3.3 展示了最基本的 UI 磁芯结构，磁芯可看做由磁柱 A、磁柱 B 和上下对称的两个 I 片组成。在平面变压器的设计中，磁柱的厚度可以与 PCB 印刷电路板的厚度相匹配，而 I 片则分布在 PCB 表面，其厚度直接影响着整个变换器的厚度。如图 3.3 所示，在给定的磁柱和绕组宽度设计下，I 片的长度已经确定，此时 I 片形状主要由宽度 W_1 和厚度 d_{core} 两个参数决定，其乘积可视为 I 片区域的等效磁通面积。图 3.3 (b) 为磁通从磁柱 A 出发，经过 I 片流向磁柱 B 时磁通密度分布的有限元仿真结果。当采用 I 片与磁柱等宽的设计时，I 片中的磁通在宽度方向分布相对均匀。但是，由于此时全部的磁通 Φ 在较小的宽度 W_1 内通过，会导致 I 片的厚度 d_{core} 较大。根据上一章节的磁芯截面积和磁通密度设计，若采用 I 片与磁柱等宽的设计，由式(3.1)计算得到的厚度将会达到 5mm 以上。若同时增加磁柱和 I 片的宽度 W_1 ，虽然可以减小 I 片厚度，但在磁柱面积不变的前提下会增加磁柱及其周围绕组的周长，从而导致绕组损耗的增加。因

此,在上一章节的设计中,采用了 I 片宽度大于磁柱宽度的设计,如图 3.4 所示。

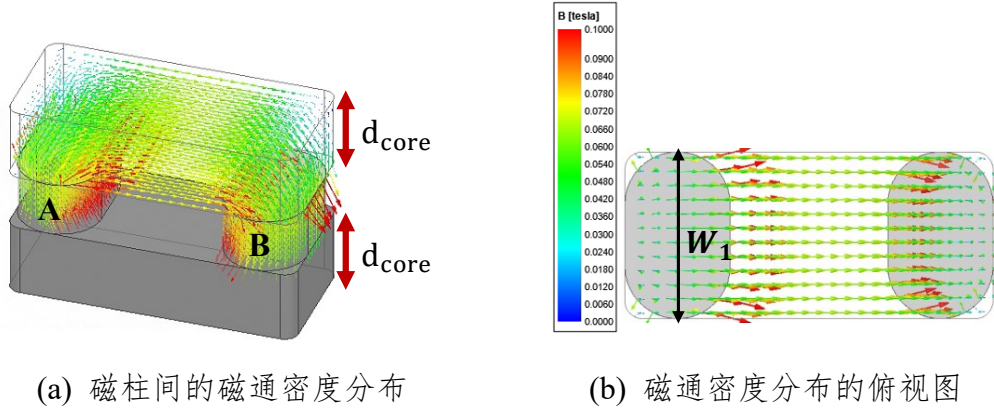


图 3.3 UI 磁芯 I 片与磁柱等宽时的磁通密度分布仿真结果

$$d_{\text{core}} = \frac{\Phi}{B_{\text{max}}} / W_1 \quad (3.1)$$

在图 3.4 (b) 所示的磁芯结构中,磁芯的 I 片在 Y 方向延展的宽度设置为 W_2 。根据 I 片与中间磁柱的相对位置,可以把 I 片分为与磁柱等宽(非延展)、正向延展和负向延展的三个区域,通过每个区域的磁通分别设置为 Φ_C 、 Φ_U 和 Φ_D 。

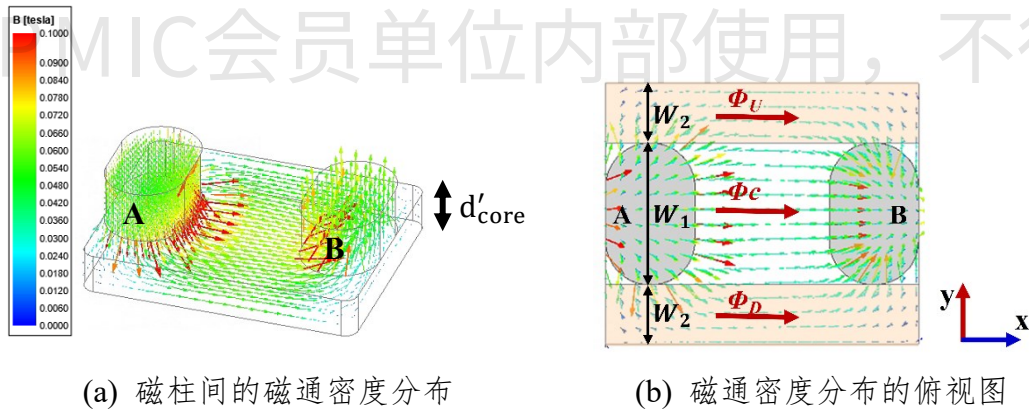


图 3.4 磁芯 I 片宽度大于磁柱宽度时的磁通密度仿真结果

为了分析 I 片中三个区域的磁通分布情况,将其在 Y 方向分成多个等份,建立了如图 3.5 所示的简化磁路模型。在 I 片的非延展区域,磁通从磁柱 A 流向磁柱 B 时,磁通流过的距离近似相等,磁阻定义为 R_{X0} ;而在延展区域,磁通从磁柱 A 到磁柱 B 所经过的路径更长,定义磁柱 A 和磁柱 B 间的磁动势为 F_{AB} 后,分别以 Φ_{U1} 和 Φ_{Un} 所在的磁通支路为例列磁动势方程,得到式(3.2)和式(3.3)。根据磁路模型可知,延展区域的磁阻更大,其单位面积流过的磁通小于非延展区域。而在 I 片延展区域中,越靠近外边缘,磁通经过的路径越长,等效磁阻越大。因

此随着 I 片 Y 方向不断延展, 外侧磁通密度将会越来越小。这一现象与图 3.4 (b) 中 I 片的磁通密度分布仿真结果相对应。因此, 在 I 片 Y 方向延展的结构中, 延展区域的磁通密度始终小于非延展区域, 在设计时只需控制非延展区域的最大平均磁通密度 $B_{\max}$ 即可。

根据上述分析, 对于 UI 型磁芯, I 片 Y 方向延展降低磁芯厚度的本质是降低非延展区域传递的磁通量 Φ_C 。保持该区域最大平均磁通密度不变的情况下, I 片厚度随磁通量 Φ_C 的减小而线性减小, 如式(3.4)所示。

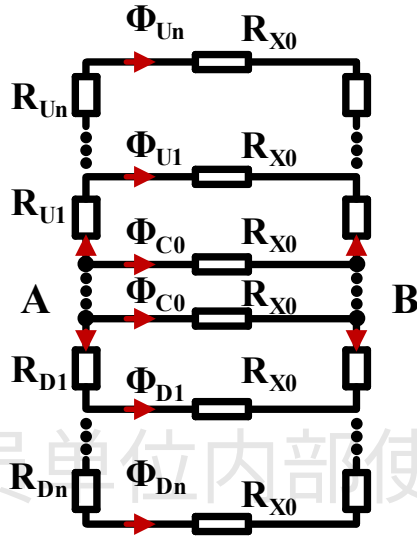


图 3.5 磁芯 I 片中磁通流动的简化磁路模型

$$F_{AB} = \Phi_{C0} R_{X0} = \Phi_{U1} R_{X0} + \Phi_U 2R_{u1} \quad (3.2)$$

$$F_{AB} = \Phi_{C0} R_{X0} = \Phi_{Un} R_{X0} + \Phi_U 2R_{u1} + \dots + (\Phi_U - \sum_{i=1}^{n-1} \Phi_{Un}) 2R_{un} \quad (3.3)$$

$$d'_{\text{core}} = \frac{\Phi_C}{B_{\max}} / W_1 \quad (3.4)$$

对于 Y 方向延展的 I 片, 如图 3.5 所示, 其等效磁阻网络模型为矩阵网络模型, 数学求解过程十分复杂^[129]。为了推导便于工程应用的简化数学模型, 本文将图 3.4 (b) 所示的磁芯结构和磁阻模型进一步简化如图 3.6 所示。根据磁阻计算公式, I 片非延展区域磁阻 R_X 可近似由式(3.5)计算得出, 其中, μ_l 为磁材料的磁导率, d_{core} 为磁芯 I 片的厚度。同样, 磁通流向延展区域时的磁阻可近似由式(3.6)计算得出。代入式(3.2)所示的磁动势约束条件后, 可以计算得到延展与非延展区域磁通的比例关系进而得到 Φ_C 在总磁通中占比的表达式如式(3.7)所示。

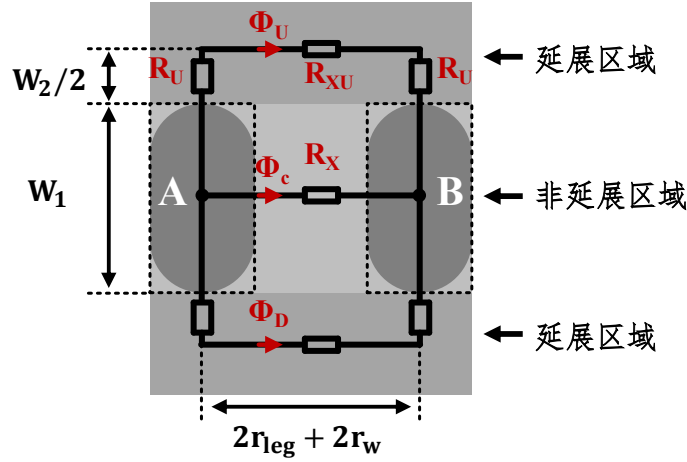


图 3.6 磁芯 I 片 Y 方向延展的磁阻简化模型

$$R_X = \frac{2r_{leg} + 2r_w}{\mu_1 d_{core} \cdot W_1} \quad (3.5)$$

$$R_{XU} = \frac{2r_{leg} + 2r_w}{\mu_1 d_{core} \cdot W_2}, R_U = \frac{W_2/2}{\mu_1 d_{core} \cdot 2r_{leg}} \quad (3.6)$$

$$\Phi_U = \frac{R_X}{R_{XU} + 2R_U} \Phi_C, \quad \frac{\Phi_C}{\Phi} = \frac{R_{XU} + 2R_U}{2R_X + R_{XU} + 2R_U} \quad (3.7)$$

根据式(3.7)所示的磁通分配数学模型，可以绘制出 I 片非延展区域的磁通 Φ_C 随延展宽度 W_2 变化的曲线，如图 3.7 所示。与三维有限元仿真结果对比，根据所提出的数学模型计算得到的磁通误差可控制在 10% 以内，可以在工程应用中作为考虑 I 片在 Y 方向延展宽度的设计指导。

根据图 3.7 所示的磁通变化，当 I 片在 Y 方向的延展宽度增加到一定程度之后，磁芯延展区域分担的磁通 Φ_U 和 Φ_D 难以进一步增加，非延展区域通过的磁通 Φ_C 难以进一步降低。在目前的磁柱和绕组宽度设计中，磁通 Φ_C 的最小极限值约为总磁通的 50%，此时根据式(3.4)，采用 I 片 Y 方向延展的方案，所能够得到的 I 片厚度的最小值仍大于 2.5mm，难以减小样机中因磁芯厚度大于元器件厚度造成的空间浪费。并且，当延展宽度 W_2 增加到 4mm 之后，磁通 Φ_C 下降的速度较为缓慢，I 片宽度在增加但是厚度难以降低，导致磁芯体积大幅增加。因此，在实际设计中，I 片延展宽度 W_2 需设置在 4mm 以内。

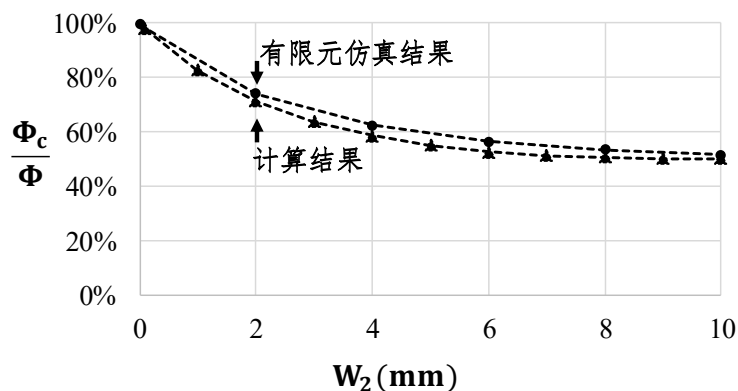
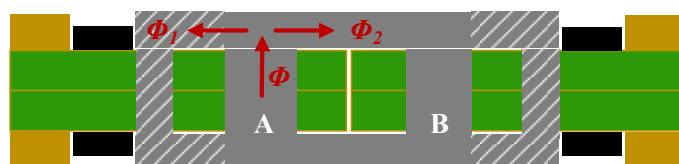
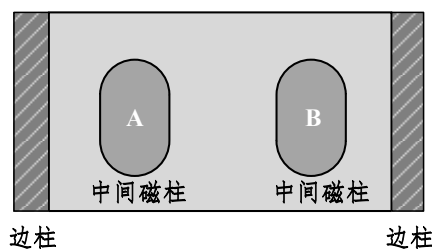


图 3.7 磁芯 I 片非延展区域磁通比例随延展宽度的变化曲线

根据上述分析, 当全部磁通都需要从磁柱 A 横向流动到磁柱 B 时, 仅仅采用 I 片沿 Y 方向延展的方式, I 片的厚度难以降低至 2mm 以内。为了进一步降低 I 片厚度, 需要考虑在 I 片延展的基础上构造额外的磁通路径, 减小从磁柱 A 单向流向磁柱 B 的磁通。基于这个原理, 本章设计了如图 3.8 所示的多窗口 EI 型磁芯结构。该结构在 I 片 Y 方向延展的基础上, 分别在 UI 型磁芯的左右两侧将 I 片进一步沿 X 方向延展, 并增加边柱构造了磁路, 从而使磁通在通过中间磁柱 A 后能够分散为向左流动和向右流动的磁通 Φ_1 和 Φ_2 。此时, 若能使得磁通 Φ_1 和 Φ_2 相等, 便能在 I 片沿 Y 方向延展的基础上, 进一步将 I 片厚度减小 50%。



(a) 磁芯侧视图



(b) 磁芯俯视图

图 3.8 所提出的 I 片多方向延展的多窗口 EI 型磁芯

3.2 多窗口 EI 磁芯的参数设计和磁通调控方法

3.2.1 多窗口 EI 磁芯的磁路模型

传统的 EI 型磁芯中包含一个中间磁柱和两个边柱，共构成两个闭合磁路，在设计时，只需要保证磁芯和气隙在几何结构上对称，就可以实现磁通在两个闭合磁路中的均等分配。但是，在所提出的多窗口 EI 型磁芯中，闭合磁路的数量更多，影响磁通分配的因素更加复杂。为了最大程度减小所需的 I 片厚度，需要对该磁芯中的各部分磁阻进行优化设计，以实现磁通在各磁路中的均等分配。为了对 I 片多方向延展的多窗口 EI 磁芯建立磁通分配的数学模型，首先需要对磁路模型进行简化。图 3.9 为多窗口 EI 磁芯的磁阻回路示意图，其中 F_{Lm} 为变压器绕组产生的磁动势，变压器绕组对称绕制在磁柱 A 和磁柱 B 上，两个中间磁柱上的磁动势激励大小相等方向相反。 R_{XC} 对应图 3.5 中磁通从磁柱 A 经 I 片横向流动至磁柱 B 时的等效磁阻， R_{XA} 和 R_{XB} 分别为 I 片沿 X 方向延展时的横向磁阻， R_{leg1} 和 R_{leg} 分别为边柱和中间磁柱的纵向磁阻。

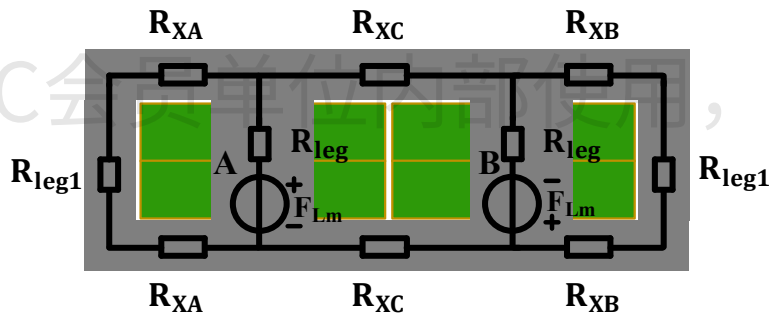


图 3.9 多窗口 EI 型磁芯的磁阻示意图

在高频变压器应用中，为了减小磁芯损耗，常用锰锌铁氧体作为磁芯材料。铁氧体具有较高的磁导率，根据产品数据手册，DMR51W 的初始磁导率大约为真空中磁导率的 900 倍。此时，变压器泄露到空气中的磁通较小，经过磁阻 R_{XA} 和 R_{leg1} 的磁通近似相等。因此，可以将磁通从磁柱 A 出发经左边柱从底部流回时的磁阻合并为 R_{m1} ，磁柱 A 和磁柱 B 之间 I 片的磁阻合并为 R_{m2} ，此时变压器磁芯的磁路模型可以进一步简化如图 3.10 所示。在设计时，磁柱 A 左侧的磁路①和磁柱 B 右侧磁路③采用了对称的结构设计。因此，在分析磁路时，只需对磁路①和磁路②的表达式进行推导，分别得到式(3.8)和式(3.9)。进一步，可以推导出影响磁通 Φ_1 和 Φ_2 分配比例的关系式，如式(3.10)所示。

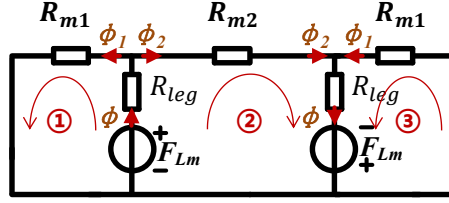


图 3.10 多窗口 EI 型磁芯的磁路简化模型

$$F_{Lm} - \Phi R_{leg} = \Phi_1 R_{m1} \quad (3.8)$$

$$2F_{Lm} - 2\Phi R_{leg} = \Phi_2 R_{m2} \quad (3.9)$$

$$\frac{\Phi_1}{\Phi_2} = \frac{R_{m2}/2}{R_{m1}} \quad (3.10)$$

$$R_m = \frac{L}{\mu S} \quad (3.11)$$

根据式(3.10)可知，在多窗口 EI 磁芯中，磁通 Φ_1 和 Φ_2 的分配比例不受中间磁柱 A 和磁柱 B 部分磁阻的影响，而只与磁通支路磁阻 R_{m1} 和磁阻 R_{m2} 相关。

当磁路①中的磁阻 R_{m1} 等于中间磁阻 R_{m2} 的二分之一时，能够满足磁通通过磁柱 A 后向左和向右均等分配的条件。因此，在磁芯设计时需要重点对这两部分的磁阻进行调配，以满足磁通均匀分配和 I 片厚度减半的要求。式(3.11)为磁阻的定义式，其中 L 和 S 分别为磁路的等效长度和截面积， μ 为磁导率。在实际应用中，铁氧体材料的磁导率难以在不影响磁损特性的前提下灵活调整，因此，目前常用的磁阻调控方法主要有两种，一是不增加额外气隙，仅改变磁芯的形状，另一种则是在磁路中增加气隙并控制气隙的大小。

3.2.2 多窗口 EI 磁芯的磁通调控方法

如图 3.11 所示，若仅在中间磁柱 A 和磁柱 B 上开设气隙，不在 I 片或边柱中增加气隙，影响的主要为磁阻 R_{leg} 的大小，根据式(3.10)，该部分磁阻不影响磁通比例分配。此时，影响磁阻 R_{m1} 和 R_{m2} 的主要为该部分磁芯的形状。在图 3.11 所示的变压器磁芯模型中， r_w 为平面 PCB 绕组的外径，根据第 2 章中的设计，约为 7.5mm。 H_{core} 为磁芯的整体高度，约为两倍的 I 片厚度与 PCB 板厚度之和。 d_{leg1} 是磁芯所增加边柱的宽度，在该模型中，可通过改变 d_{leg1} 调整边柱截面积 S_A 的大小，以改变边柱的磁阻大小。为了探究该调控方法的效果，本小节

建立了磁阻的简化数学模型，以探究边柱截面积对磁通分配和磁通密度的影响。

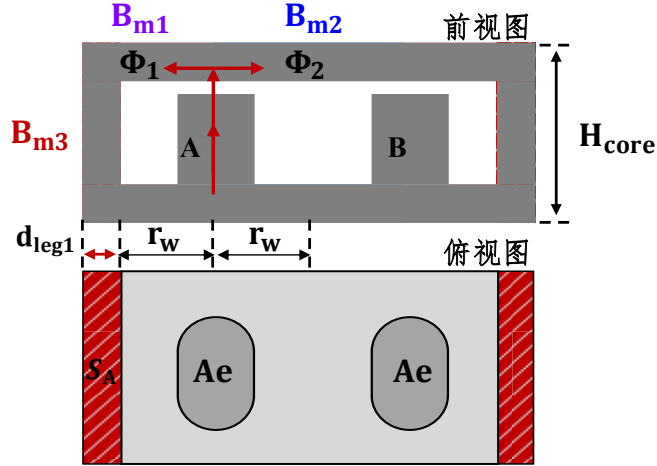


图 3.11 磁路不额外增加气隙时的磁芯结构示意图

如前所述，为了最大程度减小变压器磁芯 I 片的厚度，同时采用了 I 片 Y 方向延展和 X 方向延展构造多窗口 EI 磁芯的措施。为了降低 I 片沿 Y 方向延展时外侧磁通密度逐渐变小的影响，将 Y 方向延展的距离控制在了 4mm 以内。根据有限元仿真分析，此时 I 片 Y 方向最外侧的磁通密度与非延展区域的磁通密度相差在 20% 以内。因此，在建立磁阻计算模型时忽略了磁通密度分布不均匀的影响，此时磁阻 R_{m2} 可根据式(3.12)计算得出。其中， μ_1 为铁氧体的磁导率， A_e 为磁柱的等效磁通面积，当 I 片厚度在 Y 方向延展的基础上进一步通过 X 方向延展减半时，I 片的厚度约为 1.5mm，截面积约为 $0.5A_e$ 。同理，磁通支路中的磁阻 R_{m1} 可根据式(3.13)近似计算得出。进一步，联立式(3.10)、式(3.12)和式(3.13)可以计算出此时磁路②和磁路①中磁通 Φ_2 和 Φ_1 的比值如式(3.14)所示。

$$R_{m2} = 2 \cdot \frac{2r_w}{\mu_1 \cdot 0.5A_e} \quad (3.12)$$

$$R_{m1} = \frac{2r_w}{\mu_1 \cdot 0.5A_e} + \frac{H_{core}}{\mu_1 \cdot S_{core}} \quad (3.13)$$

$$\frac{\Phi_2}{\Phi_1} = \frac{R_{m1}}{R_{m2}/2} = 1 + f_{21} = 1 + \frac{0.5H_{core} \cdot A_e}{2r_w S_A} \quad (3.14)$$

磁阻 R_{m2} 中仅包含横向的 I 片部分，其等效总长度约为 $4r_w$ 。而磁阻 R_{m1} 则包含横向的 I 片磁阻和纵向的边柱磁阻两部分。其中，横向延展的 I 片等效总长度为 $2r_w$ ，恰好为磁阻 R_{m2} 的一半。但是，磁阻 R_{m1} 中纵向边柱磁阻的存在将导

致磁通 Φ_2 和 Φ_1 的比值始终大于 1，如式(3.14)所示。当磁芯厚度 H_{core} 和绕组外径 r_w 确定之后，式(3.14)中的磁通比值主要和边柱的截面积 S_A 相关。在磁通 Φ_2 大于 Φ_1 的情况下，磁通 Φ_2 不能减半，若此时将 I 片厚度减半，将会造成磁通 Φ_2 对应磁芯部分的平均磁通密度增加。磁通密度的增加会造成磁材料磁损密度的快速增加，磁损密度过大时，还可能导致磁芯过热而无法正常工作。为了探究边柱面积 S_A 对磁芯性能的影响，需要建立磁芯中磁通密度分布的数学模型。

如图 3.11 所示，磁阻 R_{m1} 和磁阻 R_{m2} 部分的 I 片截面积相同，但是流过的磁通 Φ_1 和 Φ_2 不相等，因此其平均磁通密度存在差异，分别设置为 B_{m1} 和 B_{m2} 。在磁阻 R_{m1} 所在的磁通支路中，虽然横向流过 I 片和纵向流过边柱的磁通相等，但是其截面积可能不相等。设置边柱截面积 S_A 为变量后，边柱中的平均磁通密度 B_{m3} 可根据 B_{m1} 计算得出。根据式(3.14)中的磁通比例计算公式，可以得到各部分平均磁通密度如式(3.15)所示。

$$\begin{cases} B_{m1} = \frac{1}{2+f_{21}} \cdot B_{\max} \\ B_{m2} = \frac{1+f_{21}}{2+f_{21}} \cdot B_{\max} \\ B_{m3} = \frac{1}{2+f_{21}} \cdot \frac{A_e}{2S_A} \cdot B_{\max} \end{cases} \quad (3.15)$$

其中， $f_{21} = \frac{0.5H_{\text{core}} \cdot A_e}{2r_w S_A}$ ， H_{core} 为磁芯整体厚度， A_e 为中柱的磁通截面积， r_w 为绕组的外径， S_A 为边柱的截面积大小。

进一步，可以绘制出 $B_{\max}$ 设置为 60mT 时磁芯各部分组件实际的平均磁通密度随边柱截面积 S_A 变化的曲线，如图 3.12 所示。当边柱截面积 S_A 较小时，其磁阻较大，使得从磁柱 A 流向磁柱 B 的磁通 Φ_2 远大于流向边柱的磁通 Φ_1 。此时磁通 Φ_1 所对应的 I 片区域的平均磁通密度 B_{m1} 较小。但是，当 I 片厚度减半至 1.5mm 时，磁阻 R_{m2} 所在 I 片的平均磁通密度 B_{m2} 将远大于 60mT。并且，虽然此时边柱中流过的磁通 Φ_1 较小，但是其截面积 S_A 较小，平均磁通密度 B_{m3} 较大，导致磁芯的损耗大幅增加。随着边柱的宽度增加至 1.5mm，边柱的截面积与 I 片的截面积相等，平均磁通密度 B_{m1} 与 B_{m3} 相等，约为 50mT；此时磁通 Φ_2 对应 I 片部分的平均磁通密度 B_{m2} 为 70mT 左右。随着边柱截面积 S_A 的进一步增加，虽然磁通 Φ_2 和平均磁通密度 B_{m2} 可以进一步减小，但是其下降速度将十分缓慢。在图 3.12 所示的计算结果中，当 B_{m2} 从 70mT 减小至 65mT 时，边柱

的截面积将增大至原来的 2.5 倍以上,这使得边柱的宽度大幅增加,导致变压器磁芯的体积变大,削弱多窗口 EI 磁芯的功率密度提升效果。

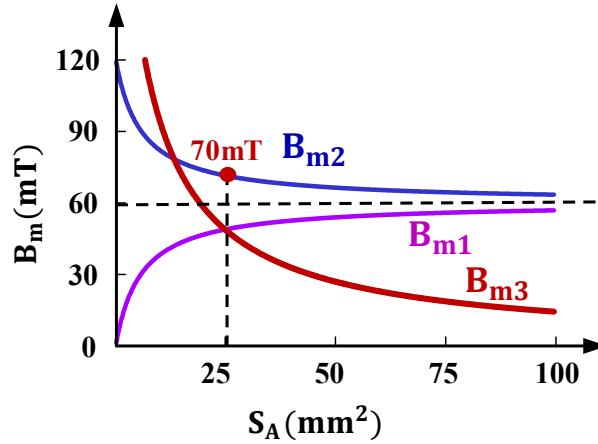


图 3.12 不同边柱面积下的磁芯组件平均磁通密度变化

如前所述,当磁阻 R_{m1} 和 R_{m2} 所在 I 片和边柱中不存在气隙时,由于磁阻 R_{m1} 中存在额外的边柱磁阻,会使得磁阻 R_{m1} 始终大于 R_{m2} 的二分之一,导致磁通 Φ_2 始终大于 Φ_1 。仅通过增加边柱的宽度和截面积降低磁阻 R_{m1} ,能够一定程度上减小磁通 Φ_2 和 Φ_1 的差值,但是效果有限。

因此,可以考虑通过增加磁阻 R_{m2} 使其等于磁阻 R_{m1} 的两倍,实现磁通均等分配的条件。在不改变 I 片截面积的前提下,增加磁阻的方法主要有两种,一是增加磁芯的长度,二是增加气隙。其中,增加磁阻 R_{m2} 所在 I 片的长度会导致整个变压器长度的增加,不利于高功率密度设计。而在磁阻 R_{m2} 中增加气隙时,由于所选用磁材料 DMR51W 的初始磁导率较大,只增加很小的气隙也会造成磁阻 R_{m2} 的迅速变化,精度和误差难以控制。因此使用增加气隙的方法时,需要在磁阻 R_{m2} 和磁阻 R_{m1} 中同时增加气隙来调配磁阻的大小关系,如图 3.13 所示。其中, I 片的厚度和边柱的宽度 d_{leg1} 均设置为 1.5mm,对应截面积约为 $0.5A_e$ 。 x_1 和 x_2 分别为磁阻 R_{m1} 和 R_{m2} 对应磁通支路中气隙的大小。增加气隙后,磁芯各部分的磁阻可根据式(3.16)和式(3.17)计算得出。根据式(3.10)中磁通均等分配的条件,可以求解出气隙 x_1 与 x_2 之间的关系如式(3.18)所示。

在图 3.13 所示的磁芯结构中,气隙 x_1 与 x_2 不仅会影响磁通的分配比例,还会影响变压器的励磁电感感值。根据第 2 章中串联谐振主电路的励磁电感设计和式(3.18)中的气隙大小关系,可以确定多窗口 EI 磁芯中所需的 x_1 与 x_2 的取值,

分别约为 60um 和 134um。

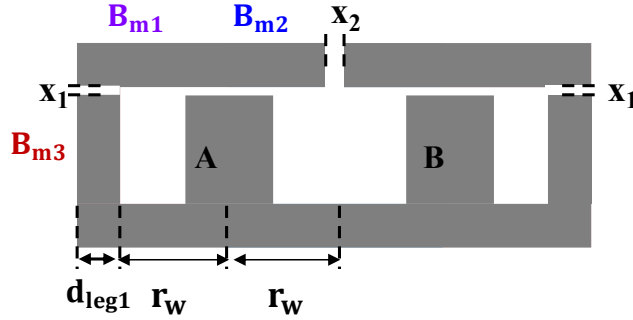


图 3.13 通过气隙调配磁阻大小的磁芯制作方式

$$R'_{m2} = \frac{4r_w}{\mu_1 \cdot 0.5Ae} + \frac{x_2}{\mu_0 \cdot 0.5Ae} \quad (3.16)$$

$$R'_{m1} = \frac{2r_w + H_{core}}{\mu_1 \cdot 0.5Ae} + \frac{x_1}{\mu_0 \cdot 0.5Ae} \quad (3.17)$$

$$x_2 = 2x_1 + \frac{2H_{core} \cdot \mu_0}{\mu_1} \quad (3.18)$$

$$f'_{21} = \frac{R'_{m1}}{R'_{m2}/2} - 1 \quad (3.19)$$

根据上述气隙计算模型，理论上可以实现磁通 Φ_1 和 Φ_2 的完全均等分配，从而在不增加平均磁通密度的情况下将 I 片的厚度减半。并且，此时边柱的宽度只需保持和 I 片厚度相等即可（1.5mm），不会造成磁芯面积的大幅增加。但是，实际磁芯制作时气隙大小会存在误差。为了考虑气隙大小误差对磁通分配和磁通密度的影响，进一步将式(3.14)和式(3.15)中的比例系数 f_{21} 计算如式(3.19)所示，并以气隙 x_1 设置为 60um 时为例，绘制出了磁芯各部分平均磁通密度随气隙 x_2 变化的曲线，如图 3.14 所示。由于边柱和左侧 I 片的磁通和截面积均相同，平均磁通密度 B_{m1} 和 B_{m3} 的曲线重合。三条曲线的交叉点即为理想情况下气隙 x_2 的取值。在该点附近，磁通密度随气隙变化的速度已经较为平缓。当限制磁芯中平均磁通密度最大值为 70mT 以内时，气隙 x_2 的取值范围为 87um-200um，如图中的阴影区域所示。以工业生产时所用的气隙填充胶为例，其制作误差可以控制在 10um 以内，因此，通过同时在磁阻 R_{m1} 和磁阻 R_{m2} 中增加气隙实现磁通均匀分配的制作方法具备可行性。

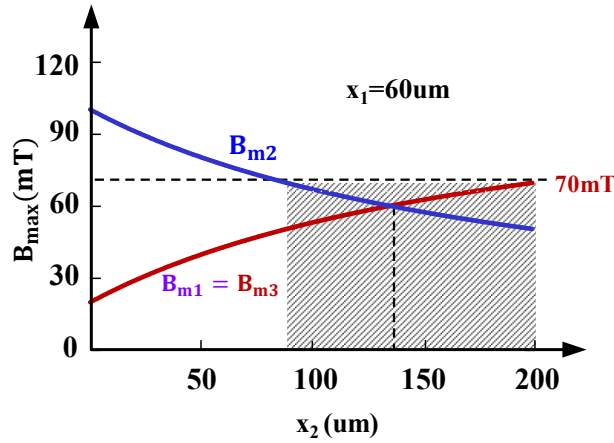


图 3.14 气隙大小对磁芯各部分平均磁通密度的影响

并且，相对于图 3.11 仅在中柱开气隙而不在 I 片和边柱额外开设气隙的制作方式，图 3.13 所示的磁芯结构能够降低单段气隙的长度，从而减小气隙附近的泄露磁场，降低气隙附近绕组的涡流损耗。基于这一原理，还可以考虑进一步将气隙打散成多段气隙，进一步减小磁场的泄露范围，如图 3.15 所示。气隙的设计方法与图 3.13 所示的磁芯结构相同。

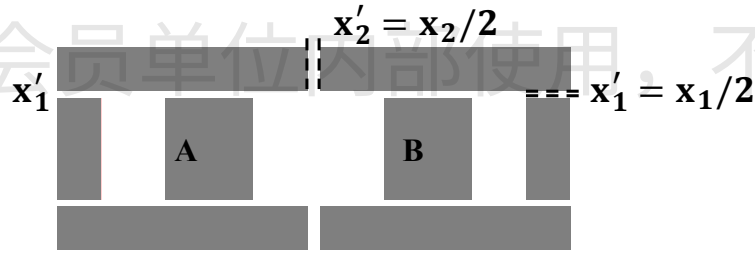


图 3.15 多段气隙的多窗口 EI 型磁芯结构

3.2.3 磁芯结构和磁通调控方法的有限元仿真验证

为了验证所提出的磁通调控方法和 I 片多方向延展的多窗口 EI 磁芯结构，本小节分别对 I 片不增加气隙和 I 片增加气隙的两种磁芯结构进行了有限元仿真验证。为了更加清晰地对比两种磁芯结构的效果，在 I 片不增加气隙的结构中，选取了边柱截面积与 I 片截面积相等的情况，两种磁芯结构中的边柱宽度相同，均为 1.5mm。通过有限元仿真，I 片不增加气隙的磁芯内磁通密度分布如图 3.16 所示。此时，从磁柱 A 出发，经 I 片流向磁柱 B 的磁通 Φ_2 相对较大，该部分 I 片中的平均磁通密度 B_{m2} 达到了 72.8mT 左右，而边柱和边柱相邻 I 片中的平均磁通密度约为 49.7mT。仿真结果与图 3.12 中的计算结果接近，验证了所提出的

磁通分配数学模型。并且，由于高频磁材料 DMR51W 的相对磁导率为真空中的 900 倍左右，而该磁芯结构中仅在中间磁柱 A 和磁柱 B 处开设气隙，因此绕组产生的磁动势几乎全部降落在这两段气隙上。根据励磁电感设计，这两段气隙的长度均在 100 μm 以上。当变换器工作在轻载（输出电流约为 0.5A），变压器磁通最大时，该磁芯结构中的磁场强度仿真结果如图 3.17（a）所示。其中，中柱较大的气隙附近产生了严重的磁场泄露，导致其附近的绕组周围穿过较大的磁通。当变压器工作在 MHz 高频时，较大的磁通变化率会使绕组中存在较大的涡流，使得气隙附近绕组的电流密度大幅增加，如图 3.17（b）所示。此时，根据三维有限元仿真结果，变换器轻载时（输出电流约为 0.5A）的绕组总损耗达到了 0.6W。

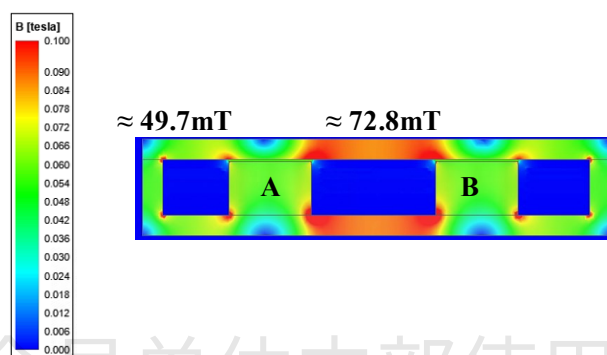
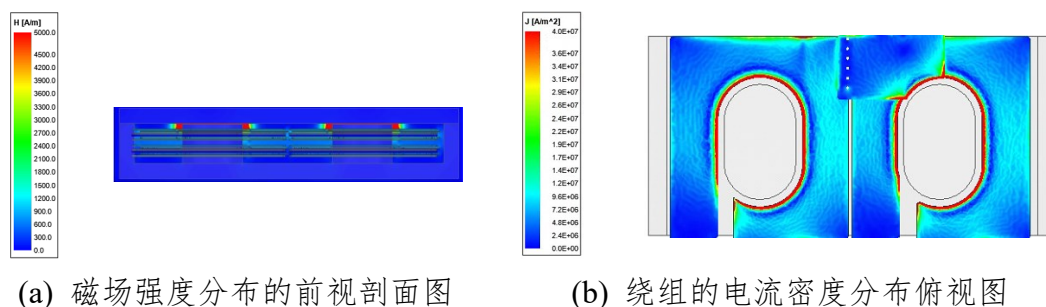


图 3.16 I 片不开气隙时的磁通密度分布仿真结果



(a) 磁场强度分布的前视剖面图

(b) 绕组的电流密度分布俯视图

图 3.17 I 片不开气隙时的磁场强度分布和绕组电流密度分布

对于在 I 片和边柱中增加额外气隙来调控磁通分配比例的磁芯结构，其磁通密度分布如图 3.18 所示。其中，气隙的设置方式与图 3.13 中相同，边柱宽度设置为 1.5mm。根据图 3.18 中的仿真结果，此时该磁芯结构实现了 I 片中磁通向左和向右的均匀分配。因此，在 I 片厚度减半时，磁芯的磁通密度和损耗不会显著增加。使用该磁芯结构时，变压器的磁场强度仿真结果如图 3.19（a）所示。此时，磁芯仅在 I 片的中间位置存在一个大于 100 μm 的水平气隙。在边柱和中间

磁柱处，竖直方向的气隙为 $60\mu\text{m}$ 左右，其漏磁通扩散的距离更小，能够减小其附近绕组中穿过的磁场强度。因此，绕组的总损耗可减小至 0.3W 左右。为了进一步降低气隙附近磁场泄露引起的涡流损耗，可进一步将气隙打散成图 3.15 中所示的多段气隙，每段气隙的大小均减小为原来的一半，此时磁芯中的磁通密度仿真结果如图 3.20 所示。该方法同样能够实现磁通的均匀分配。根据图 3.21 中的磁场强度和绕组电流密度仿真结果，此时绕组周围的磁场强度和绕组中的涡流进一步降低，绕组的总损耗可进一步下降至 0.2W 左右。因此，本文最终选用了图 3.15 所示的 I 片和边柱增加气隙的磁通调配方式和多段气隙的磁芯结构。

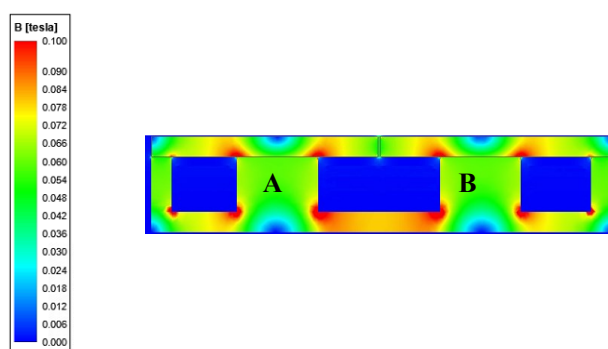
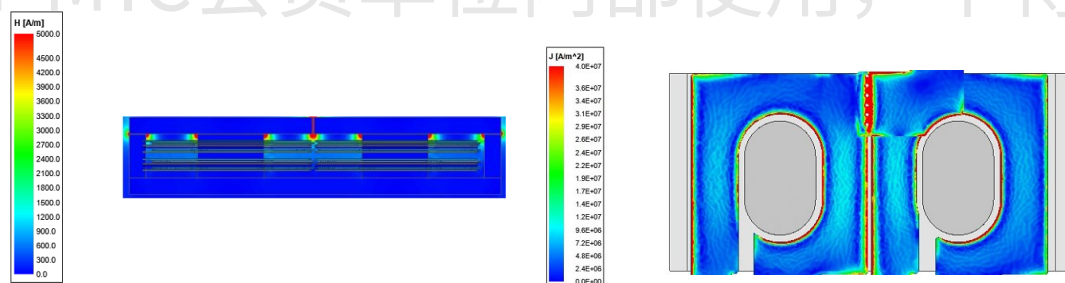


图 3.18 I 片增加气隙调配磁通时的磁通密度分布仿真结果



(a) 磁场强度分布的前视剖面图

(b) 绕组的电流密度分布俯视图

图 3.19 I 片增加气隙调配磁通时的磁场强度分布和绕组电流密度分布

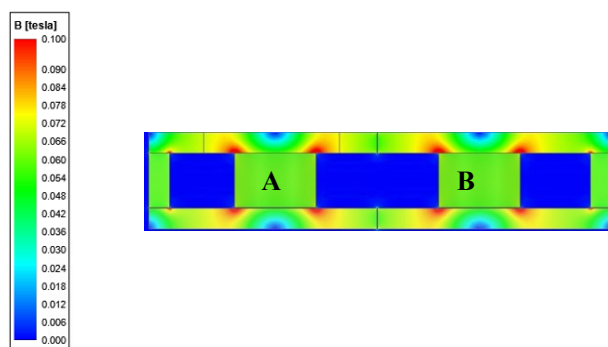


图 3.20 采用多段气隙结构时的磁通密度分布仿真结果

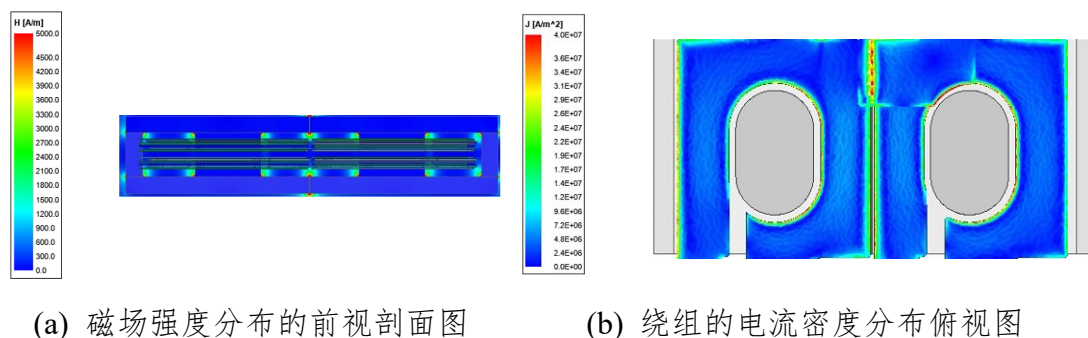


图 3.21 采用多段气隙结构时的磁场强度分布和绕组电流密度分布

3.3 兆赫兹平面变压器绕组的优化设计方法

变压器不仅在体积方面在变换器中占据较大比例，其损耗占比也通常较大。特别是在高降压比低压大电流输出的应用场合中，变压器原边绕组串联的匝数较多，副边绕组承载的电流较大，绕组在高频工作时容易产生较大的涡流损耗。以第二章中 1MHz 380V/12V 的 DC/DC 变换器为例，其满载下的损耗分布如图 3.22 所示。通过使用元胞化技术和谐振驱动技术，样机中器件的导通损耗和驱动损耗均较小。通过选用高频低损的 DMR51W 磁材料并限制其最大磁通密度在 60mT 以内，变压器磁芯的损耗占比也相对较小。但是，当变换器的开关频率提升至 1MHz 时，绕组中的涡流效应更加严重，导致绕组中的电流密度分布极不均匀，使得绕组的交流损耗迅速增加。并且，电流密度分布不均匀增加的交流损耗还会导致更高的绕组温度，从而增大铜箔通流时的电阻率，使得绕组损耗进一步增加。根据损耗分析，在目前的设计中，变压器绕组及线路连接端子的损耗在整机损耗中占据的比例超过 50%。为了进一步提升变换器的效率，本节中将对变压器绕组在 MHz 高频下的涡流损耗进行重点优化。

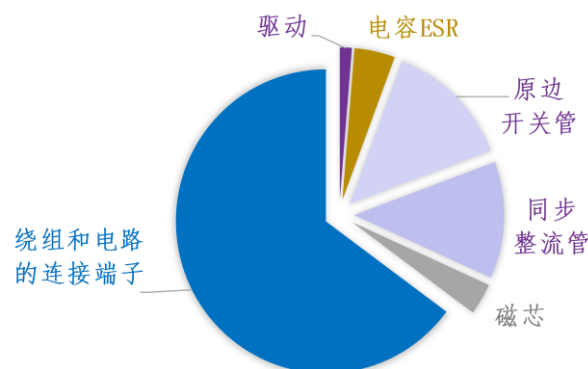


图 3.22 第二章中变换器样机在满载工作时的损耗分解

3.3.1 基于三维有限元仿真的绕组损耗分析

对于 MHz 的高频平面变压器，其绕组损耗难以直接测量，实际工作时的电流密度分布也无法直接观测，因此在分析其涡流损耗分布和产生的原因时需要借助有限元仿真工具。为了更深入地了解绕组具体形状和端子连接方式对损耗的影响，本文针对第二章中变换器的变压器部分建立了三维有限元仿真模型。

在第二章的 380V/12V DC/DC 变换器设计中，单个样机共采用了两个变压器磁芯。两个磁芯中的绕组设计完全相同，原副边绕组的匝比均为 8:1。以单个变压器为例，其绕组的三维示意图如图 3.23 所示。图 3.24 为对应的绕组排布方式。在目前的样机设计中，变换器共需要使用 16 层铜箔，采用了两块八层板的 PCB 来实现，如图 3.23 中的 Board1 和 Board2。每块 PCB 中的顶层铜箔和底层铜箔用以构造焊盘或布置端子，完成器件和变压器绕组的互连，而每块八层板中间的六层铜箔，则主要用来构造变压器的平面绕组。为了简化分析，图 3.23 中省略了 PCB 顶层和底层铜箔中的端子连接层，重点针对十二层绕组的排列关系进行分析。其中，“P”为原边绕组，“S1”和“S2”分别为中心抽头整流结构对应的两个副边绕组。原副边绕组之间采用了‘S2-P-S1-S2-P-S1’的充分交错结构，以降低窗口中磁动势的峰值，减小高频工作时的涡流损耗。

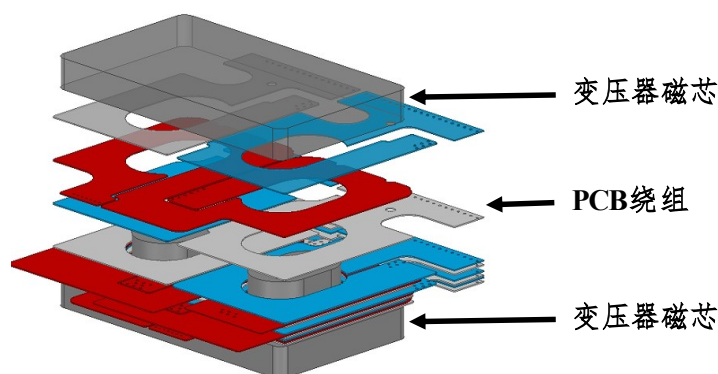


图 3.23 第二章所设计样机的变压器仿真模型

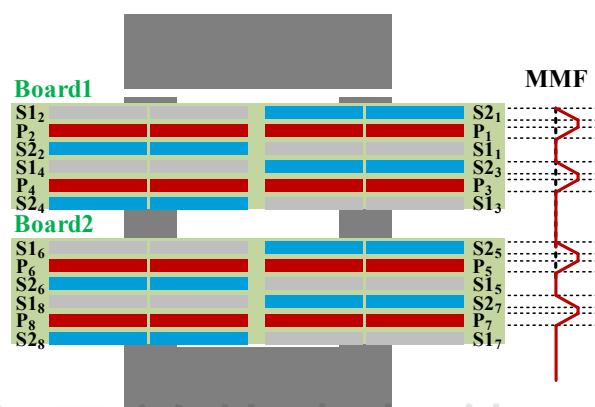


图 3.24 样机所用变压器的绕组排布结构

为了降低变压器副边绕组输出低压大电流时的导通损耗，中心抽头对应的两个副边绕组“S1”和“S2”各采用了 8 匝绕组进行并联。在一个周期内，两个副边绕组轮流导通，如图 3.25 所示。因此，在图 3.23 中，为了尽可能使两个副边绕组在分别导通半个周期时的电路寄生参数一致，两个副边绕组对称布置在变压器磁芯的两个磁柱中。以原边绕组 P 和副边绕组 S2 导通的半个周期为例，此时单个变压器中共有 8 匝串联的原边绕组 P_1 - P_8 和 8 匝并联的副边绕组 $S2_1$ - $S2_8$ 在传输功率。由于此时负责传输功率的原副边绕组总匝数相等，绕组内径和宽度也相同，因此在假定副边绕组均流的前提下，原副边绕组中流过的电流和电流密度理想情况下会较为接近。但是，在 MHz 高频下，并联的多匝绕组难以做到寄生参数完全相同，会出现不均流的问题。并且，高频下的涡流效应也会使绕组中的实际电流密度不均匀。因此，需要利用三维有限元仿真工具对绕组进行更详细的分析。

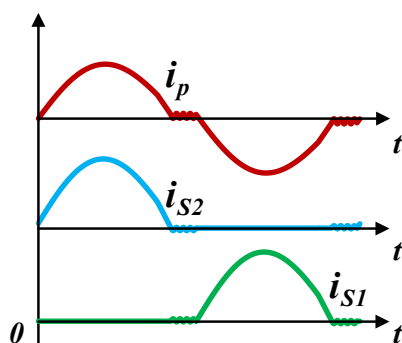


图 3.25 流过变压器绕组的电流波形

以图 3.24 所示的第一层的副边绕组 $S2_1$ 、 $S1_2$ 和第二层的原边绕组 P_1 、 P_2 为例，仿真得到电流峰值时刻该两层绕组的电流密度分布如图 3.26 所示。在图 3.26 (a) 中，虽然此时副边绕组 $S1_2$ 不负责传输功率，但是绕组中仍出现了严重的涡流，产生了绕组损耗。而对于副边绕组 $S2_1$ ，其平均电流密度低于图 3.26(b) 中原边绕组的电流密度。利用有限元仿真工具，可以得到此时并联副边绕组 $S2_1$ - $S2_8$ 的层间电流分布情况，如图 3.27 所示。在 MHz 开关频率下，并联的副边绕组之间电流并不均等。即使不考虑单匝绕组内电流密度不均匀带来的损耗增加，绕组间的电流分配不均等也会使得绕组的实际电流平方和增加，从而使得绕组损耗相对于理想均流情况大幅增加。

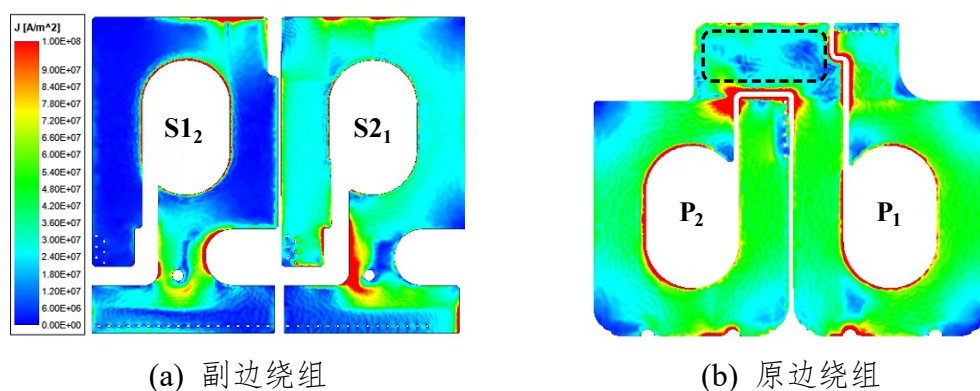


图 3.26 变压器第一层和第二层绕组的电流密度仿真结果

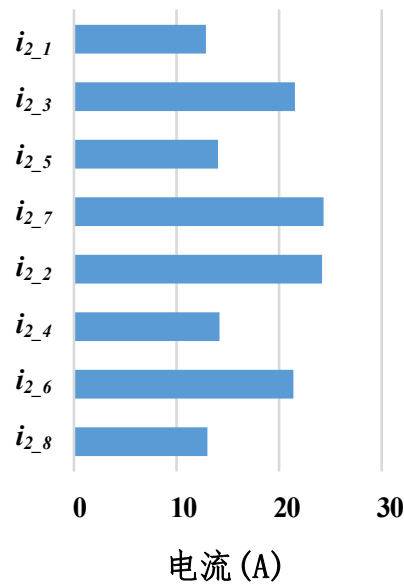


图 3.27 变压器并联副边绕组 S2 的电流分布

进一步，利用三维有限元仿真工具，对原边绕组和副边绕组 S2 导通的半个周期内的变压器绕组损耗分布进行了分析，如图 3.28 所示。当变换器工作在满载时（输出电流约 170A），变压器原边绕组的电流峰值为励磁电流峰值的十倍以上，根据电路仿真，此时励磁电流对原边绕组电流峰值大小的影响可以忽略。因此，在变压器原边 8 匝绕组串联，副边 8 匝绕组并联的情况下，原边绕组和副边绕组流过的电流之和近似相等。原边绕组在电路上为串联关系，因此每匝原边绕组中的电流可以保持相等。但是，根据仿真结果，并联的副边绕组之间会出现电流不均等的问题，从而造成电流平方和的增加，实际损耗应大于理想均流时的损耗。

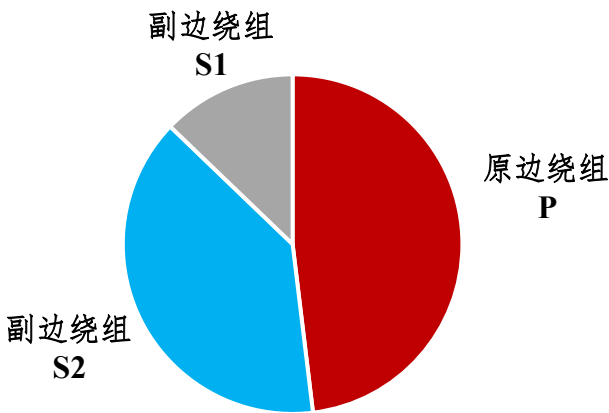


图 3.28 变压器中各部分绕组损耗的占比

但是, 根据图 3.28 中的仿真结果, 串联均流的原边绕组的损耗反而远大于不均流的副边绕组 S2 的损耗。分别对绕组在 MHz 频率下和直流下进行损耗的有限元仿真, 得到交流下与直流下的损耗比值, 定义为交流电阻系数。根据此评估方法, 原边绕组的交流电阻系数约为 1.96, 而副边绕组 S2 的交流电阻系数约为 1.59。相对于副边绕组, 目前原边绕组受涡流效应的影响更为严重。特别是在图 3.26 (b) 所示的原边绕组电流密度分布中, 虚线框标识的位置电流密度非常小, 而在绕组内侧和外侧的边缘位置, 存在较大的电流密度聚集现象。因此, 本小节首先针对损耗占比较大的原边绕组进行分析, 探究其涡流损耗产生的原因和损耗优化的设计方法。

3.3.2 原边绕组串联时的互连结构和绕组形状优化

如前所述, 尽管目前已经采用了 ‘S2-P-S1-S2-P-S1’ 的充分交错结构, 但是仍出现了较为严重的绕组涡流损耗。因此, 仅仅依靠二维的绕组排布设计不能满足 MHz 高频下绕组损耗优化的需要, 需要结合绕组的三维形状对其进行更加精细化的管理。而绕组的形状除了受磁柱形状和绕组宽度的影响, 还需要考虑电路连接端子的影响。在第二章元胞化串联谐振电路的设计中, 为了利用低压器件实现变换器较高的输入电压, 输入侧共使用了 8 个串联的半桥逆变结构, 每个半桥结构对应 2 匝直接串联的原边绕组。因此, 在电路互连时, 主要需要考虑三个连接位置, 分别为第一匝绕组与谐振电容的连接位置, 第二匝绕组和半桥 MOS 管中点的连接位置, 以及两匝绕组之间的互连位置。在平面变压器设计中, 器件只能布置在 PCB 表面的铜层, 而原边绕组却分布在 PCB 内部的铜层。因此, 在实现表层器件和内层绕组的互连时, 不得不使用两组过孔, 如图 3.29 (b) 中的过孔 A 和过孔 B。而对于两匝互连的原边绕组, 若将其分布在 PCB 的不同层, 如图 3.29 (a) 所示, 则还需要一组额外的过孔 C 对其进行连接。增加的过孔 C 不仅会分别在两个原边绕组上增加连接点, 还会占用一部分布板区域, 需要使副边绕组在过孔 C 的位置加以避让。因此, 为了减少电流需要经过的过孔数量, 降低过孔损耗, 在目前第二章的设计中, 采用了两匝原边绕组分布在同一层中的设计方式, 如图 3.30 所示。这样, 就可以直接在同一 PCB 铜层中直接用铜箔端子将两匝绕组互连。

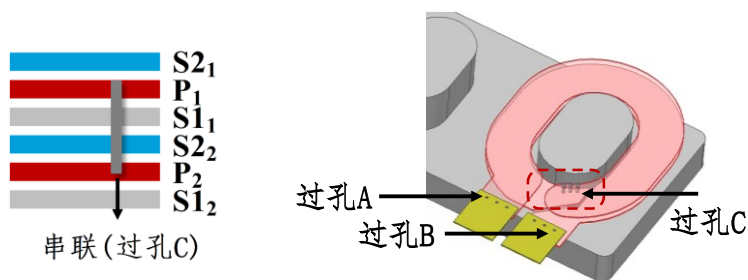


图 3.29 两匝原边绕组分布在不同层时的连接方式

图 3.30 (a) 展示了第二章中所设计的原副边绕组在水平方向上的相对位置。原副边绕组的内径与跑道型磁柱的形状一致，绕组中电流流动时，会更多分布在路径较短的位置。因此，即使绕组的四个顶点设计为直角，电流密度在矩形绕组的四个顶点处分布仍较小。因此，为了减小副边绕组避让过孔 B 时对电流路径和等效电阻的影响，将原边绕组的过孔 B 设置在了副边绕组的一个顶点处，如图 3.30 (a) 所示。此时，用于连接两匝原边绕组的金属铜箔端子为了避让过孔 B，布置在了虚线框中所示的位置，与副边绕组垂直方向不重合。根据图 3.30 (b) 中原边绕组的电流密度仿真结果，相对于原副边绕组上下重合的交错部分，虚线框内未交错的原边绕组端子的电流密度分布更加不均匀。特别是在连接两匝原边绕组的互连铜箔端子区域，根据电流密度分布的色谱图，其中间部分电流密度非常小，但是靠近铜箔两侧边缘的位置产生了十分严重的电流密度聚集。并且，互连铜箔产生的邻近效应也更加严重，端子 A 与之相邻的位置也产生了较大的电流密度聚集。

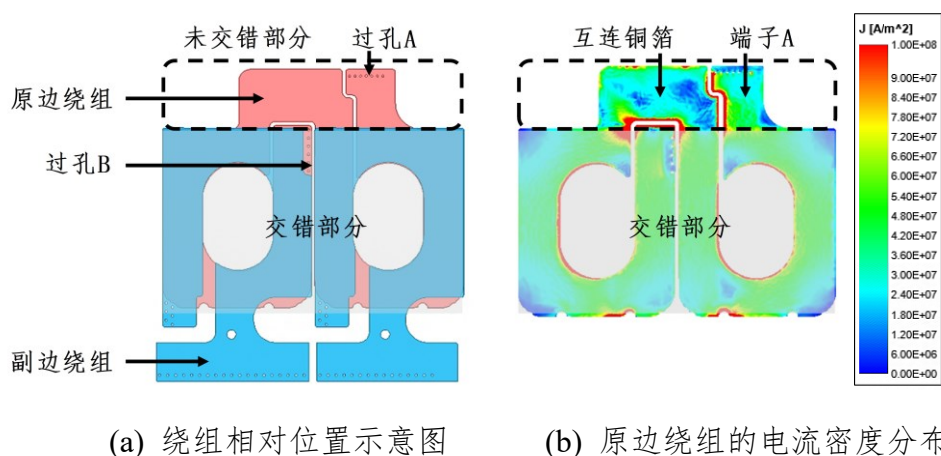


图 3.30 两匝原边绕组分布在同一层 PCB 时的绕组连接方式

为了分析图 3.30 中原边绕组的未交错部分对损耗的影响程度，利用有限元

仿真软件分别对交错部分和非交错部分的损耗进行了仿真计算,得到图 3.30(b)所示原边绕组内的损耗分布如图 3.31 所示。并且,根据绕组形状,计算了交错和非交错部分在原边绕组总长度中的占比。根据图 3.31 中的仿真和计算结果,虽然非交错的部分在绕组的总长度中占比不足 20%,但是其损耗在绕组损耗中占据了 40%以上。

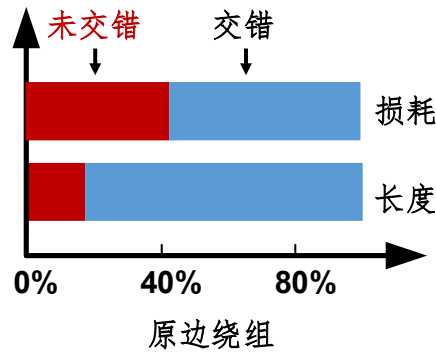
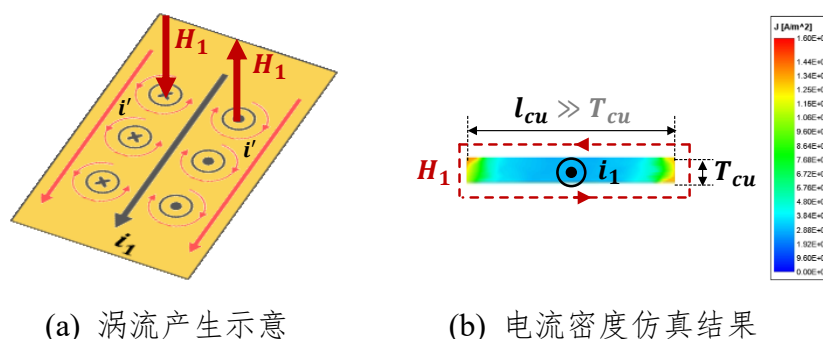


图 3.31 原边绕组 P_1 和 P_2 的损耗分析

为了优化绕组内的电流密度分布,降低绕组损耗,首先需要针对涡流产生的机理进行分析。如图 3.32(a)所示为单层铜箔在流过高频电流时的模型图,其中 i_l 为通过铜箔的交变电流。根据安培环路定理,在该电流周围会产生变化的磁场和变化的磁通。根据楞次定律,此时铜箔中将会感应出涡流来抵消磁通的变化。对于平面变压器的扁平绕组铜箔,其厚度仅为 0.1mm 左右,水平方向穿过的磁通较少,垂直方向的涡流影响也较小。但是,为了提升绕组的通流能力,其宽度通常较大,达到数毫米以上。因此,垂直穿过绕组的磁通相对较大。如图 3.32(a)所示, i_l 两侧垂直向下和垂直向上穿过的磁场 H_1 会在其周围分别产生顺时针和逆时针的涡流 i' ,两侧的涡流均体现出对内侧初始电流 i_l 的抵消效果,而在绕组的外边缘处起到增强电流密度的效果。根据图 3.32(b)中的电流密度仿真结果,此时电流密度将集中分布在绕组的外边缘。

根据第二章中的设计,使用更多层绕组的变压器能够在不显著增加变压器体积的情况下增加其传输的总电流和总功率,从而提升功率密度。但是随着多层 PCB 的使用,图 3.30 中突出的互连铜箔端子会与其他层的互连铜箔出现电流方向相同的排列关系,如图 3.23 和图 3.33 所示。由于 PCB 的整体厚度和铜箔间的距离较小,磁场 H_2 经过的路径长度基本不变但是其包围的电流增加一倍,因

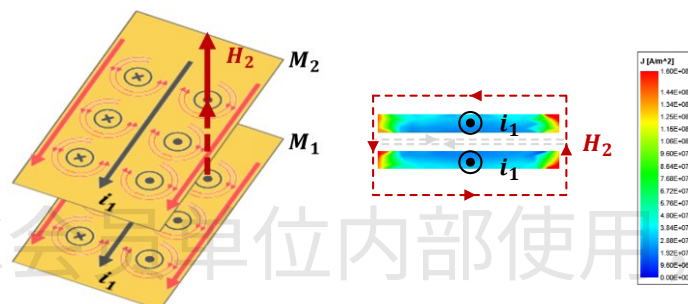
此, 垂直穿过绕组的磁场强度及其变化速度 dH/dt 会大幅增加, 导致涡流效应进一步增强, 绕组边缘位置聚集的电流密度相对于单匝绕组时更高。



(a) 涡流产生示意

(b) 电流密度仿真结果

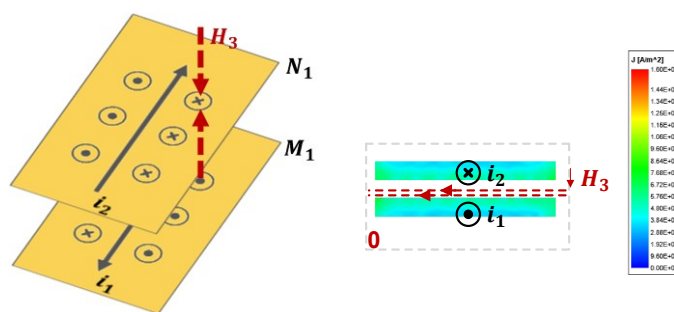
图 3.32 单层铜箔流过交变电流时的电流密度分布情况



(a) 电流方向相同的布置方式 (b) 电流密度仿真结果

图 3.33 多层铜箔电流方向相同时的电流密度分布

为了减小垂直方向的磁场强度, 如图 3.34 所示, 可设置一个电流方向相反, 形状相同的铜箔与通过交变电流 i_l 的铜箔上下交错。当两个铜箔中流过的电流大小接近时, 如图 3.34 (b) 所示, 垂直方向的磁场几乎被全部抵消, 电流密度的水平分布更加均匀。虽然此时在两个绕组之间的水平穿过的磁场会被增强, 但是由于单层绕组铜箔的厚度在 0.1mm 以内, 其截面积中通过的水平磁通较小, 垂直方向产生的涡流较小, 因此总体上绕组损耗能够降低。



(a) 电流方向相反的布置方式 (b) 电流密度仿真结果

图 3.34 铜箔上下交错时的电流密度分布

根据上述分析，目前的设计中，绕组部分能够实现原副边的上下交错，但是原边绕组突出的互连铜箔端子部分未实现交错，甚至在多层原边绕组上下分布放置在同一个磁芯中的时候，出现了多层端子之间垂直磁场强度相互增强的问题。为了解决此问题，本小节提出了如图 3.35 所示的原边绕组端子改进方案。通过将原边绕组的过孔 B 向下移动，可以让互连铜箔端子的位置与副边绕组所在的区域上下重叠，抵消垂直方向的磁场强度。

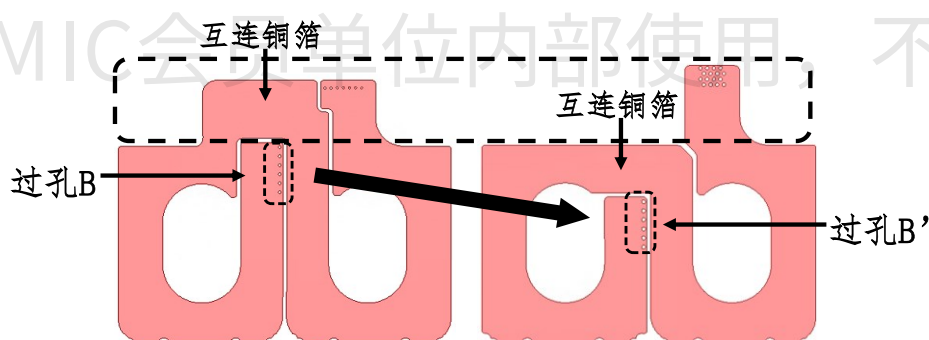
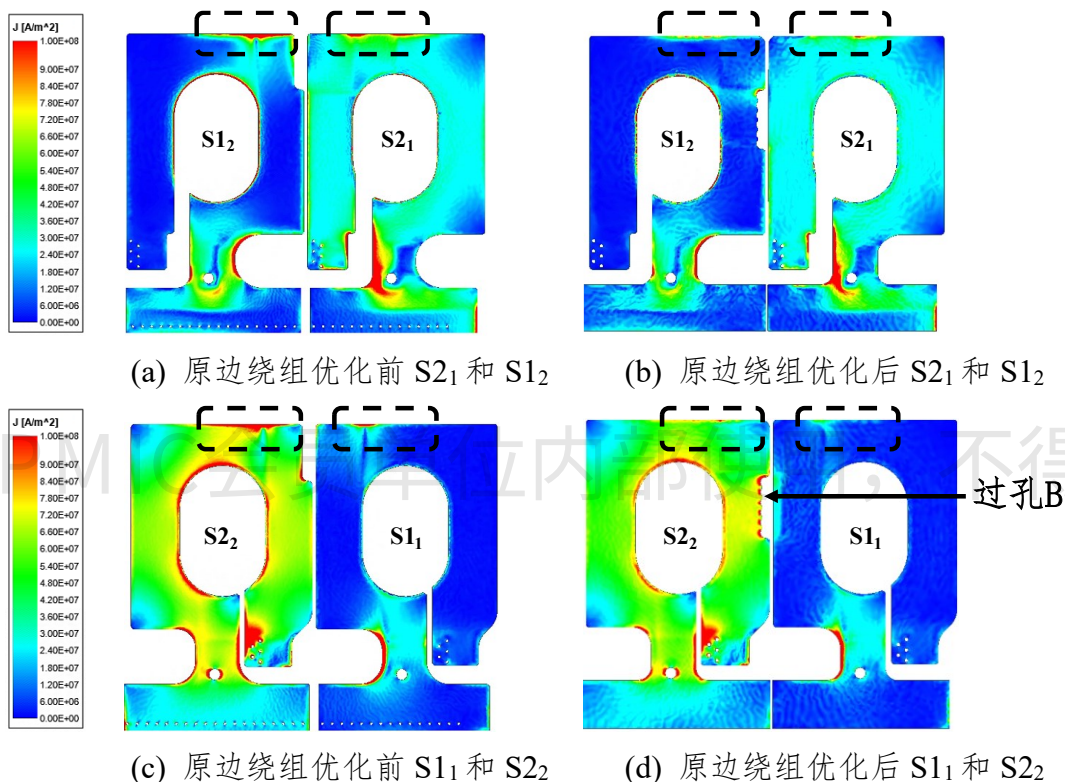
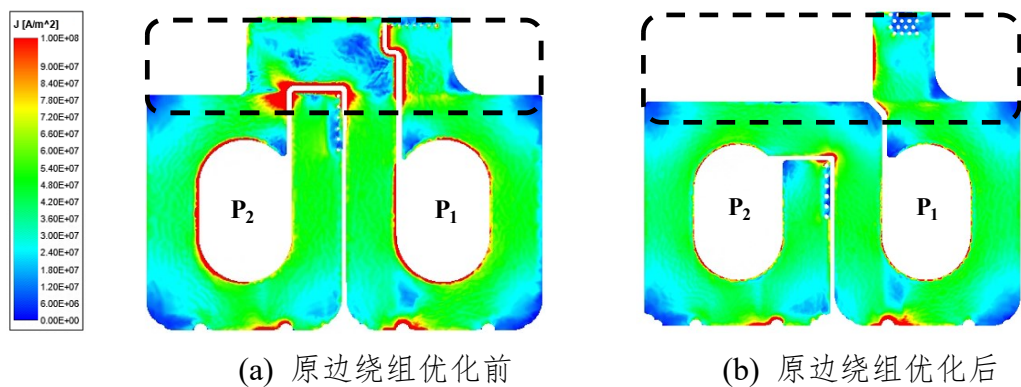


图 3.35 原边绕组的优化方法

为了验证所提出的原边绕组优化方法，利用三维有限元仿真工具，对优化前后变压器绕组的电流密度分布和损耗进行了对比分析。如图 3.36 为优化前后的原边绕组内电流密度分布的对比。通过优化互连铜箔端子的位置，可以使其与副边绕组上下交错，降低垂直方向磁场对涡流的影响，使电流密度分布更加均匀。并且，所提出的绕组结构同时能够实现原边绕组总长度的减小。最终，原边绕组部分的损耗相对于优化之前能够降低 7W 左右，减小 40% 以上。



利用所提出的原边绕组结构,不仅能够降低原边绕组自身的损耗,还能够降低原边绕组附近的磁场强度,从而改善副边绕组中的电流密度分布。以图 3.36 中原边绕组上下相邻的副边绕组为例,在图 3.37 中对比了原边绕组优化前后副边绕组中的电流密度分布。图 3.37 (a) 为第一层副边绕组 S_{21} 和 S_{12} 在原边绕组优化前的电流密度分布。由于图 3.36 (a) 中虚线框位置的原边绕组端子累积了较大的磁动势,其垂直方向变化的磁场强度会造成相邻副边绕组中的涡流,造成电流密度的聚集。采用所提出的原边绕组结构之后,虚线框位置的垂直磁场强

度将大幅下降,从而使副边绕组中的电流密度分布更加均匀,如图 3.37 (b) 的虚线框所示。同样的,如图 3.37 (c) 和图 3.37 (d),经过原边绕组优化后,在原边绕组下方第三层的副边绕组 S1₁ 和 S2₂ 内,其虚线框对应位置的电流密度分布也会更加均匀。但是,原边绕组优化过程中过孔 B 位置的下移则会对副边绕组的电流密度分布造成一定负面影响,使副边绕组在过孔 B 附近出现一定的电流密度聚集,如图 3.37 (d) 所示。经过有限元仿真分析,副边绕组虚线框中电流密度降低带来的好处大于过孔 B 附近电流密度聚集的影响。因此,仅通过原边绕组端子的优化,副边绕组的损耗也能下降 10% 左右。

3.3.3 副边绕组与器件互连的端子设计方法及均流优化

在原边绕组端子优化设计后,重新利用有限元仿真工具对并联的副边绕组间的电流分布进行了分析,如图 3.38 所示。此时,以副边绕组 S2 为例,其并联的 8 匝绕组之间的电流分布仍很不均匀。绕组间的不均流会造成电流平方和的增加,不仅会使绕组自身损耗增加,还会导致与其串联的副边同步整流管的导通损耗增加。根据式(3.20)和式(3.21),可以计算出绕组间不均流时,电流平方值相对理想均流时所增加的比例 σ_e 。根据图 3.38 中的仿真结果,在仅优化原边绕组的设计中,副边绕组间不均流所增加的电流平方值仍达到了 8.3%,存在较大的提升空间。

$$i_{ave} = \frac{1}{8} \sum_{i=1}^8 i_{2_i} \quad (3.20)$$

$$\sigma_e = \frac{\sum_{i=1}^8 i_{2_i}^2}{8i_{ave}^2} - 1 \quad (3.21)$$

对于并联绕组间的均流问题,现有的分析方法多从绕组排布的角度进行优化^[121,122]。根据现有的文献研究,在绕组厚度和绕组间距均匀分布的情况下,相对于 S-P-S-P 的绕组排布方式,P-S-S-P 或者 S-P-P-S 的排布方式能够实现更好的并联均流效果。将这种排布方式应用到本文所设计的中心抽头整流结构的变压器中时,其变压器绕组由图 3.24 优化为图 3.39 所示的排布结构。其中,两个变压器磁柱采用对称设计,在右侧磁柱中,变压器绕组的排布方式为 S1-P-S2-S2-P-S1,左侧磁柱中的变压器绕组排布方式为 S2-P-S1-S1-P-S2。为了验证这种排布方式对绕组间电流分布的影响,首先采用了二维有限元仿真软件进行检验。以右侧磁柱中的四匝副边绕组 S2 为例,其电流分布如图 3.40 所示。通过二维磁场仿真验

证，该排布方式理论上能够实现副边绕组间较好的均流效果。

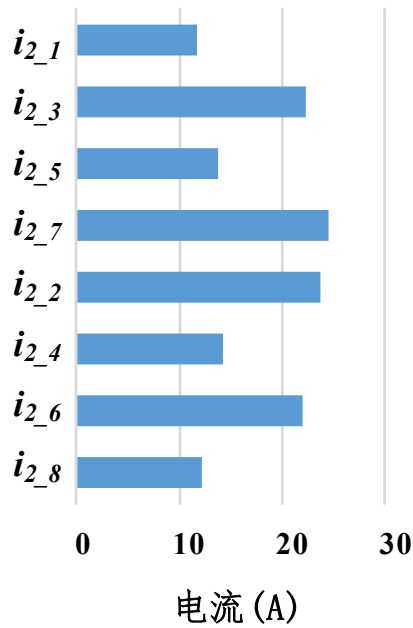


图 3.38 原边绕组优化后并联副边绕组 S2 的电流分布

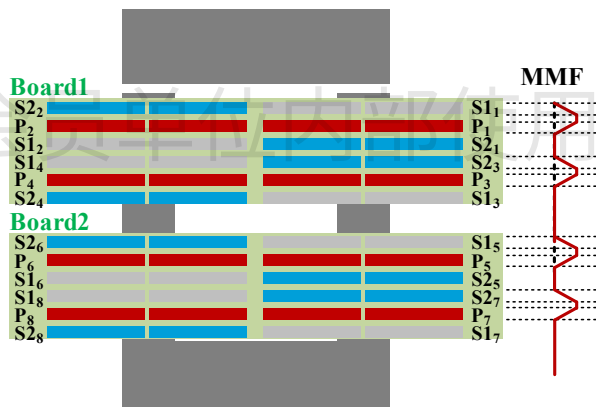


图 3.39 优化后的变压器绕组排布方式

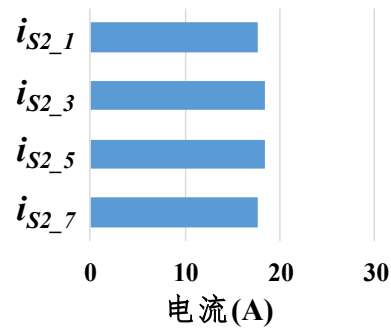


图 3.40 绕组排布方式优化后的副边绕组电流分布（二维磁场仿真）

将优化后的绕组排布方式运用到实际的 PCB 设计中，可以得到变压器的三

维仿真模型,并进一步得到三维磁场仿真下的副边绕组电流分布结果,如图 3.41 所示。但是,相对于图 3.40 中的理想二维模型仿真结果,三维模型仿真下副边绕组之间再次出现了不均流问题。因此,仅采用传统的绕组排布优化方法,无法保证高频变压器设计中绕组间的均流。

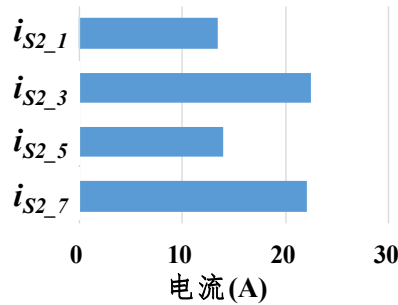


图 3.41 绕组排布方式优化后的副边绕组电流分布 (三维磁场仿真)

为了解决变压器并联绕组间不均流的问题,本小节进一步从绕组具体形状设计和绕组寄生参数的角度进行了分析。根据图 3.41 中电流分布的三维有限元仿真结果,变压器右侧磁柱 Board1 中副边绕组 $S2_1$ 的电流小于 $S2_3$ 的电流, Board2 中副边绕组 $S2_5$ 的电流小于 $S2_7$ 的电流。由于 Board1 和 Board2 采用了相同的变压器绕组设计, Board1 和 Board2 中的电流密度分布较为接近。因此,在分析副边绕组不均流的原因时,可直接选取 Board1 中的副边绕组 $S2_1$ 和 $S2_3$ 进行对比分析,如图 3.42 所示。其中 $S2_1$ 为蓝色绕组, $S2_3$ 为灰色绕组。

图 3.43 为副边绕组的并联连接方式。在高降压比低压大电流输出的应用场合中,需要多个输出绕组和多个同步整流管并联来降低导通损耗。若采用图 3.43 (a) 所示的绕组和同步整流管分别并联后再串联的连接方式,绕组和器件的连接端子处将会汇聚非常大的交变电流,从而产生较大的端子损耗。因此,本文选取了图 3.43 (b) 所示的直流侧并联的连接方式。每匝副边绕组和各自对应的同步整流管串联后,在邻近的输出滤波电容处,先整流为直流再进行并联。该连接方式在实际电路布局中如图 3.42 所示,副边绕组 $S2_1$ 和 $S2_3$ 分别通过过孔 $V2_1$ 和 $V2_3$ 与各自的整流器件连接,通过这种方式,可以减小每个绕组和整流器件连接处的交变电流,从而降低连接端子的损耗。

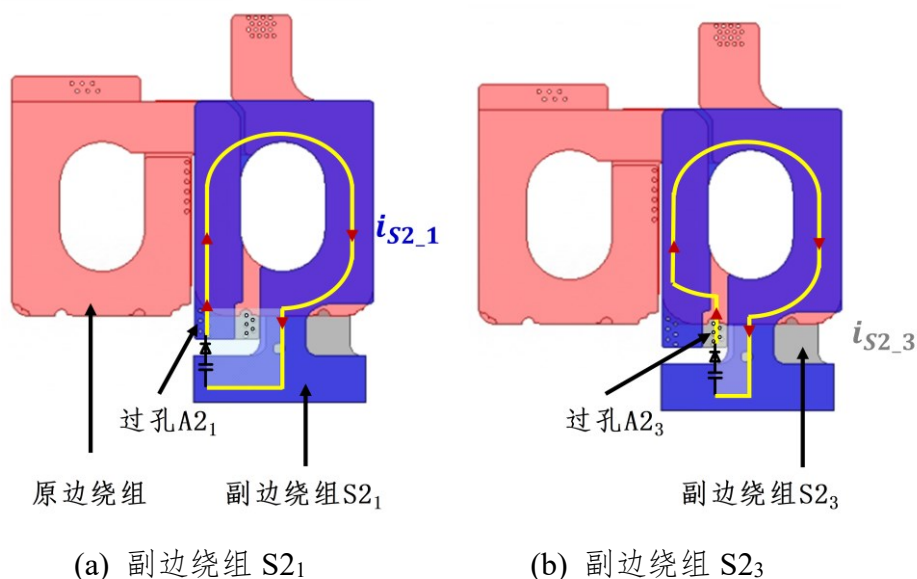


图 3.42 副边绕组的形状及位置

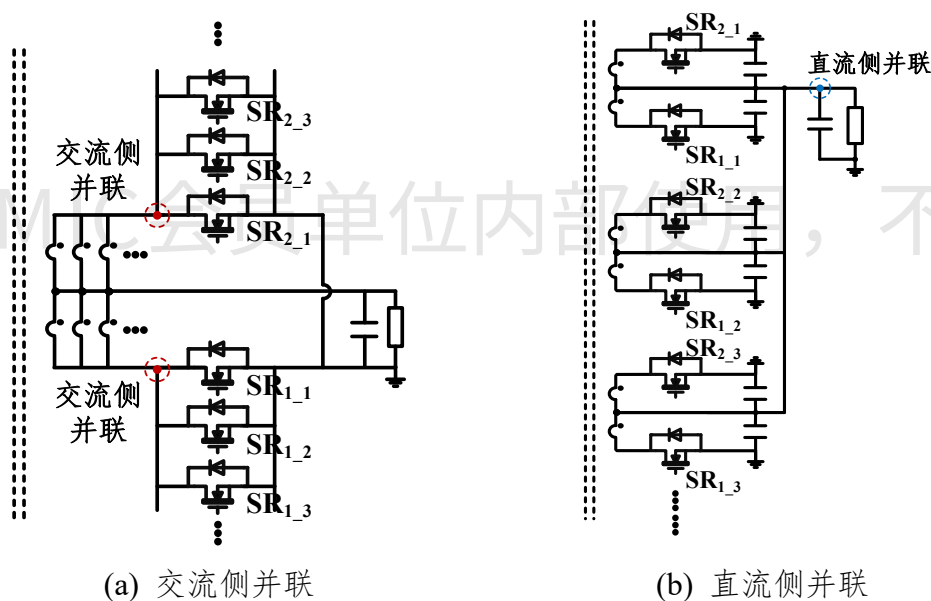


图 3.43 副边绕组和副边同步整流管的并联连接方式

但是，在副边绕组与器件连接的整流回路中，会存在一部分区域难以和原边绕组上下交错，如图 3.42 中的阴影区域所示。由于每个整流器件只能分布在平面 PCB 的表层，其位置各不相同。因此，副边绕组 S_{2_1} 和 S_{2_3} 与整流器件连接的过孔 A_{2_1} 和 A_{2_3} 的位置也不同，其整流回路未与原边绕组交错的阴影区域的面积大小也存在较大差异。根据图 3.37 的副边绕组电流密度分布，未交错的阴影区域中同样会因为较大的垂直磁场强度而产生电流密度的严重聚集。另一方面，这

部分较大的磁场强度还会造成磁场能量的增加,等效为该部分绕组上寄生电感的增加。此时,副边绕组 $S2_1$ 和 $S2_3$ 并联的等效电路如图 3.44 所示。其中, V_{2_1} 和 V_{2_3} 为副边绕组的感应电动势,在 P-S-S-P 或 S-P-P-S 的完全对称的结构中可近似视为相等。在实际电路工作中,副边同步整流管工作在同步整流模式,可以等效为电阻元件,进一步将其与绕组中的寄生电阻合并,简化为图 3.44 中的 R_{2_1} 和 R_{2_3} 。 L_{k2_1} 和 L_{k2_3} 分别为副边绕组 $S2_1$ 和 $S2_3$ 中因磁场能量未完全抵消而产生的寄生电感。

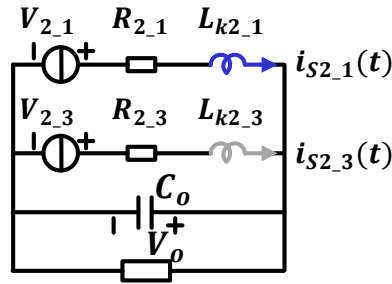


图 3.44 副边绕组 $S2_1$ 和 $S2_3$ 并联时的等效电路

根据图 3.44 中绕组并联的等效电路模型分别对两个副边绕组回路列基尔霍夫电压方程,可以得到式(3.22)和式(3.23)。根据图 3.42 所示的绕组形状,副边绕组 $S2_1$ 和 $S2_3$ 采用了相同的绕组内径和线宽,同步整流管采用的型号也保持一致,因此两个回路中的电阻 R_{2_1} 和 R_{2_3} 能够保持近似相等。但是,由于过孔位置的不同,副边绕组 $S2_1$ 未与原边交错面积明显大于 $S2_3$ 中未交错的面积,从而导致 L_{k2_1} 大于 L_{k2_3} 。根据式(3.22)和式(3.23),在开关频率较低的时候,绕组中的电流变化率 di_{S2_1}/dt 和 di_{S2_3}/dt 相对较小,此时绕组间的电流分配主要受绕组回路寄生电阻 R_{2_1} 和 R_{2_3} 的影响,理论上能够实现较好的均流效果。但是随着绕组频率的不断提升,电流的变化率大幅增加。此时, L_{k2_1} 和 L_{k2_3} 的大小关系对绕组间的电流分配的影响将越来越大。

$$V_{2_1} - i_{S2_1}(t)R_{2_1} - L_{k2_1} \frac{di_{S2_1}(t)}{dt} = V_o \quad (3.22)$$

$$V_{2_3} - i_{S2_3}(t)R_{2_3} - L_{k2_3} \frac{di_{S2_3}(t)}{dt} = V_o \quad (3.23)$$

为了验证上述所提出的绕组并联模型,在不同开关频率下,对图 3.39 中只改变绕组排布方式不改变副边绕组端子连接方式的变压器结构进行了三维有限

元仿真,如图 3.45 所示。在开关频率接近 0 的时候,副边绕组 $S2_1$ 和 $S2_3$ 中的电流近似相等,均为 18A 左右,此时电阻的影响为主导。但是随着开关频率的逐渐增加,电感的影响逐渐变为主导,由于副边绕组 $S2_1$ 的端子寄生电感更大,其电流变得越来越小。在接近 1MHz 的开关频率时,副边绕组 $S2_1$ 中的电流远小于 $S2_3$ 中的电流。

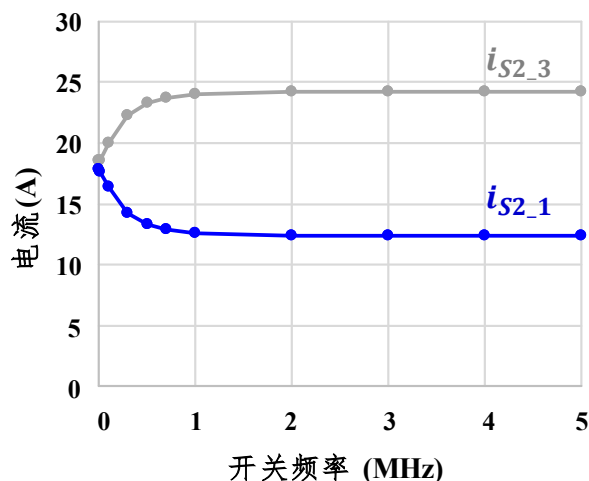


图 3.45 副边绕组 $S2_1$ 和 $S2_3$ 中电流分配随开关频率的变化曲线

根据上述绕组并联模型和有限元仿真结果可知,在目前的副边绕组设计中,绕组间的直流阻抗已经能够保持近似相等,造成其绕组间不均流的主要原因是绕组寄生电感的不同。因此,增强副边绕组寄生电感的一致性成为重点优化方向。

根据图 2.21 (b) 所示的样机设计,为了实现高功率密度,目前变换器副边的 32 颗同步整流管已经紧密排列,很难在不影响功率密度的情况下改变其位置。为此,本节提出了如图 3.46 所示的副边绕组端子优化方法。其中,将过孔的位置移动至原副边绕组上下交错的区域,并在 PCB 的顶层设置一个端子与副边同步整流管的焊盘直接相连。通过这种方式,副边绕组的两个连接端子可以自行上下交错。此时,副边绕组 $S2_1$ 和 $S2_3$ 所对应的电流回路如图 3.47 所示。端子一进一出的电流大小相等,方向相反,通过端子的上下交错,能够大幅抵消交变电流产生的垂直磁场强度,从而减小磁场能量和寄生电感。并且,此时副边绕组 $S2_1$ 和 $S2_3$ 的电流路径长度和电流路径的形状近似相同,寄生电感的一致性也会更好。此外,由于过孔位置的移动,内层的副边绕组在与输出滤波电容连接的时候不再需要避让过孔,可以在保持交错的情况下进一步增大内层绕组端子的宽度,如图

3.49 (b) 所示。

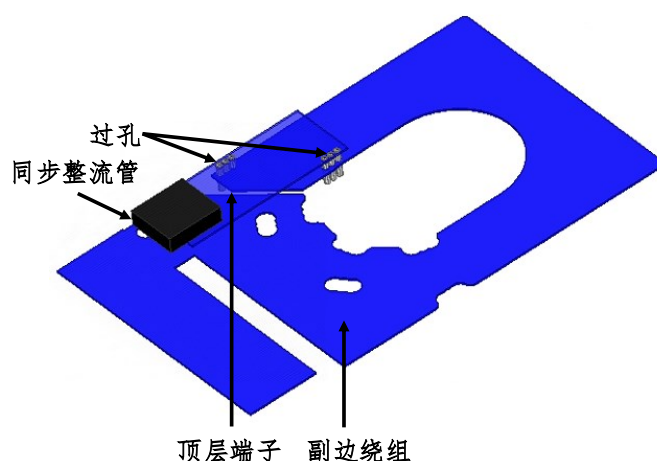
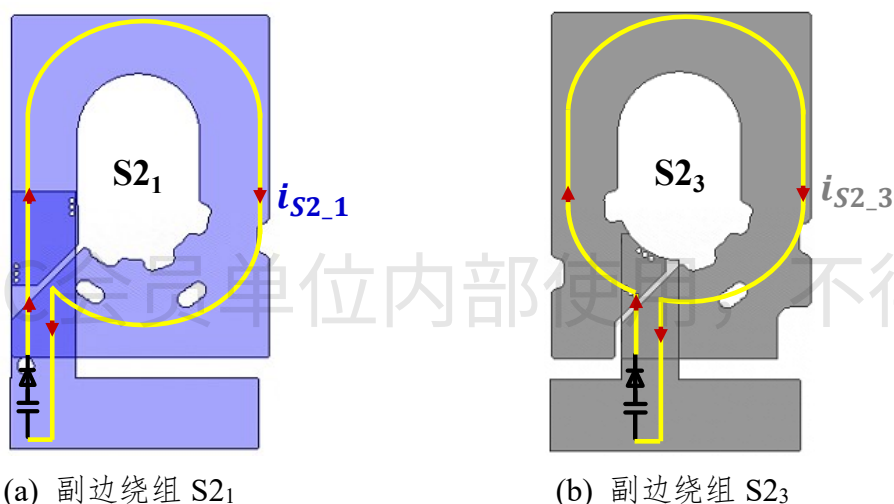


图 3.46 所提出的副边绕组优化方法



(a) 副边绕组 $S2_1$

(b) 副边绕组 $S2_3$

图 3.47 副边绕组端子优化后的电流路径示意图

采用所提出的副边绕组端子优化方法，并结合图 3.39 中的原副边绕组完全对称的排布方式，重新建立了变压器模型并进行了三维有限元仿真。此时，并联副边绕组间的电流分布如图 3.48 所示。相对于图 3.38 中优化前的电流分布，所提出的副边绕组优化方法能够大幅改善并联绕组间的均流度。将图 3.48 中的电流分布结果代入式(3.21)中可知，此时绕组电流平方和相对于理想均流的情况仅增加了 0.9%。因此，副边绕组和副边同步整流管因不均流而增加的导通损耗将得到大幅降低。

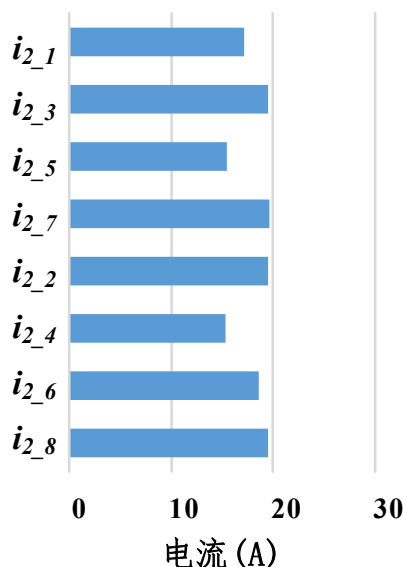


图 3.48 副边绕组端子优化后的电流分布三维仿真结果

为了验证所提出的副边绕组优化方法对于损耗减小的效果,通过三维有限元仿真对优化前后的副边绕组进行了对比评估,如图 3.49 所示。以副边绕组 $S2_1$ 和 $S2_3$ 为例,经过副边绕组端子优化后,其绕组间的电流密度分布更为接近。并且,端子上下交错能够对垂直磁场强度产生抵消效果,其绕组在虚线框所示的电流密度聚集问题也得到了大幅改善。相对于优化之前,优化后的副边绕组损耗能够降低 20%以上。同时,并联同步整流管的导通损耗也因为均流度的提升,能够降低 6%以上。

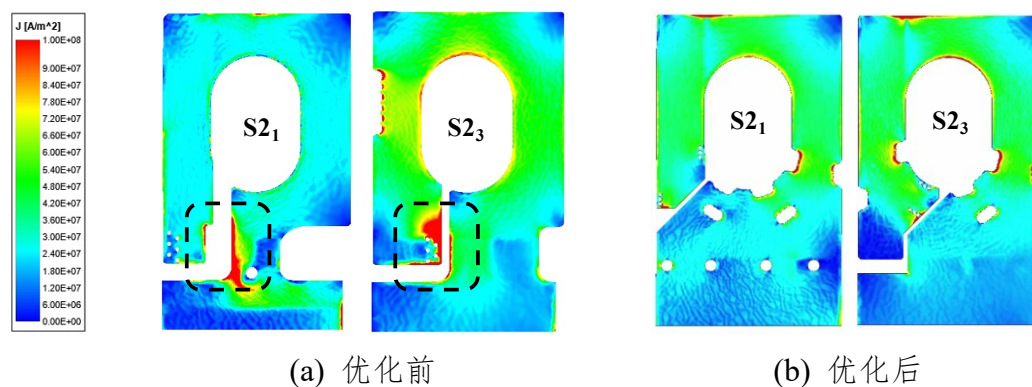


图 3.49 副边绕组端子优化前后的电流密度分布仿真对比

3.4 实验验证

为了验证本章节所提出的基于 I 片多方向延展的多窗口 EI 型磁芯设计,以及原边和副边绕组端子的优化设计方法,本节将设计三台变换器样机,依次检验

所提出的优化设计方法的效果。其中，第一台样机使用与第2章中样机相同的变压器绕组设计，仅利用 I 片多方向延展的多窗口 EI 型磁芯替代原来的 UI 型变压器磁芯；第二台样机在第一台样机使用多窗口 EI 型磁芯的基础上，仅对变压器的原边绕组互连端子进行优化；第三台样机在第二台样机的基础上，增加副边绕组端子的优化设计方法，进一步降低变压器绕组的损耗。

3.4.1 多窗口 EI 磁芯设计方法的实验验证

利用所提出的 I 片多方向延展的多窗口 EI 型磁芯代替第二章中的传统 UI 型磁芯后，制作了如图 3.50 所示的 1MHz 380V/12V 元胞化 DC/DC 变换器样机。与第二章中的样机相比，由于增加了多窗口 EI 磁芯中的边柱，变换器仅在长度上从 76.5mm 增加到了 84mm，宽度保持不变。但是，如图 3.51 所示，利用 I 片多方向延展的多窗口 EI 型磁芯，能够将 I 片的厚度从 3mm 降低到 1.5mm，从而大幅减小因磁芯厚度过高浪费的空间。此时，整体样机的厚度由上下各 1.5mm 的 I 片和 3.5mm 左右的 16 层 PCB 板决定，整体厚度约为 6.5mm。

仅限PMIC会员单位内部使用，不得外传

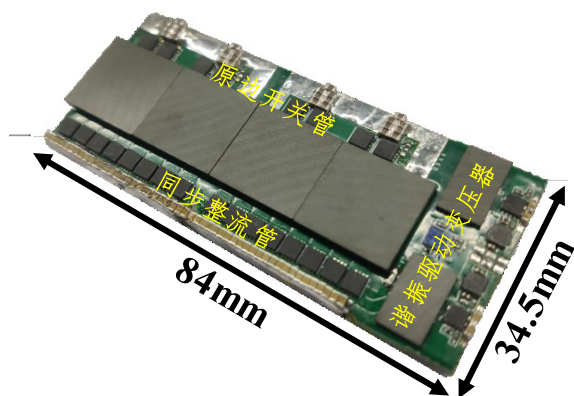
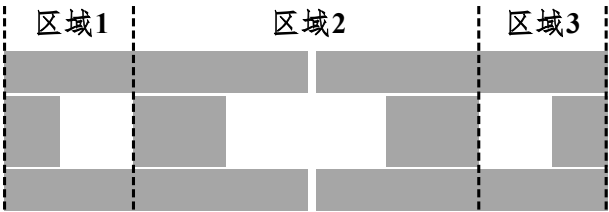


图 3.50 基于所提出多窗口 EI 型磁芯变压器的样机



图 3.51 样机厚度对比图

为了验证所提出的磁通调控方法，如图 3.52 所示，对变压器工作时磁芯的热分布进行了实验测试。图 3.52 (a) 为磁芯的侧面结构图，区域 1 和区域 2 位置的 I 片厚度，宽度均相等，根据磁路关系，只需保证这两个区域的磁通密度分布情况一致，即可证明磁通 Φ_1 和 Φ_2 相等。而磁材料在 1MHz 频率工作时，磁通密度的分布会严重影响其各位置的磁损密度分布，进而体现在温度分布的结果上。为了尽可能避免热传导对温度分布的影响，需要使样机工作在轻载，减小器件和绕组温度对磁芯温度的影响。为了避免风冷时各部分风速不同而带来的温度分布干扰，采用了恒温恒湿无风的室内工作条件。此时，在磁芯刚开始工作时，其温度分布主要由各部分的磁损密度决定，而随着样机工作一段时间之后（如 10 分钟后），温度分布受磁芯自身热传导的影响会变大。因此，为了更清晰的体现磁芯中的磁通密度的分布情况，选取了磁芯刚开始工作 30s 时的温度分布结果，如图 3.52 (c) 所示。



(a) 多段气隙调控磁通的多窗口 EI 型磁芯（侧面结构图）

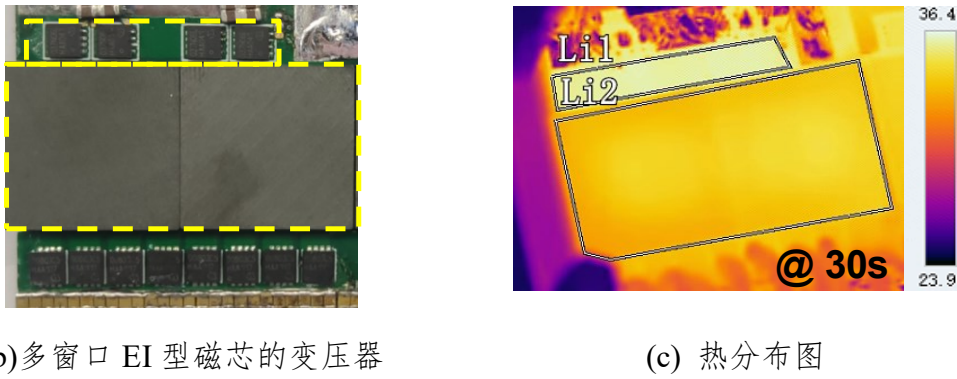


图 3.52 使用多窗口 EI 型变压器后的磁芯热分布测试

根据温度测量结果，图 3.52 (a) 中区域 1 和区域 2 位置 I 片的温度分布和磁通密度分布近似一致。因此，使用所提出的 I 片多方向延展的多窗口 EI 型磁芯和磁通调控方法，能够实现 I 片中磁通的均匀分配，从而在不增加平均磁通密度的情况下将 I 片的截面积和厚度减小一半。

进一步，对使用 I 片多方向延展的多窗口 EI 型磁芯的变换器样机进行了效率测试，如图 3.53 所示。相对于第二章中使用传统 UI 型磁芯的变换器样机，使用所提出的多窗口 EI 型磁芯和磁通调控方法能够在保持样机效率基本不变的情况下，大幅降低变换器厚度，减少空间浪费，从而将样机的功率密度从 1.3kW/in^3 提升至 1.8kW/in^3 。

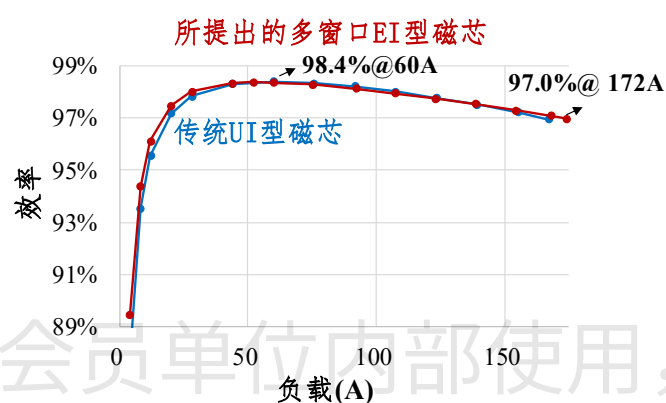


图 3.53 磁芯优化前后的效率测试结果对比

3.4.2 原边绕组互连端子优化的效率提升效果

为了进一步提升变换器的效率，需要对满载损耗中占比最大的变压器绕组损耗进行优化。在使用多窗口 EI 型磁芯变压器的样机基础上，利用所提出的原边绕组互连端子的优化方法对元胞化样机的主功率变压器绕组进行了优化。利用图 3.35 中的优化方法，仅优化变压器原边绕组不会对样机外观尺寸造成影响。因此，变换器样机同样能够保持高功率密度。经实验测试，此时 $1\text{MHz } 380\text{V}/12\text{V}$ 元胞化 DC/DC 变换器的效率如图 3.54 所示。相对于绕组优化前的版本，原边绕组优化后的变换器在全负载范围内都实现了效率的明显提升。其中，在 168A 左右负载电流对应的 2kW 输出功率的工作状态下，样机的效率从 97% 提升到了 97.5% ，总损耗减小达 10W 以上。

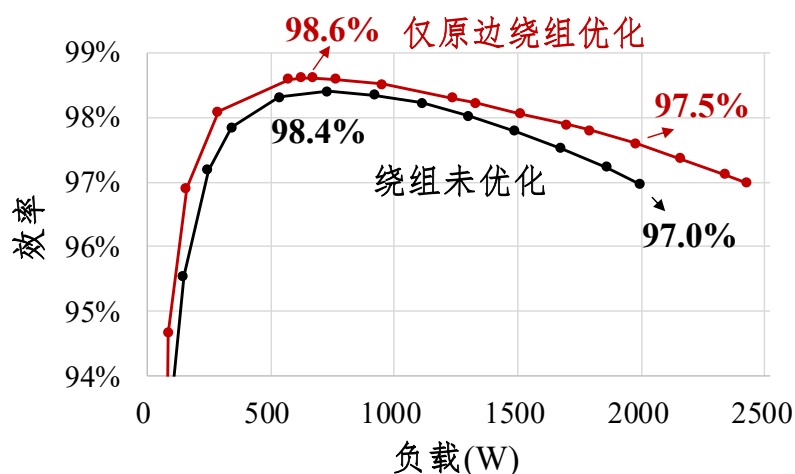


图 3.54 仅原边绕组优化后的样机效率测试结果

3.4.3 副边绕组端子优化的效率提升效果

为了进一步提升变换器效率，在所提出的多窗口 EI 型磁芯和原边绕组优化方法的基础上，进一步将副边绕组端子优化，制作了一台原副边绕组均优化的 380V/12V 元胞化 DC/DC 变换器。根据图 3.46 所示的副边端子设计方法，同样不需要改变器件布局，只需要改变 PCB 内的绕组形状即可完成优化，不会影响到变换器的整体尺寸，同样能够保持高功率密度。经过实验测试，该样机在不同负载下的效率如图 3.55 所示。经过原副边绕组均优化后，样机的峰值效率提升至 98.8%，在 2kW 输出功率(负载电流约 168A)时将效率进一步提升到了 97.7%。相对于仅原边绕组优化的版本，2kW 输出时总损耗进一步减小了 3W 以上，验证了副边绕组优化的效果。进一步，在相同风冷散热条件下对比测试了变换器样机在 2kW 输出功率时的温度，如图 3.56 所示。相对于绕组未优化的版本，原副边绕组均优化后能够在相同 2kW 负载下将绕组温度降低 20℃ 以上。因此，变换器的满载功率可以进一步提升，功率密度可以进一步提升至 2kW/in³ 以上。

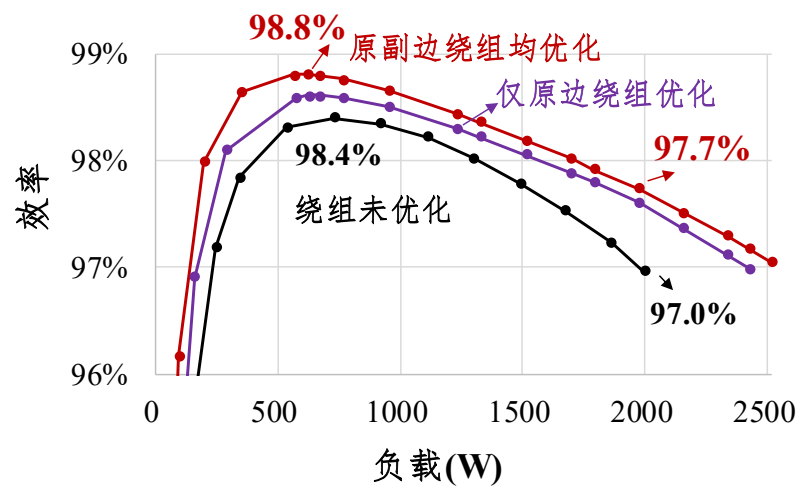


图 3.55 原副边绕组均优化后的样机效率测试结果

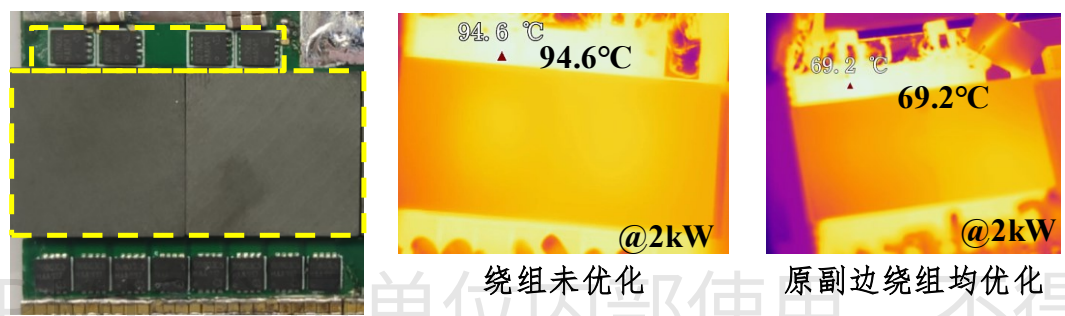


图 3.56 变换器 2kW 负载时的温度测试结果

最后，将所设计的元胞化 1MHz 380V/12V 的隔离非调整 DC/DC 变换器与目前学术界和工业界相同规格的高降压比隔离非调整变换器进行了性能指标对比，如表 3.1 和图 3.57 所示。综合运用第二章基于高频低损耗谐振型驱动变压器的元胞化 DC/DC 拓扑技术，和第三章中基于多窗口 EI 磁芯和变压器原副边绕组的优化设计方法后，所设计的元胞化 MHz 高降压比隔离 DC/DC 变换器的效率和功率密度指标均国际领先。

表 3.1 380V/12V 隔离非调整变换器的性能指标对比

	[34]	[35]	[36]	[37]	[38]	第二章	第三章
开关频率	1MHz	600kHz	1MHz	1MHz	1MHz	1MHz	1MHz
输出功率	800W	1kW	1.8kW	1kW	1.5kW	2kW	2.5kW
峰值效率	97.6%	98.05%	98.3%*	97.7%*	97.4%	98.4%	98.8%
功率密度	900W/in ³	960W/in ³	810W/in ³	<600W/in ³	2.2kW/in ³	1.3kW/in ³	2.2kW/in ³

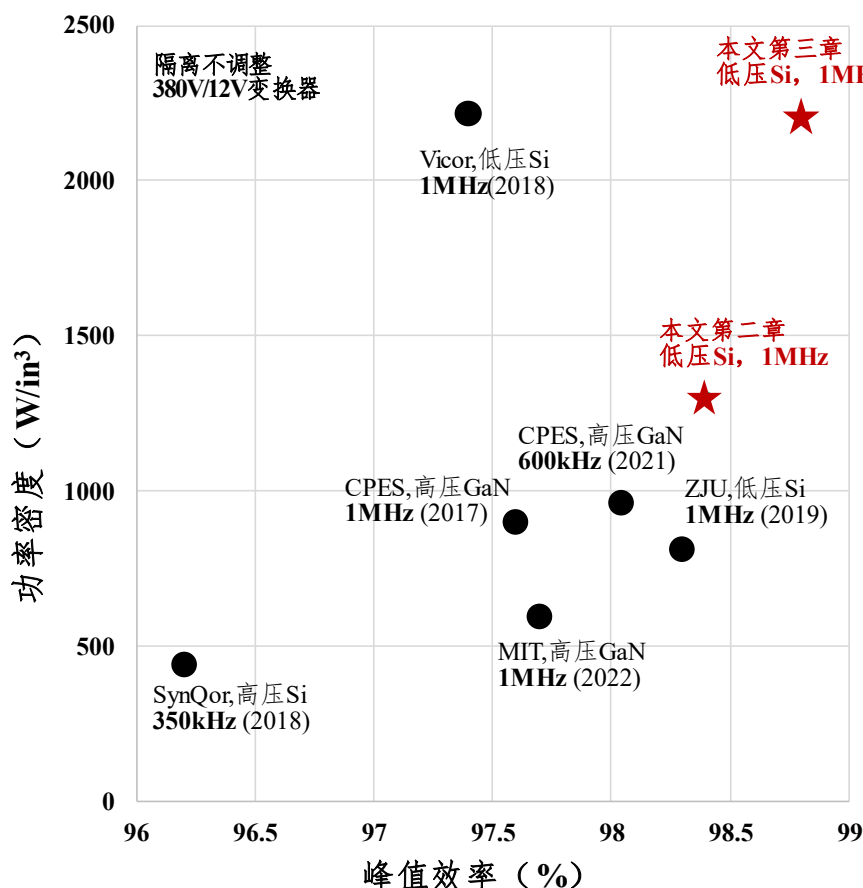


图 3.57 380V/12V 隔离非调整 DC/DC 变换器的效率和功率密度对比

3.5 本章小结

在高降压比隔离型 DC/DC 变换器中，主功率变压器往往占据着较大的体积和损耗比例。受限于磁材料的磁损性能进步缓慢，目前即使将开关频率提升至 1MHz 并采用扁平的平面变压器设计，变压器磁芯也往往成为整个变换器中最厚的元件。这不仅会造成其自身较大的体积，还会造成变换器空间的严重浪费。另一方面，随着频率提升至兆赫兹，磁场的变化更加剧烈，绕组的涡流效应更加严重，寄生参数对均流的影响也更大，导致绕组交流损耗大幅增加。

针对变压器磁芯厚度对功率密度提升的限制，本章首先分析了传统双磁柱 UI 型磁芯的结构特性，建立了 I 片 Y 方向延展时的磁芯内磁通分配的数学模型，揭示了该磁芯结构在 I 片厚度上的物理极限。为了进一步降低磁芯厚度，本章在 I 片 Y 方向延展的基础上令其 X 方向同时延展并构造磁路，提出了 I 片多方向延展的多窗口 EI 型磁芯。在此基础上，建立了多窗口磁芯的磁阻模型并提出了磁通调控方法，实现了磁通在 I 片中的双向均等流动。因此，相对于传统的 UI 磁

芯,能够在保持绕组数量不变和平均磁通密度不增加的情况下将 I 片厚度进一步降低 50%。最后,基于该磁芯优化方法的样机能够在保持效率不变的情况下,功率密度从 1.3kW/in^3 提升至 1.8kW/in^3 。

兆赫兹频率下变压器绕组的涡流损耗大幅增加,仅依靠传统的绕组排布设计方法难以实现效率的充分优化。因此,本章首先基于绕组三维形状对损耗产生的原因进行了分析。在高降压比变压器设计中,原边多匝绕组相互串联,其互连结构的形状和位置在高频下对损耗存在较大影响;另一方面,副边多匝绕组相互并联,绕组与器件互连端子的寄生电感在高频下对均流的影响也十分严重。针对上述问题,本章优化了原边绕组间互连端子结构并提出了低损耗的单层双匝 8 字绕组结构,充分抵消了互连端子附近的垂直磁场强度,降低了绕组损耗。进一步,优化了副边绕组的端子结构和寄生电感,提升了绕组均流度并进一步降低了损耗。

最后,结合本章中所提出的磁芯和绕组的优化设计方法,配合第二章中的高频低损耗谐振驱动技术和元胞化技术,搭建了 $1\text{MHz } 380\text{V}/12\text{V}$ 的元胞化 DC/DC 样机进行了实验验证。样机的峰值效率达 98.8%,功率密度达到 2kW/in^3 以上。

与目前同规格的 DC/DC 变换器相比,实现了效率和功率密度的进一步突破,性能指标达到了国际领先水平。

第4章 基于三维 PCB 绕组的高密度变压器研究

根据上述对高降压比 MHz 隔离 DC/DC 变换器高效率、高密度实现方法的探究,采用元胞化的串联谐振电路能够利用低压器件的低 Nfom 优势,大幅降低器件的导通损耗;利用第二章提出的高频低损耗的谐振驱动变压器,能够进一步降低驱动损耗和驱动电路占用的布板面积。在第三章的工作中,进一步对兆赫兹平面变压器的体积和损耗进行了优化设计,实现了变换器效率和密度的大幅提升。

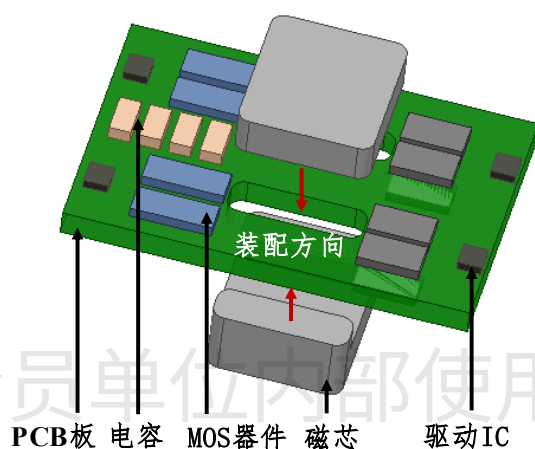
但是,即便使用第三章充分优化设计的平面变压器后,变压器体积和损耗在整机中仍占据主要比例。为了满足未来越来越严格的效率和功率密度需求,需要寻找新的方法,以实现变压器性能指标的进一步突破。为此,本章首先针对平面变压器的结构特性进行分析,揭示了限制平面变压器效率和功率密度提升的物理本质。在此基础上,针对平面变压器中绕组延展时阻抗下降效率不高,磁芯装配方式影响变换器空间利用等问题,提出了一种绕组延展方向与磁通方向平行的三维 PCB 绕组变压器结构。不同于传统平面变压器磁芯包围绕组的结构,所提出的三维绕组变压器利用扁平的绕组铜箔包围变压器磁芯,能够充分减小绕组的等效周长。并且,可以直接将器件集成在磁芯表面的 PCB 绕组上,从而克服器件高度和磁芯高度在空间利用上的矛盾。进一步,通过建立数学模型揭示了该三维变压器结构的高密度优势,并以 380V/12V 元胞化电路的一个 48V/12V 低压元胞为例设计样机进行了实验验证。

4.1 传统平面变压器的结构特性分析

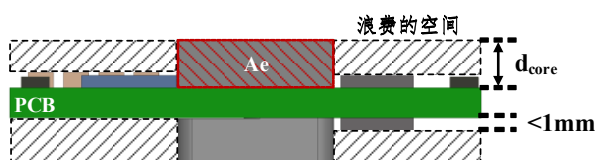
随着变压器工作频率的不断提升,其绕组形状、空间布局方式、绕组与器件的连接方式等都会对变压器性能产生较大的影响,寄生参数对电路工作的影响也更为严重。相对于线绕式变压器,平面变压器利用制作精度更高、参数一致性更好的 PCB 工艺,能够实现复杂的绕组排布设计和精细化的绕组形状管理,从而降低高频下涡流效应的影响^[103,104],并且,平面 PCB 变压器的制作过程减少了人工参与的过程,在成本上也更具优势。因此,在高频高密度变换器的应用场合,平面变压器被广泛使用。

在前两章对元胞化 MHz 高降压比 DC/DC 变换器的设计中,均使用了工艺

成熟的平面变压器设计。运用元胞化的技术, 380V/12V 的高降压比 DC/DC 变换器可等效为 8 个 48V/12V 的 DC/DC 变换器元胞, 元胞之间原边串联, 副边并联。在目前平面变压器的设计中, 为了提升功率密度, 采用了多层 PCB 板布置多层绕组, 令四个元胞电路共用一个平面变压器磁芯。因此, 此设计中 48V/12V 元胞电路的数量成为了四的倍数, 扩展后的单个磁芯总输入电压也会变为 $4n$ ($n=1,2,3, \dots$) 倍的单个元胞输入电压。但是, 在这种设计中, 变压器功率密度的提升实质上是将单个变压器的磁芯体积平均到了四个元胞当中, 而单个磁芯体积仍然较大。另一方面, 对于目前单个变压器四个元胞的设计, 若想进一步提升效率和功率密度, 需要寻找新的方法同时降低变压器的损耗和体积。



(a) 平面变压器装配图



(b) 侧视结构图

图 4.1 使用传统平面变压器时的样机结构示意图

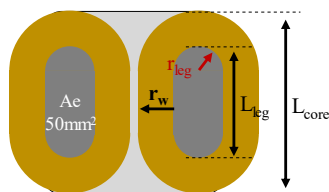


图 4.2 UI 型平面变压器的俯视图

为了进一步减小变压器体积, 首先需要对传统平面变压器的结构进行分析。如图 4.1 为使用传统平面变压器时的变换器结构示意图, 图 4.2 为平面变压器的

结构俯视图。如图 4.1 (a) 所示, 在平面变换器制作过程中, 首先需要在 PCB 中预留槽孔来穿过变压器磁芯的磁柱。变压器的平面绕组布置在槽孔周围环绕磁柱, 实现对磁芯的激励, 如图 4.2 所示。因此, 变压器磁柱的截面积和形状直接决定着平面绕组的内径周长和形状, 只需要再确定绕组的宽度就能推导出整个变压器的面积。

另一方面, 在平面变压器中, 内层的变压器绕组端子先通过 PCB 内的过孔和铜箔走线连接至 PCB 表面, 然后在 PCB 表面设置焊盘, 完成表贴元器件的连接。因此, 传统 PCB 工艺中元器件只能分布在 PCB 表面, 如图 4.1 (b) 所示。此时, 变换器的厚度由 PCB 板厚度、元器件厚度、磁芯 I 片厚度共同决定。其中, 半导体器件和电容的厚度与封装工艺密切相关。随着封装工艺的进步, 目前 GaN 器件厚度已经可以小至 0.8mm 甚至 0.5mm, 积层贴片陶瓷电容的厚度也可以根据需要控制在 1mm 甚至 0.5mm 以内。但是, 受限制于磁材料的磁损特性, 即使将频率提升至 1MHz, 变压器磁芯 I 片厚度 d_{core} 的降低也较为有限, 在 12V 输出电压, 大电流输出的应用中, 其厚度难以做到 1mm 以内, 成为整个变换器中最高的组件, 限制功率密度的提升。当磁芯形状和 I 片宽度确定后, 其厚度同样由磁芯所需的等效磁通面积 A_e 决定。

根据图 4.2, 平面变压器面积由绕组外径决定进而受到内径处磁柱形状的影响。根据图 4.1 (b), 变压器厚度受到磁芯 I 片厚度的影响。因此, 磁柱和 I 片的等效磁通面积 A_e 限制着整个变压器面积和厚度的降低。为了进一步减小变压器的体积, 通常最先考虑的就是减小磁芯等效截面积 A_e , 其表达式如式(4.1)所示。其中, V_T 为变压器绕组两端的电压, N 为对应绕组的匝数, D 为考虑死区时间之后的等效占空比, f_s 为开关频率, B_{max} 为磁芯内的最大平均磁通密度。对于 12V 大电流输出的隔离 DC/DC 变换器, 为了降低绕组阻抗, 输出侧绕组通常选择为单匝。此时, 等效磁通面积 A_e 主要由开关频率 f_s 和最大平均磁通密度 B_{max} 的乘积决定。

$$A_e = \frac{DV_T}{2N \cdot f_s \cdot B_{\text{max}}} \quad (4.1)$$

如图 4.3 (a) 所示为 DMR51W 的数据手册中提供的磁材料磁损密度特性。在第二章和第三章的设计中, 为了达到较小的磁损密度, 主电路变压器选取的工

作频率为 1MHz，最大平均磁通密度为 60mT 左右。为了进一步降低磁芯截面积 A_e ，可选择提升工作频率或增大最大磁通密度。例如，若要将截面积从 50mm^2 下降至 30mm^2 ，可选择保持频率在 1MHz，提升最大磁通密度至 96mT，或者选择提升频率至 1.6MHz，最大磁通密度保持为 60mT。但是，开关频率或磁通密度的增加均会导致磁材料磁损密度的提升。为了在降低等效磁通面积 A_e 时尽可能减小磁损密度的增加，进一步将其磁损密度随开关频率和磁通密度乘积 ($f_s \cdot B_{\max}$) 的特性曲线绘制如图 4.3 (b) 所示。根据式(4.1)，在 $f_s \cdot B_{\max}$ 相同时，磁芯的等效截面积 A_e 保持相同。因此，根据图 4.3 (b)，采用 1.5MHz 或 2MHz 的开关频率，相对于 1MHz 时能够在相同的 A_e 设计下实现更小的磁损密度。并且，这一差距会随着 $f_s \cdot B_{\max}$ 的增加（磁芯截面积 A_e 的减小）变得越来越大。因此，本章选择了提升开关频率的方案来进一步降低磁芯的等效截面积。由于图 4.3 (b) 所示的 1.5MHz 和 2MHz 开关频率对应的磁损特性较为接近，考虑到更高的开关频率可能会导致绕组涡流的增加，最终选择开关频率在 1.5MHz 附近，设置磁材料工作频率为 1.6MHz，最大平均磁通密度仍为 60mT。此时，等效磁通面积可由原来的 50mm^2 下降至 30mm^2 左右。

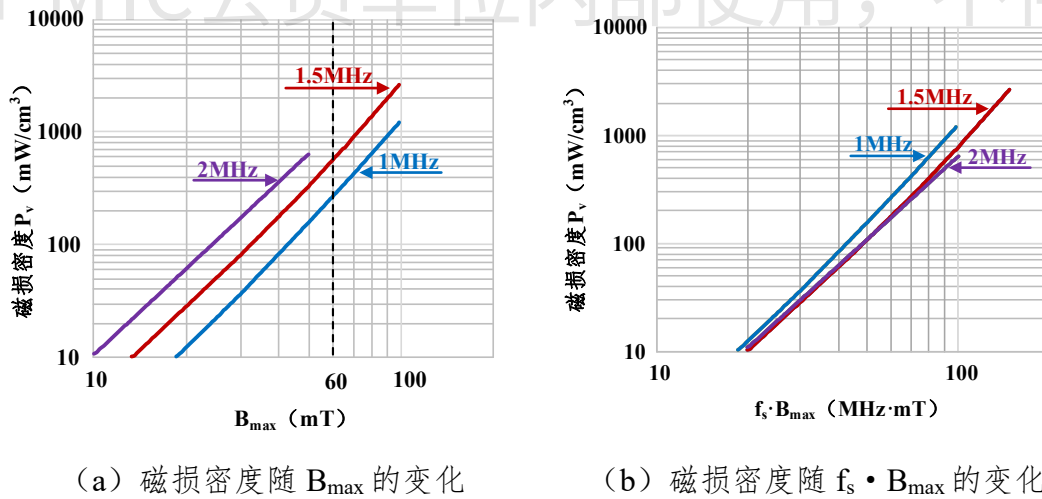
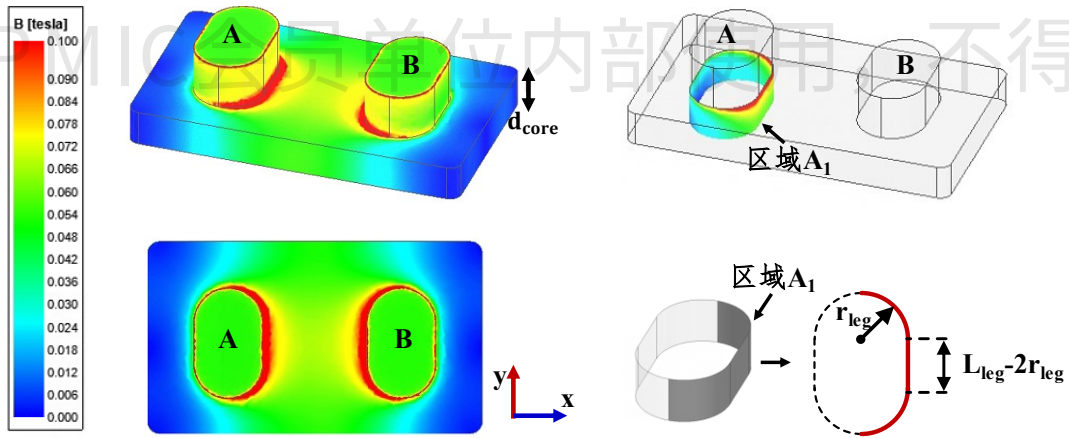


图 4.3 磁材料在常温下的磁损密度特性

在选定更小的磁芯截面积 A_e 后，为了优化磁芯形状和体积，需要对其建立数学模型。如图 4.4 所示为第二章中采用的传统 UI 型磁芯的示意图。在最初的设计中，为了实现更小的磁损，在 1MHz 频率下采用了 50mm^2 的截面积来降低磁通密度。图 4.4 (a) 为磁芯的几何结构和磁通密度的有限元仿真结果。其中，

U 片可以看做由一个 I 片和两个磁柱组成。为了降低磁芯的厚度, 采用了 I 片 Y 方向延展的方式, 使其 Y 方向宽度大于磁柱 A 和磁柱 B 的宽度。在没有增加边柱的情况下, 虽然 I 片在 X 方向也有一定延展, 但是磁通仍几乎全部从磁柱 A 经过 I 片流向磁柱 B。根据磁通密度分布的仿真结果可知, 在 I 片 Y 方向延展的设计中, 虽然在两磁柱中间的 I 片区域磁通能够较均匀地分散到延展区域, 但是磁通在从磁柱 A 进入 I 片和从 I 片流向磁柱 B 的 90° 交界处会产生严重的聚集, 导致磁通密度远远大于所设计的 60mT 。这主要是因为磁通流动时, 内侧经过的路径长度更短, 磁阻相对更小。磁通从磁柱 A 进入 I 片后向右侧流动, 经过区域 A_1 时的磁通密度分布如图 4.4 (b) 所示。此时, 区域 A_1 中大部分磁通通过深色的区域流动, 该区域的长度近似为磁柱周长的一半, 其等效面积近似由式(4.2)计算得出。通过计算, 区域 A_1 处的等效面积仅为 39mm^2 , 因此, 磁通在通过 A_1 深色区域时的平均磁通密度大幅增加, 约为 77mT 。

$$Ae_1 = d_{\text{core}}(\pi r_{\text{leg}} + L_{\text{leg}} - 2r_{\text{leg}}) \quad (4.2)$$



(a) U 型磁芯内磁通密度分布 (b) 磁柱 A 附近磁通密度分布

图 4.4 I 片 Y 方向延展时 UI 型磁芯内的磁通密度分布

根据图 4.3 (a), 在 1MHz 的开关频率下, 当磁通密度从 60mT 增加到 77mT 时, 磁损密度从 $270\text{mW}/\text{cm}^3$ 增加至约 $560\text{mW}/\text{cm}^3$ 。而随着开关频率的提升, 如 1.5MHz 时, 60mT 和 77mT 分别对应的磁损密度分别为 $580\text{mW}/\text{cm}^3$ 和 $1220\text{mW}/\text{cm}^3$ 。随着频率进一步提升至 1.6MHz , I 片 Y 方向延展造成的局部磁损将会远大于 $1000\text{mW}/\text{cm}^3$ 。根据图 4.4 (b), 造成区域 A_1 位置平均磁通密度偏

大的主要原因是 I 片 Y 方向延展后磁柱 A 与 I 片不等宽，导致区域 A₁ 处的等效截面面积变小。虽然 I 片延展在 1MHz, 60mT 的设计下对磁损密度的影响可以接受，但是随着磁芯的工作点提升至 1.6MHz, 60mT 之后，I 片延展的影响会导致磁芯局部区域损耗密度过大和温度过高，降低可靠性。因此，在等效磁通面积 Ae 下降为 30mm² 时，需选择 I 片与磁柱等宽的设计方式。此时，变压器磁芯和绕组的结构示意图分别如图 4.5 和图 4.6 所示。为了简化绕组阻抗和变压器体积的数学模型表达式，将磁柱形状设置为矩形。

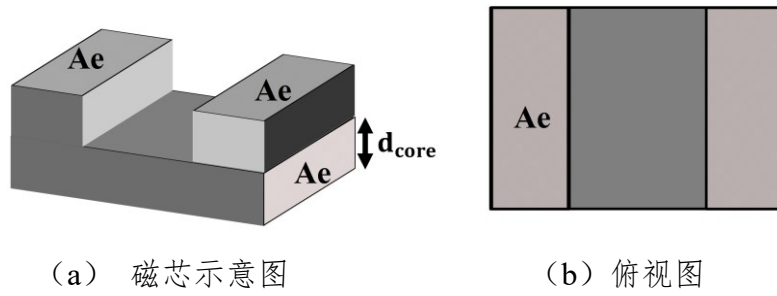


图 4.5 I 片与磁柱等宽时的磁芯结构示意图

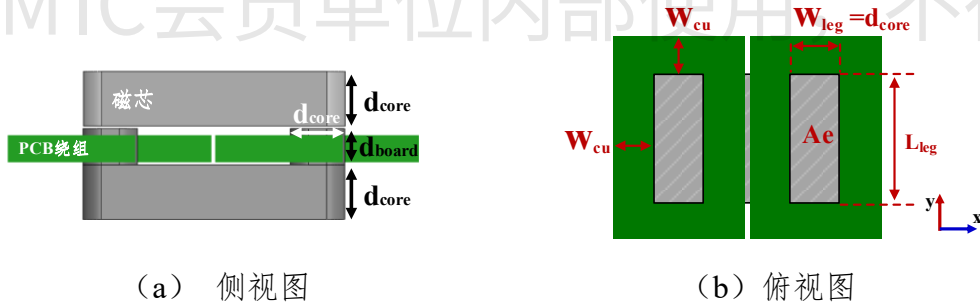


图 4.6 I 片与磁柱等宽时的绕组结构示意图 (UI 平面变压器)

图 4.6 (a) 为 UI 型平面变压器的侧视图，其中 d_{core} 为磁芯的 I 片厚度， d_{board} 为 PCB 板的厚度。因此整个变压器的厚度 H_{tr} 可由式(4.3)计算得出。

$$H_{tr} = 2d_{core} + d_{board} \quad (4.3)$$

根据图 4.6 (b) 中的绕组结构示意图，绕组的内径由磁柱的形状决定，在 I 片与磁柱等宽的设计中，磁柱在 x 方向的尺寸为 W_{leg} ，与磁芯的厚度 d_{core} 相同。设置磁芯厚度 d_{core} 为变量后，磁柱的长度 L_{leg} 可根据式(4.4)计算得出。此时，在给定直流电阻 R_{dc} 设计下的绕组宽度可根据式(4.5)估算。其中， ρ 为铜箔的电阻

率, d_{cu} 为所选用 PCB 的铜厚。当开关频率提升至 1.6MHz, 绕组的趋肤效应更加严重, 因此 PCB 铜厚选择为 2oz (0.07mm)。在选用六层板时, PCB 板的厚度约为 1mm, 因此, 整个变压器的体积可根据式(4.6)计算得到。

$$L_{core} = \frac{Ae}{d_{core}} \quad (4.4)$$

$$W_{cu} = \frac{2\rho}{d_{cu}R_{dc}-4\rho}(d_{core} + L_{core}) \quad (4.5)$$

$$V_{Tr}(d_{core}, R_{dc}) = (2W_{leg} + 4W_{cu})(L_{core} + 2W_{cu})H_{tr} \quad (4.6)$$

通过将式(4.3)-(4.5)代入式(4.6)中, 可以得到变压器体积的解析表达式, 如式(4.7)所示。进一步, 可以绘制出在不同绕组直流电阻 R_{dc} 设计下, 变压器体积随磁芯厚度变化的曲线, 如图 4.7 所示。当单匝绕组的直流电阻选择在 1.5mΩ-2.5mΩ 时, 磁芯厚度 d_{core} 选择在 3mm-3.5mm 之间能够取得变压器体积的最小值。随着磁芯厚度 d_{core} 减小至 2mm 以内, 磁柱的长度 L_{leg} 迅速增加, 使得绕组的内径周长迅速增加。此时, 相同阻抗设计下所需的绕组宽度快速增加, 导致变压器的面积成平方倍增加, 体积变大。

$$V_{Tr}(d_{core}, R_{dc}) = 2 \left[M_e \left(d_{core}^2 + \frac{Ae^2}{d_{core}^2} \right) + N_e \right] (2d_{core} + d_{board}) \quad (4.7)$$

其中, $M_e = 2\alpha(2\alpha + 1)$, $N_e = Ae[(2\alpha + 1)^2 + (2\alpha)^2]$, $\alpha = \frac{2\rho}{d_{cu} \cdot R_{dc} - 4\rho}$

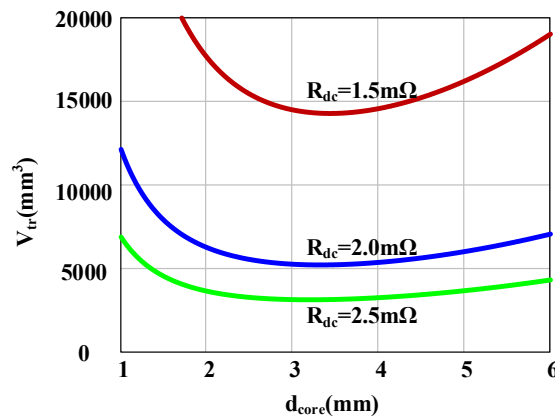


图 4.7 不同 R_{dc} 时变压器体积随 I 片厚度的变化 (UI 平面变压器)

另一方面, 根据图 4.7 所示的体积计算模型, 在相同的磁芯厚度 d_{core} 和磁柱形状设计下, 当需要将单匝绕组直流电阻从 2.0mΩ 降低至 1.5mΩ 时, 所增加的

变压器体积远大于从 $2.5\text{m}\Omega$ 降低至 $2.0\text{m}\Omega$ 时所增加的体积。这是因为对于单匝平面 PCB 绕组，其厚度受限制于高频下的趋肤效应难以增加，因此只能通过延展其宽度来降低阻抗。随着绕组宽度 W_{cu} 的增加，如图 4.8 (a) 所示，平面 PCB 绕组中靠外侧电流流过的路径长度 L_2 也在增加。因此，随着绕组宽度的不断增加，绕组阻抗的下降速度越来越缓慢。因此，平面变压器在实现更小的绕组阻抗时，绕组宽度的增加速度需要更快，才能弥补外侧周长增加造成的影响。因此，绕组面积迅速增加，导致变压器体积迅速变大。并且，当绕组流过 1.6MHz 的高频交变电流时，其绕组内的电流密度分布如图 4.8 (b) 所示。由于涡流效应的影响，在直流下本应流过较小电流的绕组外侧区域会存在趋肤电流，导致在周长和阻抗更大的绕组外侧区域产生更大的损耗。

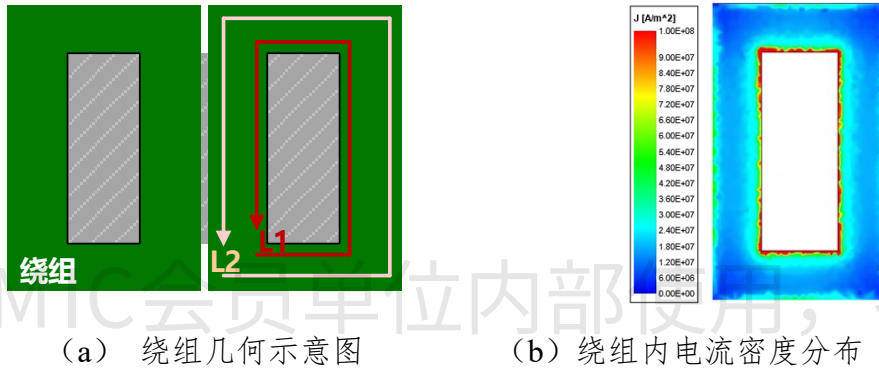


图 4.8 平面 PCB 绕组的电流密度分布仿真结果

对于第三章中所提出的 I 片多方向延展的多窗口 EI 型变压器，同样会存在 I 片延展时等效磁通面积变小的问题，因此在 A_e 降低至 30mm^2 时采用 I 片和所有磁柱等宽的设计。并且，采用同样的平面型绕组设计时，绕组宽度延展时其阻抗下降的效率也不高。根据图 4.9 所示的多窗口 EI 型磁芯结构，利用和 UI 平面变压器相同的计算方法对其体积进行了数学建模，如式(4.8)-(4.10)所示，并将其体积在不同直流电阻设置下随磁芯厚度的变化曲线绘制如图 4.10 所示。使用多窗口 EI 磁芯时，磁芯厚度 d_{core} 选择在 1.5mm 左右时能够取得变压器体积的最小值。因此，当半导体器件和电容厚度进一步降低至 1mm 以内时，磁芯厚度仍然会造成空间的浪费。并且，随着单匝绕组直流电阻减小至 $1.5\text{m}\Omega$ 以内，变压器体积会迅速增加。

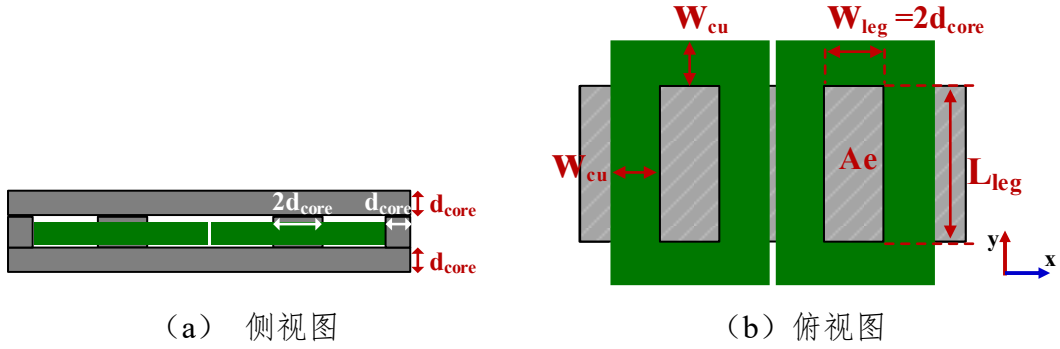
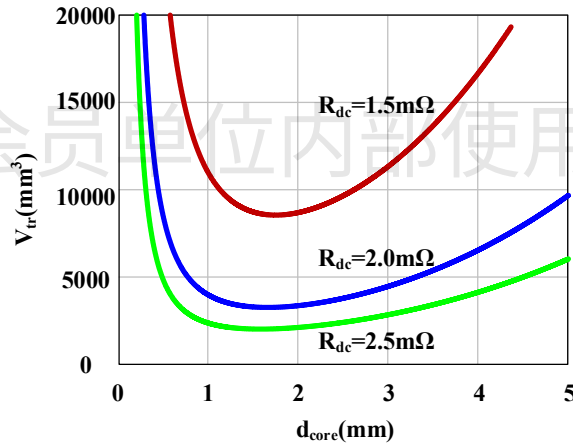


图 4.9 I 片与磁柱等宽时的绕组结构示意图（多窗口 EI 平面变压器）

$$L'_{\text{core}} = \frac{A_e}{2d_{\text{core}}} \quad (4.8)$$

$$W'_{\text{cu}} = \frac{2\rho}{d_{\text{cu}}R_{\text{dc}} - 4\rho} (2d_{\text{core}} + L'_{\text{core}}) \quad (4.9)$$

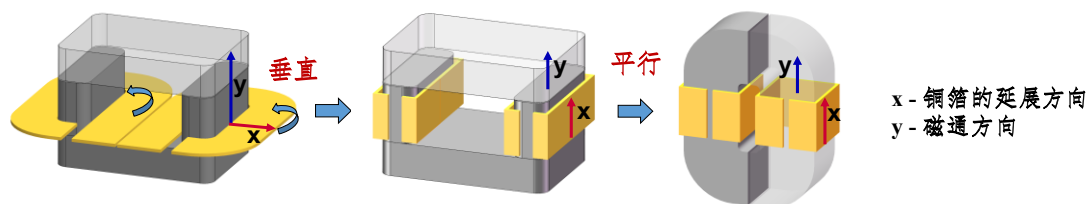
$$V_{\text{Tr}}(d_{\text{core}}, R_{\text{dc}}) = (6d_{\text{core}} + 4W'_{\text{cu}})(L'_{\text{core}} + 2W'_{\text{cu}})H_{\text{tr}} \quad (4.10)$$

图 4.10 不同 R_{dc} 时变压器体积随 I 片厚度的变化（多窗口 EI 平面变压器）

4.2 所提出的三维 PCB 绕组变压器结构

根据上述分析，如图 4.11 (a) 所示，在平面变压器中，绕组的延展方向 x 与磁通方向 y 垂直。这种结构本身就会导致绕组延展时外侧周长和阻抗大于内侧的周长和阻抗，绕组宽度延展时阻抗下降的效率不高。并且，磁芯的 I 片和表贴的元器件均平行于绕组放置，其厚度之间的不匹配会造成空间的浪费。为了解决此问题，本章将绕组的延展方向 x 进行翻转，使其和穿过绕组的磁通 y 方

向平行，如图 4.11 (b) 所示。在此基础上，将磁芯的形状进行优化，提出了如图 4.11 (c) 所示的三维绕组变压器结构。不同于传统平面变压器中磁芯包围绕组的设计，所提出的三维变压器结构中绕组包围磁芯，绕组在延展方向各位置的周长均保持与最小的磁柱周长近似相等，能够充分降低绕组的阻抗。并且，此时变压器磁芯形状更接近于理想磁环，各部位的截面积分布更加均匀，从而能够使磁通密度分布更加均匀。

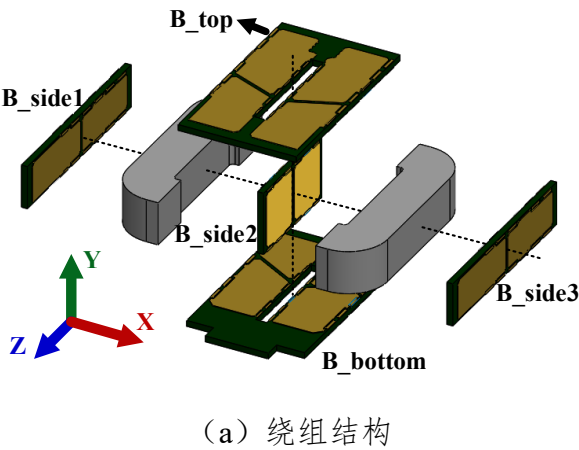


(a) 传统平面变压器 (b) 绕组翻转 (c) 所提出的三维绕组变压器结构

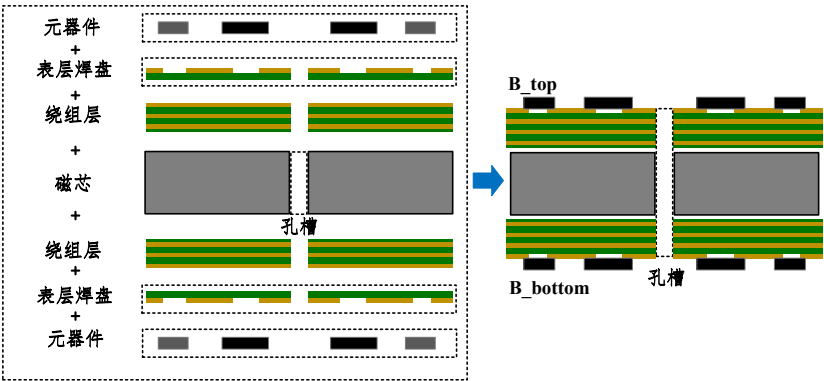
图 4.11 三维绕组变压器结构的推演

对于所提出的三维绕组变压器结构，一种较为理想的制作方式为通过 3D 打印实现立体磁芯与绕组的堆叠。但是，受限制于制作工艺，本章暂时利用如图 4.12 所示的基于传统 PCB 工艺的制作方法，对所提出的三维绕组变压器进行可行性验证。图 4.12 (a) 为所提出三维绕组变压器的绕组结构。其中，三维绕组由五块环绕磁芯的 PCB 拼合而成，每块 PCB 均为多层板设计，变压器的原副边绕组可以分布在 PCB 的不同层中。由于 PCB 绕组直接环绕在磁芯表面，如图 4.12 (b) 所示，可以直接利用顶层和底层 PCB 板 (B_{top} 和 B_{bottom}) 的表面铜箔制作元器件的焊盘。因此，变换器中的元器件可以直接集成在变压器的表面，成为绕组的一部分。

通过在 PCB 板边缘设置多个金属化包边，可以将图 4.12 (a) 所示的多块 PCB 通过焊锡连接到一起。而对于分布在 PCB 不同层中的扁平绕组，则可以根据需要连接至不同位置的金属化包边上，如图 4.13 (b) 所示。因此，所提出的三维 PCB 绕组变压器仍能够实现原副边绕组之间的充分交错排布。

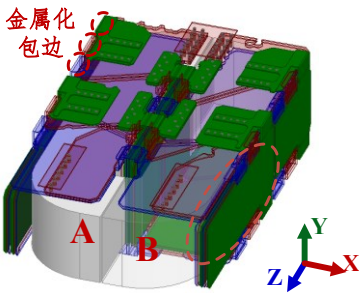


(a) 绕组结构

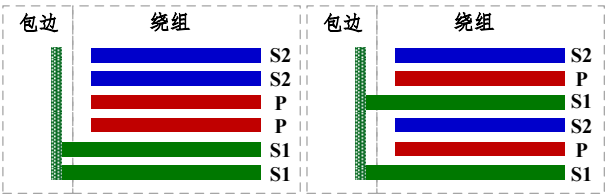


(b) 器件集成在绕组表面

图 4.12 基于传统 PCB 工艺的三维绕组制作方法



(a) 绕组通过包边互连



(b) 绕组的不同排布方式

图 4.13 三维 PCB 绕组变压器的绕组排布方式设计

利用传统 PCB 工艺制作基于三维绕组变压器的电源模块时，其装配方法如图 4.14 所示。首先将元器件通过回流焊的工艺装配到 B_top 和 B_bottom 的上下两块 PCB 板上，然后利用金属化包边工艺，将其与穿过槽孔的板 B_side2 通过焊锡连接。将三块板与磁芯组装之后，如图 4.14 (b) 所示，将两侧的 B_side1 和 B_side3 两块板进一步通过焊锡进行金属化包边的连接，完成整个电源模块的搭

建。该结构中，元器件分布在变压器的表面，克服了传统平面变压器中元器件较薄而磁芯较厚的矛盾，解决了因厚度不匹配造成的空间浪费问题，使得变换器空间能够充分利用。

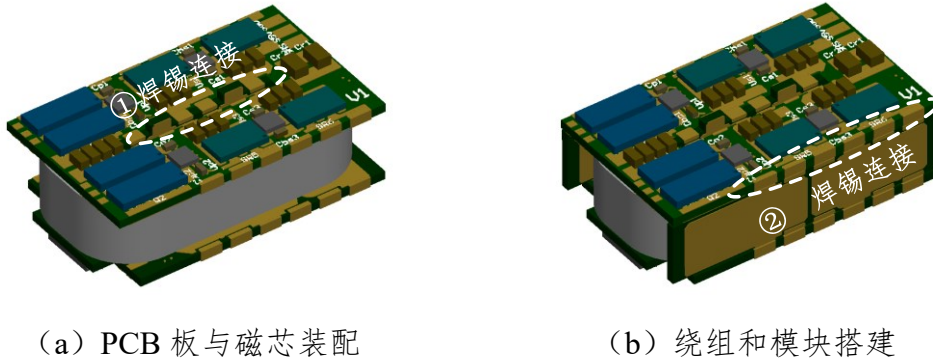


图 4.14 基于三维 PCB 绕组变压器的电源模块装配方法

4.3 三维绕组变压器结构的建模分析

为了分析所提出三维绕组变压器结构的特性并对其进行优化，同样针对其几何结构建立了数学模型。变压器结构的俯视图如图 4.15 (a) 所示。采用和传统平面变压器同样的 2oz 铜厚(0.07mm)六层板设计时，PCB 板的厚度约为 1mm。形状类似磁环的跑道型磁芯可以分为两个部分（磁柱 A 和磁柱 B），每个部分的磁柱均可以绕制变压器绕组，如图 4.15 (b) 所示。其中，变压器的厚度由磁芯厚度 d_{core} 和 PCB 厚度 d_{board} 决定，如式(4.11)所示。在选定的等效磁通截面积 A_e 设置为 30mm^2 时，磁柱的宽度 W_{core} 可根据式(4.12)计算得出。根据磁柱在不同厚度 d_{core} 时的形状，可以根据单匝直流阻抗 R_{dc} 计算出所需的绕组延展宽度 W_{cu} ，如式(4.13)所示。此时，三维 PCB 绕组变压器的体积可根据式(4.14)计算得出。

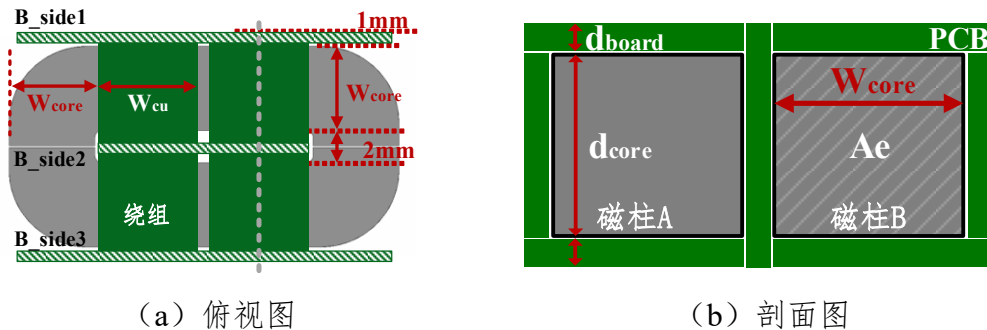


图 4.15 变压器绕组结构示意图（三维绕组变压器）

$$H_{tr} = d_{core} + 2d_{board} \quad (4.11)$$

$$W_{\text{core}} = \frac{A_e}{d_{\text{core}}} \quad (4.12)$$

$$W_{\text{cu}} = \frac{2\rho}{d_{\text{cu}}R_{\text{dc}}} \left(d_{\text{core}} + \frac{A_e}{d_{\text{core}}} + 2d_{\text{board}} \right) \quad (4.13)$$

$$V_{\text{Tr}}(d_{\text{core}}, R_{\text{dc}}) = (2W_{\text{cu}} + 2W_{\text{core}})(2W_{\text{core}} + 4d_{\text{board}})H_{\text{tr}} \quad (4.14)$$

根据式(4.14), 同样可以在不同绕组直流电阻 R_{dc} 的设置条件下, 将三维绕组变压器的体积随磁芯厚度 d_{core} 变化的曲线绘制如图 4.16。当绕组直流电阻 R_{dc} 从 $2.5\text{m}\Omega$ 降低至 $1.5\text{m}\Omega$ 时, 三维绕组变压器体积的增加程度远小于图 4.7 和图 4.10 中平面变压器的体积变化。这是因为在所提出的三维绕组变压器中, 如图 4.11 (c) 所示, 绕组的延展方向与磁通方向平行。因此, 三维绕组在宽度延展方向的不同位置能够保持相同的电流路径周长, 且周长与最小的磁柱周长较为接近。因此, 随着绕组直流电阻 R_{dc} 的下降, 需增加的绕组宽度仅为线性增加, 相对于平面绕组结构, 对变压器体积的影响相对较小。

进一步, 将所提出的三维绕组变压器与传统的平面变压器进行了体积对比, 如图 4.17 所示。当绕组的直流阻抗 R_{dc} 同样设置在 $1.5\text{m}\Omega$, 磁芯的等效磁通截面积同样为 30mm^2 时, 利用所提出的三维绕组变压器替代传统的 UI 型或多窗口 EI 型平面变压器, 能够大幅降低变压器的体积。由于三维绕组变压器中不存在磁芯厚度和器件厚度之间的矛盾, 因此, 三维绕组变压器中磁芯厚度 d_{core} 可以选择在 5.5mm 左右, 能够实现变压器功率密度的进一步提升。

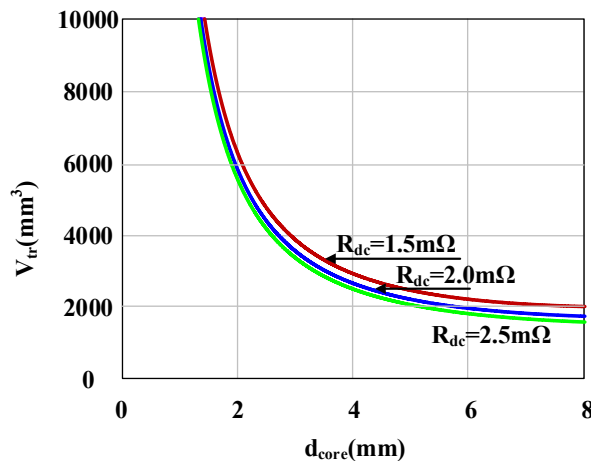


图 4.16 不同 R_{dc} 时变压器体积随磁芯厚度的变化 (三维绕组变压器)

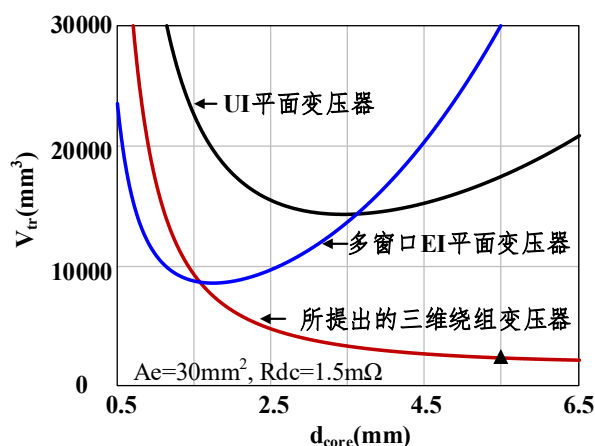


图 4.17 所提出的三维绕组变压器与传统平面变压器的体积对比

4.4 实验验证

为了验证所提出变压器结构的可行性，利用三维 PCB 绕组变压器制作了一台开关频率 1.6MHz，48V/12V 的 DC/DC 变换器样机进行了实验测试。样机采用软开关的串联谐振电路拓扑，其原理图如图 4.18 所示，电路的关键参数如表 4.1 所示。在 1.6MHz 的开关频率下，选择了寄生参数较小的 GaN 器件。为了降低输出低压大电流时的导通损耗，采用了中心抽头的整流方式并将多个副边绕组并联。样机照片如图 4.19 所示，变换器采用了本章所提磁芯的结构，将多块 PCB 通过板边缘的金属化包边利用焊锡进行连接，所有的电路元器件直接表贴在 PCB 绕组的表面。

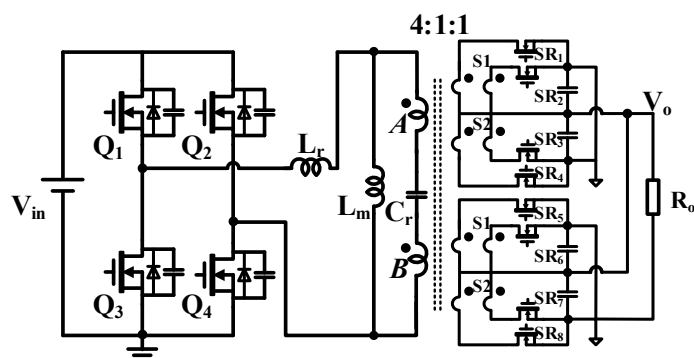
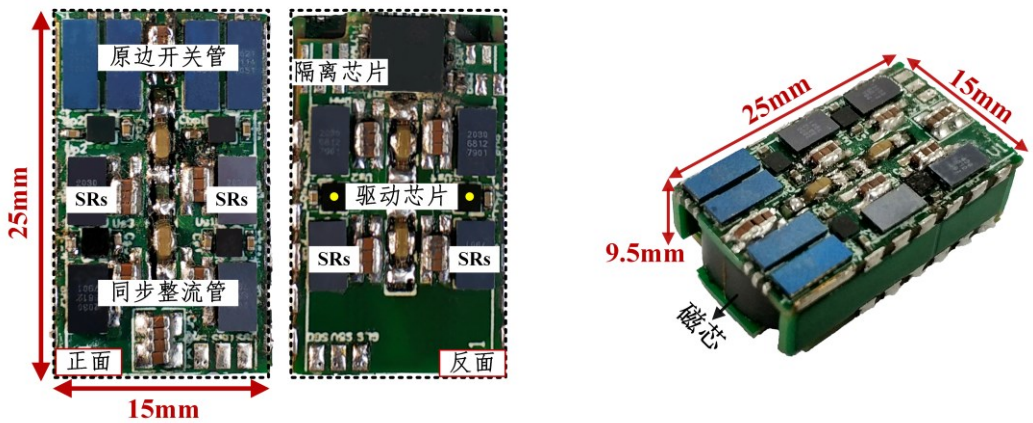


图 4.18 48V/12V 串联谐振电路原理图

表 4.1 样机的关键电路参数

Component	parameters
$Q_1 - Q_4$	EPC2021
$SR_1 - SR_8$	EPC2030
C_r/L_r	460nF/12nH
L_m	2.5uH
PCB	6Layer/2oz
Core/Ratio	DMR51W/4:1:1



(a) 仰视图和俯视图 (b) 样机三维图
图 4.19 基于三维 PCB 绕组变压器的 DC/DC 变换器样机

如图 4.20 所示为样机在输入电压 48V，输出电流 25A 时的关键波形图。其中 V_{ds_Q3} 和 V_{ds_SR1} 分别为变换器原边开关管 Q_3 和副边同步整流管 SR_1 的漏源电压波形， I_{Lr} 为原边谐振腔中的谐振电流波形。通过实验测试，原边谐振腔电流近似为正弦波形，变换器工作在谐振频率附近。原边开关管的漏源电压波形在死区时间内上升和下降的速度较慢且没有明显跳变，开关管能够实现零电压开通。

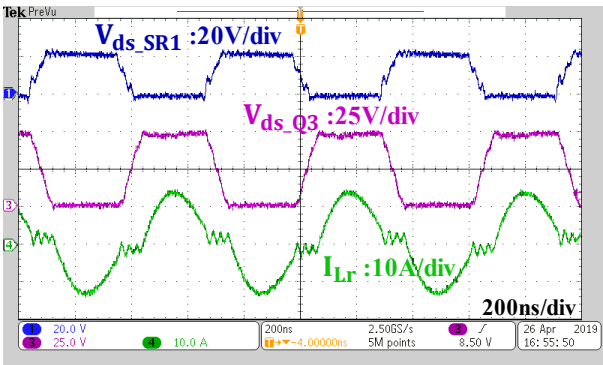


图 4.20 样机工作的关键波形图 ($V_{in}=48V$, $I_o=25A$)

进一步,通过实验测量了样机的主电路效率并将其与理论仿真计算的效率曲线进行了对比,如图 4.21 所示。相对于有限元仿真和计算结果,样机实际测量效率较低,并且这一差距随着负载电流的增加而迅速增加。因此,该损耗应为与导通损耗相关的损耗。

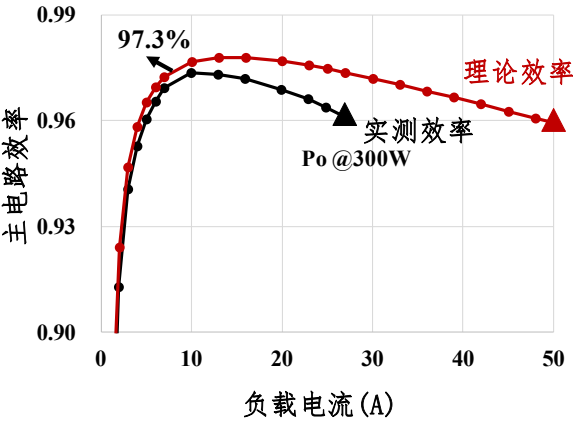


图 4.21 样机在不同负载下的理论效率和实测效率对比 ($V_{in}=48V$)

为了探究实测效率较低的原因,如图 4.22 所示,对样机进行了损耗分析。本文在构建三维绕组时采用了较为成熟的传统 PCB 工艺,但是该种制作方法需要在 PCB 边缘设置金属化包边,使 PCB 板之间通过金属化包边和焊锡手工连接,导致三维绕组之间的连接质量较差。并且,相对于金属铜箔,所使用低温焊锡的电阻率可达铜的十倍以上。在目前的设计中,每匝绕组中至少存在 4 个金属化包边和四个焊锡连接点,造成了较大的连接损耗。根据直流阻抗分析仪测试和三维有限元仿真,该部分损耗在 25A 负载时达到了 4W 左右,导致了样机效率的大幅降低,同时限制了相同效率下功率密度的提升。在实验测试中,目前样机在 300W 输出功率时主电路效率下降至 96%。此时,按照 300W 输出功率计算,样机的实际满载功率密度为 1380W/in³。

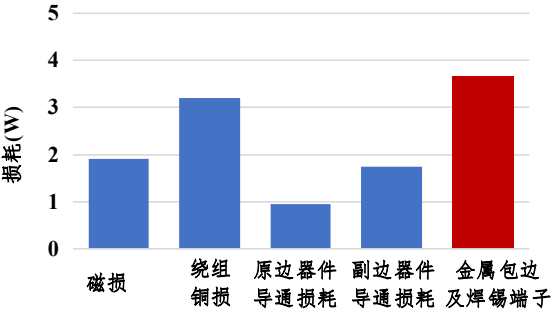


图 4.22 三维绕组变压器样机的损耗分析 ($V_{in}=48V, I_o=25A$)

4.5 三维绕组变压器的工艺难点及展望

如前所述,受限制于工艺能力,目前的三维绕组变压器制作方法是将多块普通的平面 PCB 通过金属化包边,手动利用焊锡进行立体拼接。但是,这种制作方法手工操作较为复杂,精度较差,焊锡连接的可靠性和连接点的阻抗难以精准控制。目前该制作方式虽然能够完成样机基本功能的验证,但是严重降低了变换器效率,影响了三维绕组变压器的性能发挥。

因此,需要在未来探索更先进的制造工艺,例如磁芯埋入 PCB 的多层板工艺或者混合材料 3D 打印技术等,一方面降低制造过程的人工参与环节,另一方面有效降低三维绕组构建过程中的连接损耗,充分发挥三维绕组周长小、阻抗低、电流密度分布更加均匀,三维变压器磁芯磁通密度分布更加均匀的特性,从而实现高频变换器效率和功率密度的进一步突破。

4.6 本章小结

传统平面变压器中绕组的延展方向与磁柱中的磁通方向垂直。因此,随着绕组宽度的延展,其外侧的周长越来越大,导致其等效阻抗难以降低。另一方面,采用平面变压器结构时磁芯 I 片与表贴元器件均布置在 PCB 表面,其厚度在空间利用上相互制约。受磁材料磁损特性限制,目前 12V 每匝的绕组设计中 I 片厚度往往会远高于半导体器件厚度,造成空间的浪费,不利于功率密度的提升。

本章通过分析变压器磁芯和绕组的空间相对位置,揭示了平面变压器结构的上述问题,提出了绕组延展方向与磁通方向平行的三维绕组变压器结构。通过这一设计,绕组在延展方向各位置的周长都能近似与最小的磁柱周长相等。因此,能够通过绕组延展有效降低阻抗。并且,不同于传统平面变压器中磁芯包围绕组,所提出的三维绕组变压器中绕组包围磁芯。因此,可将所有元器件直接集成在变压器表面的绕组上,解决了提升功率密度时平面变压器中器件和磁芯厚度之间的矛盾,能够大幅提升变换器的空间利用率和功率密度。

最后,利用三维绕组变压器结构,提出了基于传统 PCB 工艺的构建方法并以元胞化电路中的一个低压 48V/12V 元胞为例设计了变换器样机并进行了实验测试。实现了 1.4kW/in^3 的功率密度,证明了所提出变压器结构的可行性。

第5章 总结与展望

5.1 本文工作总结

高压直流母线架构具有线缆损耗小、供电效率高、可扩展性强等优点，被广泛应用于 5G 基站、数据中心、全电舰船等各种应用场合中。针对该架构中 MHz 高降压比隔离 DC/DC 变换器效率和功率密度提升的瓶颈问题，本文基于良好软开关特性的串联谐振电路拓扑和实现较低器件导通损耗的元胞化技术，从高频低损耗谐振驱动技术、高频变压器效率和密度优化设计方法等角度进行了深入分析和探究。主要创新点和研究内容包括以下几个方面：

- 高降压比兆赫兹串联谐振电路使用常规硅器件时驱动损耗严重，而现有驱动方案主要针对 PWM 电路，无法解决此问题。为此，提出了适用于兆赫兹串联谐振拓扑的高频低损耗谐振驱动电路和参数优化设计方法，大幅回收驱动能量，将驱动损耗降低了 80% 以上。同时，减小了驱动电路占用的布板面积，可进一步提升变换器功率密度。

为了满足高压直流母线架构对高降压比隔离 DC/DC 变换器效率和功率密度的严苛要求，需要通过高频化减小电源模块中无源元件的体积。在这一应用场合中，串联谐振拓扑因其全负载范围内良好的软开关特性在学术界和工业界中广泛应用。通过运用元胞化技术，可以进一步降低该拓扑在高频下实现软开关所需的能量，仅需利用成熟的低压硅器件，即可实现 MHz 下较小的开关损耗和器件导通损耗。但是，该元胞化电路中原边串联的多个半桥结构均需要浮地驱动。并且，为了实现高降压比低压大电流输出，该电路中原副边器件的数量均较多。若使用传统隔离型驱动芯片，不仅会造成较大的驱动电路布板面积，还会造成严重的驱动损耗。而现有的谐振型驱动方案主要针对 PWM 电路设计，难以满足元胞化谐振电路对于多路隔离、对称并具有合适死区时间的驱动要求。

针对上述问题，本文提出了适用于该元胞化谐振拓扑的谐振驱动方案，利用驱动变压器实现隔离，利用驱动变压器寄生的励磁电感作为谐振元件，实现驱动能量的回收。该驱动方案中，单个驱动变压器可同时为数十颗器件提供隔离驱动，大幅减小了驱动电路的元器件数量和占用的布板面积。进一步，结合串联谐振电

路的工作特性及其对死区时间的要求,推导了所提出谐振驱动电路的数学模型并给出了参数优化设计方法,能够实现元胞化串联谐振电路中器件导通损耗和驱动损耗之和的最小化。经过实验验证,所提出的谐振驱动变压器相对于传统的隔离驱动芯片能够在驱动布板面积下降 50%的情况下将驱动损耗降低 80%以上。并且,基于该谐振驱动的 1MHz 380V/12V 元胞化 DC/DC 变换器样机实现了 98.4% 的峰值效率和 $1.3\text{kW}/\text{in}^3$ 的功率密度,对比现有设计方案具备明显优势。

- 针对平面变压器中磁芯厚度较大造成空间严重浪费的问题,建立了磁芯的磁通分布模型并提出了 I 片多方向延展的多窗口 EI 型磁芯及磁通调控方法,大幅降低了磁芯厚度并提升了功率密度;同时,平面绕组在兆赫兹频率下涡流损耗严重,本文提出了对绕组形状和端子结构的优化设计方法,优化了均流效果并降低了绕组损耗,使变换器的效率和功率密度指标突破至国际领先地位。

相对于线绕式变压器,基于 PCB 工艺的平面变压器具备更低的人工成本和更好的参数一致性,并且能够通过扁平化的绕组设计降低磁芯窗口的高度和体积。在 380V/12V 高降压比低压大电流输出的隔离 DC/DC 变换器中,双磁柱的 UI 型平面变压器可以用来在有限的 PCB 层数下构造更多的绕组并联数量,降低大电流损耗。但是,受限制于磁材料的磁损特性,即使将开关频率提升至 1MHz,其磁芯 I 片的厚度仍会远大于器件的厚度,造成空间的浪费,制约功率密度的提升。针对这一问题,本文推导了磁芯内磁通分布的数学模型,提出了 I 片多方向延展的多窗口 EI 型磁芯及其磁通调控方法,大幅降低了磁芯厚度并提升了功率密度。另一方面,MHz 高频下磁场的变化更加剧烈,平面绕组的具体形状对其涡流效应和寄生参数的影响也更为严重,仅通过传统的原副边绕组排布优化方法不足以实现绕组均流和损耗的优化。为了解决此问题,本文针对变压器具体形状和端子连接方式进行了优化设计,充分抵消了端子附近的垂直磁场强度,优化了绕组寄生电感,提升了并联绕组的均流度并大幅降低了绕组损耗。通过对高频平面变压器磁芯和绕组的精细化设计管理,基于所提出的磁芯和绕组优化方法,进一步将 1MHz 380V/12V 元胞化 DC/DC 变换器的峰值效率提升到了 98.8%,功率密度提升至 $2\text{kW}/\text{in}^3$ 以上。相对于目前学术界和工业界相同电压规格电源模块,效率和功率密度指标大幅领先。

- 平面变压器中绕组延展方向与磁通方向垂直导致绕组阻抗难以降低,限制了效率和功率密度的进一步提升。本文揭示了这一空间结构在物理机理上的局限性,提出了一种绕组延展方向与磁通平行的三维绕组变压器结构,使得绕组阻抗可大幅降低,并且克服了在功率密度提升中平面变压器磁芯与器件厚度相互制约的问题,实现变换器空间的充分利用。

平面 PCB 绕组变压器目前制作工艺较为成熟,在高频高密度变换器中广泛应用。但是,在有限 PCB 层数下通过增加绕组宽度降低阻抗时,其绕组外侧的周长随宽度的增加而变大,阻抗下降的速度逐渐变慢,但是绕组面积反而以平方倍的速率迅速增加,导致变压器功率密度大幅降低。为了应对未来 DC/DC 变换器越来越高的效率和功率密度要求,本文通过分析平面变压器结构,揭示了其绕组延展方向与磁通方向垂直造成绕组阻抗难以降低的固有物理限制,提出了一种绕组延展方向与磁通平行的三维绕组变压器结构。与平面变压器中磁芯包围绕组的结构不同,所提出的三维绕组变压器中利用绕组包围磁芯,器件直接集成在磁芯表面的绕组上,克服了磁芯厚度与器件厚度在空间利用上相互制约的矛盾,实现了变换器空间的充分利用。最后通过实验验证了所提出的三维 PCB 绕组变压器结构的可行性,实现了高效率高功率密度的变换器设计。

5.2 后续研究展望

高降压比隔离母线变换器的效率和功率密度直接影响着整个供电系统的能效,对于实现应用系统的轻量化、小型化具备重要意义。实现高频高降压比 DC/DC 变换器的高效率和高功率密度涉及高频软开关拓扑设计、高频低损耗驱动技术、高频磁元件技术、器件优化、EMI 抑制、集成封装工艺等多项技术。本文基于高频软开关的元胞化串联谐振拓扑,重点针对高频谐振驱动技术和高频磁元件设计进行了部分研究工作,初步探索并解决了部分问题,但未来还有许多问题有待进一步探索和研究,其中包括:

- 针对元胞化 MHz 高降压比隔离的串联谐振拓扑,本文提出的高频低损耗谐振驱动变压器及参数优化设计方法实现了驱动损耗和驱动电路布板面积的大幅降低。但是对于一个实用的电源模块而言,系统还应包括辅助供电、启动电路、欠压过流保护等模块,因而本文所提出的谐振驱动方案及模块设计

离真正的产业化应用还有一定距离。

- 为了在实现双磁柱绕组绕制的同时降低变压器磁芯的厚度,本文提出了基于 I 片多方向延展的多窗口 EI 型磁芯结构并利用了多段气隙进行了磁通调控。但是在批量化生产时,如何提升多段气隙的制作精度,以及降低磁芯封装时的应力仍有待研究。
- 针对平面变压器结构限制效率和功率密度进一步提升的问题,本文改变了绕组延展方向和磁通方向的相对位置,提出了一种三维 PCB 绕组变压器结构,使绕组周长不随绕组延展宽度增加,能够有效降低绕组阻抗并克服磁芯与器件厚度不匹配的矛盾。但是,受限于加工工艺的限制,目前基于传统 PCB 工艺的三维绕组结构中存在多个焊锡连接点,手工焊接造成了较大的连接损耗。未来可探索磁芯嵌入 PCB、绕组 3D 打印等更为先进的工艺,以充分发挥该三维绕组变压器结构的效率和功率密度优势。
- 目前论文只针对元胞化 MHz 高降压比隔离 DC/DC 变换器的效率和功率密度进行重点研究,未来仍需对 EMI 设计,大功率系统供电时多模块串并联设计以及工程化和产业化中可能存在的问题进行探究。

仅限PMC会员单位内部使用,不得外传

参考文献

- [1] 习近平. 高举中国特色社会主义伟大旗帜为全面建设社会主义现代化国家而团结奋斗 -- 在中国共产党第二十次全国代表大会上的报告 [EB/OL]. http://www.gov.cn/xinwen/2022-10/25/content_5721685.htm.
- [2] 中国信通院. 数据中心白皮书 (2022 年) [EB/OL]. <http://www.caict.ac.cn/kxyj/qwfb/bps/202204/P020220422707354529853.pdf>.
- [3] 工信部: 截至 3 月底我国累计建成 5G 基站超过 264 万个 [EB/OL]. <http://finance.people.com.cn/n1/2023/0420/c1004-32669387.html>.
- [4] 前瞻产业研究院. 2022 年中国模块电源行业产业链现状及发展前景分析 下游市场繁荣发展促进模块电源行业前景向好 [EB/OL]. <https://www.qianzhan.com/analyst/detail/220/220511-d5a64a3a.html>.
- [5] 中国电源学会行业年鉴 (2022) [EB/OL]. <https://www.cpss.org.cn/Home/NewsDetail?newsid=a50a8b63-6b81-4547-bacb-f9aeca9e25da&collid=f9bae83c-0c7f-44e2-8272-82ee2d997ea5>.
- [6] 从党的 20 大报告看数据中心的绿色可持续发展 [EB/OL]. <https://www.esinidc.com/hangyedongtai/762.html>.
- [7] ODCC-2022-0500D 数据中心算力碳效白皮书 [EB/OL]. <https://www.odcc.org.cn/download/24>.
- [8] Lindman P, Thorsell L. Applying distributed power modules in telecom systems [J]. IEEE Transactions on Power Electronics, 1996, 11(2): 365-373.
- [9] Luo S. A review of distributed power systems part I: DC distributed power system [J]. IEEE Aerospace and Electronic Systems Magazine, 2005, 20(8): 5-16.
- [10] Lewis L R, Cho B H, Lee F C, et al. Modeling, analysis and design of distributed power systems[C]. 20th Annual IEEE Power Electronics Specialists Conference, 1989: 152-159 vol.1.
- [11] Tabisz W A, Jovanovic M M, Lee F C. Present and future of distributed power systems[C]. APEC '92 Seventh Annual Applied Power Electronics Conference and Exposition, 1992: 11-18.
- [12] 杜韦静. 电流控制型 DC-DC 级联系统大信号稳定性关键问题研究[D]. 浙江大学, 2013.
- [13] Yang B. Topology investigation for front end DC/DC power conversion for distributed power system[D]. Virginia Polytechnic Institute and State University, 2003.
- [14] Lee F C, Barbosa P, Peng X, et al. Topologies and design considerations for distributed power system applications [J]. Proceedings of the IEEE, 2001, 89(6): 939-950.
- [15] Suranyi G G. The value of distributed power[C]. 1995 IEEE Applied Power Electronics Conference and Exposition - APEC'95, 1995: 104-110 vol.1.
- [16] Miftakhutdinov R, Sheng L, Liang J, et al. Advanced control circuit for intermediate bus converter[C]. 2008 Twenty-Third Annual IEEE Applied Power Electronics Conference and Exposition, 2008: 1515-1521.
- [17] Miftakhutdinov R. Power distribution architecture for tele- and data communication system

- based on new generation intermediate bus converter[C]. INTELEC 2008 - 2008 IEEE 30th International Telecommunications Energy Conference, 2008: 1-8.
- [18] Ren Y, Xu M, Sun J, et al.. A family of high power density unregulated bus converters [J]. IEEE Transactions on Power Electronics, 2005, 20(5): 1045-1054.
- [19] Reusch D C. High frequency, high power density integrated point of load and bus converters[D]. Virginia Tech, 2012.
- [20] 华为技术有限公司. 5G 电源白皮书[EB/OL]. https://www.huawei.com/minisite/5g-ultra-lean-site-2019/pdf_v1.0/5G-power-cn.pdf.
- [21] 通信世界. 5G 网络能源国际标准解析及国内标准化概况 [EB/OL]. <http://www.cww.net.cn/article?id=471424>.
- [22] Denker M, Wosgien J. Evaluation of Lightning Current Distribution on Macro Base Station Telecom Sites[C]. 2018 IEEE International Telecommunications Energy Conference (INTELEC), 2018: 1-8.
- [23] Pratt A, Kumar P, Aldridge T V. Evaluation of 400V DC distribution in telco and data centers to improve energy efficiency[C]. INTELEC 07 - 29th International Telecommunications Energy Conference, 2007: 32-39.
- [24] Sato Y, Tanaka Y, Fukui A, et al. SiC-SIT Circuit Breakers With Controllable Interruption Voltage for 400-V DC Distribution Systems [J]. IEEE Transactions on Power Electronics, 2014, 29(5): 2597-2605.
- [25] Allee G, Tschudi W. Edison Redux: 380 Vdc Brings Reliability and Efficiency to Sustainable Data Centers [J]. IEEE Power and Energy Magazine, 2012, 10(6): 50-59.
- [26] Wang C, Jain P. A quantitative comparison and evaluation of 48V DC and 380V DC distribution systems for datacenters[C]. 2014 IEEE 36th International Telecommunications Energy Conference (INTELEC), 2014: 1-7.
- [27] iNEMI Statement of Work (SOW) DC-DC Power Module, Phase 2[EB/OL]. <http://thor.inemi.org/webdownload/2015/SOW DC-DC Power Module Phase2 050115 .pdf>.
- [28] Vicor. BCM® Family Isolated, Fixed-Ratio DC-DC Converter Modules[EB/OL]. https://www.vicorpower.cn/documents/family_overviews/fo-BCM-VICOR.pdf.
- [29] Vicor. Configuring Vicor IBC Converters with niPOLs[EB/OL]. https://www.vicorpower.cn/documents/application_notes/vichip_appnote1.pdf.
- [30] SynQor. 385 Vin Bus Converter Modules[EB/OL]. <https://www.synqor.com/product-guide/telecom/dc-dc-converter/isolated/unregulated/385-v>.
- [31] SynQor. BQ4H136EE45 DC-DC Converter[EB/OL]. <https://www.synqor.com/products/busqor/bq4h136eex45>.
- [32] Vicor. DCM™ DC-DC Converter DCM4623xD2K13E0y7z[EB/OL]. https://www.vicorpower.com/documents/datasheets/DCM4623xD2K13E0y7z_ds.pdf.
- [33] 张乐. 一种基于半桥 LLC 的兆赫兹 RDCX 变换器研究[D]. 浙江大学, 2018.
- [34] Fei C, Lee F C, Li Q. High-Efficiency High-Power-Density LLC Converter With an Integrated Planar Matrix Transformer for High-Output Current Applications [J]. IEEE Transactions on Industrial Electronics, 2017, 64(11): 9072-9082.
- [35] Prakash P R, Nabih A, Li Q. Design Optimization of PCB-Winding Matrix Transformer for 400V/12V Unregulated LLC Converter[C]. 2021 IEEE Energy Conversion Congress and

- Exposition (ECCE), 2021: 1777-1784.
- [36] Wu X, Shi H. High Efficiency High Density 1 MHz 380–12 V DCX With Low FoM Devices [J]. IEEE Transactions on Industrial Electronics, 2020, 67(2): 1648-1656.
- [37] Ranjram M K, Perreault D J. A 380-12 V, 1-kW, 1-MHz Converter Using a Miniaturized Split-Phase, Fractional-Turn Planar Transformer [J]. IEEE Transactions on Power Electronics, 2022, 37(2): 1666-1681.
- [38] Vicor. BCM® Bus Converter BCM6123xD1E13A3yzz[EB/OL]. https://www.vicorpower.com/documents/datasheets/ds_BCM6123xD1E13A3yzz.pdf.
- [39] 邱兴云. 不对称半桥软开关研究[D]. 重庆大学, 2003.
- [40] Eberle W, Liu Y F. A zero voltage switching asymmetrical half-bridge DC/DC converter with unbalanced secondary windings for improved bandwidth[C]. 2002 IEEE 33rd Annual IEEE Power Electronics Specialists Conference, 2002: 1829-1834 vol.4.
- [41] Chen R, Strydom J T, van Wyk J D. Design of planar integrated passive module for zero-voltage-switched asymmetrical half-bridge PWM converter [J]. IEEE Transactions on Industry Applications, 2003, 39(6): 1648-1655.
- [42] Xu X, Khambadkone A M, Leong T M, et al. A 1-MHz Zero-Voltage-Switching Asymmetrical Half-Bridge DC/DC Converter: Analysis and Design [J]. IEEE Transactions on Power Electronics, 2006, 21(1): 105-113.
- [43] Lee I O, Moon G W. A New Asymmetrical Half-Bridge Converter With Zero DC-Offset Current in Transformer [J]. IEEE Transactions on Power Electronics, 2013, 28(5): 2297-2306.
- [44] Han J K, Kim J W, Choi S H, et al. Asymmetrical Half-Bridge Converter With Zero DC-offset Current in Transformer Using New Rectifier Structure[C]. 2018 International Power Electronics Conference (IPEC-Niigata 2018 -ECCE Asia), 2018: 4049-4053.
- [45] Redl R, Sokal N O, Balogh L. A novel soft-switching full-bridge DC/DC converter: analysis, design considerations, and experimental results at 1.5 kW, 100 kHz [J]. IEEE Transactions on Power Electronics, 1991, 6(3): 408-418.
- [46] Jung-Goo C, Sabate J A, Guichao H, et al. Zero-voltage and zero-current-switching full bridge PWM converter for high-power applications [J]. IEEE Transactions on Power Electronics, 1996, 11(4): 622-628.
- [47] Redl R, Balogh L, Edwards D W. Optimum ZVS full-bridge DC/DC converter with PWM phase-shift control: analysis, design considerations, and experimental results[C]. 1994 IEEE Applied Power Electronics Conference and Exposition - ASPEC'94, 1994: 159-165 vol.1.
- [48] Wu X, Xie X, Zhao C, et al. Low Voltage and Current Stress ZVZCS Full Bridge DC–DC Converter Using Center Tapped Rectifier Reset [J]. IEEE Transactions on Industrial Electronics, 2008, 55(3): 1470-1477.
- [49] Chen B Y, Lai Y S. Switching Control Technique of Phase-Shift-Controlled Full-Bridge Converter to Improve Efficiency Under Light-Load and Standby Conditions Without Additional Auxiliary Components [J]. IEEE Transactions on Power Electronics, 2010, 25(4): 1001-1012.
- [50] Vorperian V, Cuk S. A complete DC analysis of the series resonant converter[C]. 1982 IEEE

- Power Electronics Specialists conference, 1982: 85-100.
- [51] Steigerwald R L. A comparison of half-bridge resonant converter topologies [J]. IEEE Transactions on Power Electronics, 1988, 3(2): 174-182.
- [52] Liu R, Lee C Q. Analysis and design of LLC-type series resonant convertor [J]. Electronics Letters, 1988, 24(24): 1517-1519.
- [53] Yang B, Lee F C, Zhang A J, et al. LLC resonant converter for front end DC/DC conversion[C]. APEC. Seventeenth Annual IEEE Applied Power Electronics Conference and Exposition (Cat. No.02CH37335), 2002: 1108-1112 vol.2.
- [54] Zhang Y, Xu D, Chen M, et al. LLC resonant converter for 48 V to 0.9 V VRM[C]. 2004 IEEE 35th Annual Power Electronics Specialists Conference (IEEE Cat. No.04CH37551), 2004: 1848-1854 Vol.3.
- [55] Youssef M Z, Jain P K. A front end self-sustained LLC resonant converter[C]. 2004 IEEE 35th Annual Power Electronics Specialists Conference (IEEE Cat. No.04CH37551), 2004: 2651-2656 Vol.4.
- [56] Biela J, Badstuebner U, Kolar J W. Impact of Power Density Maximization on Efficiency of DC-DC Converter Systems [J]. IEEE Transactions on Power Electronics, 2009, 24(1): 288-300.
- [57] Gu Y, Lu Z, Hang L, et al. Three-level LLC series resonant DC/DC converter [J]. IEEE Transactions on Power Electronics, 2005, 20(4): 781-789.
- [58] Fu D, Lee F C, Qiu Y, et al. A Novel High-Power-Density Three-Level LCC Resonant Converter With Constant-Power-Factor-Control for Charging Applications [J]. IEEE Transactions on Power Electronics, 2008, 23(5): 2411-2420.
- [59] Jin K, Ruan X. Hybrid Full-Bridge Three-Level LLC Resonant Converter—A Novel DC-DC Converter Suitable for Fuel-Cell Power System [J]. IEEE Transactions on Industrial Electronics, 2006, 53(5): 1492-1503.
- [60] Wu K, Chen Q, Jin K, et al. Integrated magnetic for hybrid full-bridge three-level LLC resonant converter[C]. 2008 International Conference on Electrical Machines and Systems, 2008: 1937-1941.
- [61] Gu Y, Hang L, Chen H, et al. A simple structure of LLC resonant DC-DC converter for multi-output applications[C]. Twentieth Annual IEEE Applied Power Electronics Conference and Exposition, 2005. APEC 2005., 2005: 1485-1490 Vol. 3.
- [62] Huang D. Investigation of topology and integration for multi-element resonant converters[D]. Virginia Tech, 2014.
- [63] Batarseh I. Resonant converter topologies with three and four energy storage elements [J]. IEEE Transactions on Power Electronics, 1994, 9(1): 64-73.
- [64] Severns R P. Topologies for three-element resonant converters [J]. IEEE Transactions on Power Electronics, 1992, 7(1): 89-98.
- [65] Bhat A K S. Fixed-frequency PWM series-parallel resonant converter [J]. IEEE Transactions on Industry Applications, 1992, 28(5): 1002-1009.
- [66] Zeng J, Zhang G, Yu S S, et al. LLC resonant converter topologies and industrial applications — A review [J]. Chinese Journal of Electrical Engineering, 2020, 6(3): 73-84.
- [67] Lu B, Liu W, Liang Y, et al. Optimal design methodology for LLC resonant converter[C].

- Twenty-First Annual IEEE Applied Power Electronics Conference and Exposition, 2006. APEC '06., 2006: 6 pp.
- [68] Fu D, Wang S, Kong P, et al. Novel Techniques to Suppress the Common-Mode EMI Noise Caused by Transformer Parasitic Capacitances in DC–DC Converters [J]. IEEE Transactions on Industrial Electronics, 2013, 60(11): 4968-4977.
- [69] Huang D, Ji S, Lee F C. LLC Resonant Converter With Matrix Transformer [J]. IEEE Transactions on Power Electronics, 2014, 29(8): 4339-4347.
- [70] Mu M, Lee F C. Design and Optimization of a 380–12 V High-Frequency, High-Current LLC Converter With GaN Devices and Planar Matrix Transformers [J]. IEEE Journal of Emerging and Selected Topics in Power Electronics, 2016, 4(3): 854-862.
- [71] Fu D, Lee F C, Wang S. Investigation on transformer design of high frequency high efficiency dc-dc converters[C]. 2010 Twenty-Fifth Annual IEEE Applied Power Electronics Conference and Exposition (APEC), 2010: 940-947.
- [72] Prakash P R, Nabih A, Li Q. Termination Design Optimization of High-Current PCB-Winding Matrix Transformers [J]. IEEE Transactions on Power Electronics, 2023, 38(4): 4957-4971.
- [73] Il-Jung K, Matsumoto S, Sakai T, et al. New power device figure of merit for high-frequency applications[C]. International Symposium on Power Semiconductor Devices and IC's: ISPSD '95, 1995: 309-314.
- [74] Han Y, Wu X, Shi H. Suppressing Method of Common-Mode Noise in MHz 380V-12V DCX Converter[C]. 2019 22nd International Conference on Electrical Machines and Systems (ICEMS), 2019: 1-4.
- [75] Han Y, Li G, Shi H, et al. Analysis and Suppression of Common-Mode EMI Noise in 1 MHz 380 V-12 V DCX Converter With Low NFoM Devices [J]. IEEE Transactions on Power Electronics, 2021, 36(7): 7903-7913.
- [76] Li G, Huang X, Shi H, et al. Modular High Efficiency High Density MHz DCX With Different Output Voltage Adaptation [J]. CPSS Transactions on Power Electronics and Applications, 2022, 7(3): 300-307.
- [77] Vinciarelli P. Low-loss transformer-coupled gate driver: US6911848B2 [P], 2005-06-28.
- [78] Tabisz W A, Gradzki P M, Lee F C Y. Zero-voltage-switched quasi-resonant buck and flyback converters-experimental results at 10 MHz [J]. IEEE Transactions on Power Electronics, 1989, 4(2): 194-204.
- [79] Maksimovic D. A MOS gate drive with resonant transitions[C]. PESC '91 Record 22nd Annual IEEE Power Electronics Specialists Conference, 1991: 527-532.
- [80] Vries I D D. A resonant power MOSFET/IGBT gate driver[C]. APEC. Seventeenth Annual IEEE Applied Power Electronics Conference and Exposition (Cat. No.02CH37335), 2002: 179-185 vol.1.
- [81] Chen Y, Lee F C, Amoroso L, et al. A resonant MOSFET gate driver with efficient energy recovery [J]. IEEE Transactions on Power Electronics, 2004, 19(2): 470-477.
- [82] Eberle W, Zhang Z, Liu Y F, et al. A Current Source Gate Driver Achieving Switching Loss Savings and Gate Energy Recovery at 1-MHz [J]. IEEE Transactions on Power Electronics, 2008, 23(2): 678-691.

- [83] Fujita H. A Resonant Gate-Drive Circuit Capable of High-Frequency and High-Efficiency Operation [J]. IEEE Transactions on Power Electronics, 2010, 25(4): 962-969.
- [84] Zhang Z, Fu J, Liu Y F, et al. Discontinuous-Current-Source Drivers for High-Frequency Power MOSFETs [J]. IEEE Transactions on Power Electronics, 2010, 25(7): 1863-1876.
- [85] Zhou X, Liang Z, Huang A. A High-Dynamic Range Current Source Gate Driver for Switching-Loss Reduction of High-Side Switch in Buck Converter [J]. IEEE Transactions on Power Electronics, 2010, 25(6): 1439-1443.
- [86] Fujita H. A Resonant Gate-Drive Circuit With Optically Isolated Control Signal and Power Supply for Fast-Switching and High-Voltage Power Semiconductor Devices [J]. IEEE Transactions on Power Electronics, 2013, 28(11): 5423-5430.
- [87] Anthony P, McNeill N, Holliday D. High-Speed Resonant Gate Driver With Controlled Peak Gate Voltage for Silicon Carbide MOSFETs [J]. IEEE Transactions on Industry Applications, 2014, 50(1): 573-583.
- [88] Gu L, Tong Z, Liang W, et al. A Multiresonant Gate Driver for High-Frequency Resonant Converters [J]. IEEE Transactions on Industrial Electronics, 2020, 67(2): 1405-1414.
- [89] Mashhadi I A, Pahlevani M. A Dual-Switch Discontinuous Current-Source Gate Driver Overcoming the Current Diversion Problem for a Buck VRM [J]. IEEE Transactions on Power Electronics, 2020, 35(4): 3778-3793.
- [90] Li Q, Wolfs P. The Power Loss Optimization of a Current Fed ZVS Two-Inductor Boost Converter With a Resonant Transition Gate Drive [J]. IEEE Transactions on Power Electronics, 2006, 21(5): 1253-1263.
- [91] Yang Z, Ye S, Liu Y F. A New Dual-Channel Resonant Gate Drive Circuit for Low Gate Drive Loss and Low Switching Loss [J]. IEEE Transactions on Power Electronics, 2008, 23(3): 1574-1583.
- [92] Yang Z, Ye S, Liu Y F. A New Resonant Gate Drive Circuit for Synchronous Buck Converter [J]. IEEE Transactions on Power Electronics, 2007, 22(4): 1311-1320.
- [93] Yao K, Lee F C. A novel resonant gate driver for high frequency synchronous buck converters [J]. IEEE Transactions on Power Electronics, 2002, 17(2): 180-186.
- [94] Ren Y, Xu M, Meng Y, et al. 12V VR Efficiency Improvement based on Two-stage Approach and a Novel Gate Driver[C]. 2005 IEEE 36th Power Electronics Specialists Conference, 2005: 2635-2641.
- [95] Arntzen B, Maksimovic D. Switched-capacitor DC/DC converters with resonant gate drive [J]. IEEE Transactions on Power Electronics, 1998, 13(5): 892-902.
- [96] Wu Q, Wang Q, Zhu J, et al. Dual-Channel Push-Pull Isolated Resonant Gate Driver for High-Frequency ZVS Full-Bridge Converters [J]. IEEE Transactions on Power Electronics, 2019, 34(5): 4019-4024.
- [97] Zhang Z, Li F F, Liu Y F. A High-Frequency Dual-Channel Isolated Resonant Gate Driver With Low Gate Drive Loss for ZVS Full-Bridge Converters [J]. IEEE Transactions on Power Electronics, 2014, 29(6): 3077-3090.
- [98] Wiegman H L N. A resonant pulse gate drive for high frequency applications[C]. APEC '92 Seventh Annual Applied Power Electronics Conference and Exposition, 1992: 738-743.
- [99] Ahmed M H, Fei C, Lee F C, et al. 48-V Voltage Regulator Module With PCB Winding

- Matrix Transformer for Future Data Centers [J]. IEEE Transactions on Industrial Electronics, 2017, 64(12): 9302-9310.
- [100] Wang S, Wu H, Lee F C, et al. Integrated Matrix Transformer with Optimized PCB Winding for High-Efficiency High-Power-Density LLC Resonant Converter[C]. 2019 IEEE Energy Conversion Congress and Exposition (ECCE), 2019: 6621-6627.
- [101] Gadelrab R, Lee F. PCB-based Magnetic Integration and Design Optimization for Three-Phase LLC [J]. IEEE Transactions on Power Electronics, 2023: 1-13.
- [102] Nabih A, Li Q. Low-Profile and High-Efficiency 3 kW 400 V-48 V LLC Converter with a Matrix of Four Transformers and Inductors for 48V Power Architecture for Data Centers[C]. 2021 IEEE Energy Conversion Congress and Exposition (ECCE), 2021: 1813-1819.
- [103] Van Der Linde D, Boon C A M, Klaassens J B. Design of a high-frequency planar power transformer in multilayer technology [J]. IEEE Transactions on Industrial Electronics, 1991, 38(2): 135-141.
- [104] Dai N, Lofti A W, Skutt C, et al. A comparative study of high-frequency, low-profile planar transformer technologies[C]. 1994 IEEE Applied Power Electronics Conference and Exposition - ASPEC'94, 1994: 226-232 vol.1.
- [105] Ouyang Z, Andersen M a E. Overview of Planar Magnetic Technology—Fundamental Properties [J]. IEEE Transactions on Power Electronics, 2014, 29(9): 4888-4900.
- [106] Zhang L, Wu X, Chen H. 1MHz LLC resonant DC-DC converter with PWM output regulation capability[C]. 2016 IEEE 8th International Power Electronics and Motion Control Conference (IPEMC-ECCE Asia), 2016: 445-450.
- [107] Herbert E. Design and application of matrix transformers and symmetrical converters[M]. FMTT, Incorporated, 1990.
- [108] Reusch D, Lee F C. High frequency bus converter with integrated matrix transformers for CPU and telecommunications applications[C]. 2010 IEEE Energy Conversion Congress and Exposition, 2010: 2446-2450.
- [109] Sum K K, Holmes D T. Novel low profile matrix transformers for high density power conversion [J]. PowerConversion and Intelligent Motion, 1988.
- [110] Li G, Wu X. High Power Density 48–12 V DCX With 3-D PCB Winding Transformer [J]. IEEE Transactions on Power Electronics, 2020, 35(2): 1189-1193.
- [111] Ngo K D T, Alpizar E, Watson J K. Modeling of losses in a sandwiched-winding matrix transformer [J]. IEEE Transactions on Power Electronics, 1995, 10(4): 427-434.
- [112] Margueron X, Besri A, Lembeye Y, et al. Current Sharing Between Parallel Turns of a Planar Transformer: Prediction and Improvement Using a Circuit Simulation Software [J]. IEEE Transactions on Industry Applications, 2010, 46(3): 1064-1071.
- [113] Chen W, Yan Y, Hu Y, et al. Model and design of PCB parallel winding for planar transformer [J]. IEEE Transactions on Magnetics, 2003, 39(5): 3202-3204.
- [114] Prieto R, Cobos J A, Garcia O, et al. Using parallel windings in planar magnetic components[C]. 2001 IEEE 32nd Annual Power Electronics Specialists Conference (IEEE Cat. No.01CH37230), 2001: 2055-2060 vol. 4.
- [115] Dowell P L. Effects of eddy currents in transformer windings[C]. Proceedings of the Institution of Electrical Engineers, 1966: 1387-1394.

- [116] Kassakian J G, Schlecht M F. High-frequency high-density converters for distributed power supply systems [J]. Proceedings of the IEEE, 1988, 76(4): 362-376.
- [117] Sullivan C R, Sanders S R. Design of microfabricated transformers and inductors for high-frequency power conversion [J]. IEEE Transactions on Power Electronics, 1996, 11(2): 228-238.
- [118] Hurley W G, Gath E, Breslin J G. Optimizing the AC resistance of multilayer transformer windings with arbitrary current waveforms [J]. IEEE Transactions on Power Electronics, 2000, 15(2): 369-376.
- [119] Loth A W, Lee F C. Two-dimensional skin effect in power foils for high-frequency applications [J]. IEEE Transactions on Magnetics, 1995, 31(2): 1003-1006.
- [120] Kutkut N H. A simple technique to evaluate winding losses including two-dimensional edge effects [J]. IEEE Transactions on Power Electronics, 1998, 13(5): 950-958.
- [121] 旷建军. 开关电源中磁性元件绕组损耗的分析与研究[D]. 南京航空航天大学, 2007.
- [122] Li M, Ouyang Z, Andersen M a E. Discovery of the Nearly Zero Flux Between Two Parallel Conductors in Planar Transformers [J]. IEEE Transactions on Power Electronics, 2022, 37(1): 714-723.
- [123] Ouyang Z, Thomsen O C, Andersen M a E. Optimal Design and Tradeoff Analysis of Planar Transformer in High-Power DC-DC Converters [J]. IEEE Transactions on Industrial Electronics, 2012, 59(7): 2800-2810.
- [124] Ouyang Z, Thomsen O C, Andersen M a E. The analysis and comparison of leakage inductance in different winding arrangements for planar transformer[C]. 2009 International Conference on Power Electronics and Drive Systems (PEDS), 2009: 1143-1148.
- [125] Marxgut C, Muhlethaler J, Krismer F, et al. Multiobjective Optimization of Ultraflat Magnetic Components With PCB-Integrated Core [J]. IEEE Transactions on Power Electronics, 2013, 28(7): 3591-3602.
- [126] Perrin R, Allard B, Buttay C, et al. 2 MHz high-density integrated power supply for gate driver in high-temperature applications[C]. 2016 IEEE Applied Power Electronics Conference and Exposition (APEC), 2016: 524-528.
- [127] Sun B, Burgos R, Boroyevich D. Ultralow Input-Output Capacitance PCB-Embedded Dual-Output Gate-Drive Power Supply for 650 V GaN-Based Half-Bridges [J]. IEEE Transactions on Power Electronics, 2019, 34(2): 1382-1393.
- [128] Dou Y, Ouyang Z, Thummala P, et al. PCB embedded inductor for high-frequency ZVS SEPIC converter[C]. 2018 IEEE Applied Power Electronics Conference and Exposition (APEC), 2018: 98-104.
- [129] 谭志中, 谭震. 一类任意 $m \times n$ 阶矩形网络的电特性 [J]. 物理学报, 2020, 69(02): 78-92.

攻读博士学位期间的研究成果

第一作者:

- [1] A 98.4% Efficiency 380V-12V DCX With 1.3kW/in³ Power Density Using Low NFoM Devices and Resonant Drive Transformer [J]. IEEE Transactions on Power Electronics, 2022, 37(10): 12346-12356. (SCI)
- [2] High Power Density 48–12 V DCX With 3-D PCB Winding Transformer [J]. IEEE Transactions on Power Electronics, 2020, 35(2): 1189-1193. (SCI)
- [3] Modular High Efficiency High Density MHz DCX With Different Output Voltage Adaptation [J]. CPSS Transactions on Power Electronics and Applications, 2022, 7(3): 300-307. (EI)
- [4] High Efficiency High Power Density Cellular 1MHz 380V-12V DCX for Future Data Centers [C]. 2023 11th International Conference on Power Electronics and ECCE Asia (ICPE 2023 - ECCE Asia) (EI, 国际会议)
- [5] A 1.8kW/in³ Power Density Cellular 380V-12V DCX with 98.4% Peak Efficiency Using Low NFoM Devices and Resonant Drive Transformer[C]. 2022 IEEE International Power Electronics and Application Conference and Exposition (PEAC), 2022: 1404-1408. (EI, 国际会议)
- [6] A High Power Density 48V-12V DCX with 3-D PCB Winding Transformer[C]. 2020 IEEE Applied Power Electronics Conference and Exposition (APEC), 2020: 463-467. (EI, 国际会议)
- [7] 宽输出适应的兆赫兹高效率功率密度DC-DC变换器研究[C]. 中国电源学会第二十四届学术年会 2021. (国内会议)

第二作者:

- [1] Analysis and Suppression of Common-Mode EMI Noise in 1 MHz 380 V-12 V DCX Converter With Low NFoM Devices [J]. IEEE Transactions on Power Electronics, 2021, 36(7): 7903-7913. (SCI)
- [2] 一种驱动电路, 中国, CN 112769338 B. (发明专利 授权, 导师第一作者)