

分类号: TN323

密 级:

单位代码: 10335

学 号: 22110126

浙江大学

硕士学位论文



中文论文题目: 全象限功率 GaN 器件动态导通电阻测试方法与分析

英文论文题目: Full Quadrant Dynamic On-Resistance Testing
Method and Analysis of GaN Power Devices

申请人姓名: 谢宗伦

指导教师: 吴新科

盛况

专业名称: 电气工程

研究方向: 电力电子与电力传动

所在学院: 电气工程学院

论文提交日期 2024 年 3 月

全象限功率 GaN 器件动态导通电阻测试方法与分析



论文作者签名: 谢宋伦

指导教师签名: 吴加华

论文评阅人 1: 匿名评阅

评阅人 2: 匿名评阅

评阅人 3: 匿名评阅

评阅人 4: _____

评阅人 5:

答辩委员会主席： 谢小高 教授 杭州电子科技大学

委员 1: 赵晨 高级工程师 矽力杰半导体

委员 2: 张军明 教授 浙江大学

委员 3: 邵帅 副教授 浙江大学

委员 4: 郭清 副教授 浙江大学

委员 5: _____

答辩日期: 2024.03.10

Full Quadrant Dynamic On-Resistance Testing Method and
Analysis of GaN Power Devices



Author's signature: Zonglun Xie

Supervisor's signature: 吴加平

External Reviewers: Anonymous reviewer

Anonymous reviewer

Anonymous reviewer

Examining Committee Chairperson:

Prof. Xiaogao Xie

Examining Committee Members:

Dr. Chen Zhao

Prof. Junming Zhang

Prof. Shuai Shao

Prof. Guo Qing

Date of oral defence: 2024.3.10

浙江大学研究生学位论文独创性声明

本人声明所呈交的学位论文是本人在导师指导下进行的研究工作及取得的研究成果。除了文中特别加以标注和致谢的地方外，论文中不包含其他人已经发表或撰写过的研究成果，也不包含为获得 浙江大学 或其他教育机构的学位或证书而使用过的材料。与我一同工作的同志对本研究所做的任何贡献均已论文中作了明确的说明并表示谢意。

学位论文作者签名：谢家伦 签字日期：2024 年 3 月 27 日

学位论文版权使用授权书

本学位论文作者完全了解 浙江大学 有权保留并向国家有关部门或机构送交本论文的复印件和磁盘，允许论文被查阅和借阅。本人授权 浙江大学 可以将学位论文的全部或部分内容编入有关数据库进行检索和传播，可以采用影印、缩印或扫描等复制手段保存、汇编学位论文。

(保密的学位论文在解密后适用本授权书)

学位论文作者签名：谢家伦

导师签名：吴加料

签字日期：2024 年 3 月 27 日

签字日期：2024 年 3 月 27 日

本论文部分工作得到

浙江省“尖兵”“领雁”研发攻关计划资助
(资助号：2023C01011)

资助

仅限PMIC会员单位内部使用，不得外传
谨致感谢！

本论文部分工作得到

国家重点研发计划资助
(资助号：2021YFB3600904)

资助

仅限PMIC会员单位内部使用，不得外传
谨致感谢！

致谢

愿课题组的师兄弟们，以及所有给予我帮助、支持的人们，未来只有轻舟，没有万重山。

自 2017 年 8 月第一次走入紫金港校区，至 2021 年 6 月开始研究生的求学生涯，再到如今即将完成硕士学业，转眼已六年有余。临别之际，回首往事，感慨亦感恩，在此，向所有曾经给予我帮助和支持的人表示由衷的感谢。

首先，感谢吴新科教授对我的指引和帮助。吴教授不辞辛劳，时常以最严谨的治学态度以及最负责任的做法，来指导课题组的每一位同学进行科研工作以及学术思考。在吴教授课题组的近三年生活中，我不仅逐渐明确了自己的研究方向，培养了自己的专业技能，取得了一定的科研成果，并在这个过程中收获了成长与进步。其次，感谢吴教授主导的 PMIC 联盟，联盟为课题组的每一位同学提供了极其宝贵的汇报机会，每一次做研讨会汇报，都是在对自己的工作进行整合、提炼和表达。这一过程中，我先是被动而后主动地不断磨练自己，精益求精，最后，在自己的工作方面，PPT 汇报足以做到得心应手。在此，诚恳地向吴老师道一声辛苦。享受吴老师庇护的日子已经结束，从今而后，只能凭借磨练得到的技能，自己独自闯荡。此外，衷心感谢郭清老师在读研生活中给予的热心帮助。

感谢周莉英大姐、顾晓燕、王笑箐、韩玲琪等几位行政老师与科研助理，你们的高效与负责让我得以更专注于自己的学习和生活。

感谢董泽政、杨金旭、张思亮、刘天骥、李光灿、田霖、赵问鼎、黄天林、赵韞玉等师兄对我的指导和帮助，师兄们丰富的经验让我少走了许多弯路；感谢孙佳慧、徐弘毅等师兄师姐在论文撰写时给予的帮助；感谢黄新隆、朱时羽、刘亚南、李京津、张佳一、吕润泽、朱振海、徐宇豪等同届入学的同学对我的帮助，和你们共事的时光使人成长；感谢王雨琛、张棧、司华宁、陈睿轩、黄程宇、郝鑫、刘慧、刘毅哲等师弟师妹对我的帮助，你们的未来想必一片坦途。

感谢父母家人在读研过程中给予的支持，祝愿父母身体健康；感谢从家乡建德到杭州相识多年的好友一路而来的支持。

感谢和平稳定的社会环境，感谢政府，感谢每一位纳税人。

谢宋伦

2024 年 3 月于浙江大学

摘要

在过去十年里，氮化镓高电子迁移率晶体管（GaN high-electron-mobility transistors, GaN HEMTs）凭借着材料性能优势，被广泛用于多种应用领域，包括消费电子、功率电源模块和逆变器。然而，由于器件表面和缓冲层陷阱的影响，这些基于 GaN 的功率器件持续面临着动态电阻衰退的问题，这给基于 GaN 器件的电源设计和导通损耗评估带来了严峻的挑战。因此，GaN 器件在高频开关应用中的动态电阻性能研究持续吸引着学术界和产业界的广泛关注。

目前的研究主要集中在动态电阻测试电路的设计和在不同工作条件下的性能量化上。但这些研究均存在一定的局限，例如：（1）在氮化镓器件广泛应用的许多领域，构成半桥桥臂的一对开关管将分别工作于第一象限和第三象限，而现有的测试电路多设计于第一象限模式进行测试；（2）目前市场上的商用 GaN 器件主要分为肖特基门极和欧姆门极两种结构，它们在不同工况下的动态电阻表现仍需深入评估。

为应对现有研究的局限性，本文提出了集第一象限、第三象限测试于一体的全象限测试电路，并配套提出了一种准确有效的 GaN 器件动态电阻测试方法，以评估不同技术路线的 600/650V GaN 器件的动态表现。

测试表明，在关断漏源电压应力 400 V，导通电流为最大导通电流的 70% 的条件下，不同技术路线的 GaN 器件在第一、第三象限表现出不同的动态电阻特性，因此在变换器设计和损耗分析时应给予充分关注。此外，当以导通电流的幅值作为变量进行动态电阻测试时，两种不同结构的器件在反向导通期间，动态导通电阻随导通电流的增加而先降低后升高，整体呈现“波谷”趋势。

进一步地，本文借助半导体器件仿真工具，分析了第一、第三象限导通条件对动态电阻影响的内部机制，并解释了在第三象限反向导通条件下，目前采用门极空穴注入结构的器件对动态电阻衰退的抑制作用，同时采用肖特基门极结构的器件其阈值电压漂移将更为显著，为电源应用中的 GaN 功率器件选型提供了重要的参考依据。

关键词：动态导通电阻、GaN 功率器件、多组双脉冲测试、第三象限、反向导通模式

Abstract

In the past decade, GaN high electron mobility transistors (GaN HEMTs) have been widely used in various applications, including consumer electronics, power supply modules, and inverters, due to their unique performance advantages. However, due to the influence of device surface and buffer layer traps, these GaN based power devices continue to face the problem of dynamic resistance decay, which poses serious challenges to power supply design and conduction loss assessment based on GaN devices. Therefore, the research on the dynamic resistance performance of GaN devices in high-frequency switching applications continues to attract widespread attention from both academia and industry.

The current research mainly focuses on the design of dynamic resistance testing circuits and the quantification of performance under different working conditions. However, these studies all have certain limitations, such as: (1) in many fields where gallium nitride devices are widely used, a pair of switching tubes forming half bridge arms will work in the first and third quadrants respectively, while existing testing circuits are mostly designed for testing in the first quadrant mode; (2) At present, commercial GaN devices on the market are mainly divided into two structures: Schottky gate and Ohmic gate, and their dynamic resistance performance under different operating conditions still needs to be further evaluated.

To address the limitations of existing research, this paper proposes a full quadrant testing circuit that integrates first and third quadrant testing, and proposes an accurate and effective dynamic resistance testing method for GaN devices to evaluate the dynamic performance of 600/650V GaN devices with different technical routes.

Tests have shown that GaN devices with different technical routes exhibit different dynamic resistance characteristics in the first and third quadrants under the condition of a stress of 400 V on the turn off leakage source voltage and a conduction current of 70% of the maximum conduction current. Therefore, sufficient attention

should be paid to converter design and loss analysis. In addition, when conducting dynamic resistance tests with the amplitude of the conduction current as a variable, the dynamic conduction resistance of two different structures of devices decreases first and then increases with the increase of the conduction current during the reverse conduction period, showing an overall "trough" trend.

Furthermore, this article uses semiconductor device simulation tools to analyze the internal mechanism of the influence of the first and third quadrant conduction conditions on dynamic resistance, and explains the inhibitory effect of gate hole injection structures on dynamic resistance decay under reverse conduction conditions in the third quadrant. At the same time, devices using Schottky gate structures will have more significant threshold voltage drift, this provides an important reference for the selection of GaN power devices in power supply applications.

Key words: GaN power device, dynamic on-resistance, multiple dual pulse testing, third quadrant, reverse conduction mode.

仅限PMIC会员单位内部使用，不得外传

插图清单

图 1-1 (a) p-GaN E-mode GaN; (b) MIS-FET E-mode 器件	3
图 1-2 GaN 器件中的动态电阻退化: (a) 单个脉冲 (b) 实际工作中的多个脉冲	5
图 1-3 与表面陷阱有关的动态电阻退化: (a) 静态关断 (b) 高压阻断 (c) 开通	6
图 1-4 与体陷阱相关的动态电阻机制: (a) 静态关断 (b) 高压阻断	6
图 2-1 测试电路原理图	10
图 2-2 模态控制时测试电路的原理图: (a) 原测试电路 (b) 简化后的测试电路	10
图 2-3 测试电路关键波形: (a) 硬开通 (b) 零电压软开通	11
图 2-4 第三象限测试电路关键波形: (a) 硬关断 (b) 软关断	12
图 2-5 基于二极管的电压钳位电路	14
图 2-6 D_1 的 $I-V$ 特性曲线及拟合公式	15
图 2-7 适用于第三象限测试的电压钳位电路	15
图 2-8 钳位电路的响应时间: (a) $V_{DS, OFF} = 200V$ (b) $V_{DS, OFF} = 300V$ (c) $V_{DS, OFF} = 400V$	16
图 2-9 双脉冲测试的动态电阻计算与提取	18
图 2-10 工作于连续脉冲下 GaN 器件的动态电阻	19
图 2-11 $100\mu s$ 软硬开关的多脉冲热仿真: (a) 仿真结果 (b) 温度上升对电阻的影响	19
图 2-12 多组双脉冲测试的门极信号图	20
图 2-13 多组双脉冲测试的时序图: (a) 时序图 (b) 预应力/双脉冲阶段电路 (c) 散热阶段电路	20
图 2-14 第一象限硬开通条件的导通电流控制方法	22
图 2-15 Cascode 器件电路等效结构: (a) 结构图 (b) 反向导通时电流路径	23
图 2-16 E-mode 器件结构图: (a) Schottky p-GaN (b) Hybrid Drain Gate	

Injection Transistor	23
图 2-17 GIT 器件的等效电路和门极特性	25
图 2-18 带有 RC 门极驱动的 GIT 器件等效电路：(a) 电路结构图 (b) 栅源电压 V_{GS} 示意图	25
图 2-19 空心电感感值计算示意图	27
图 2-20 绕制的空心电感成品	27
图 2-21 测试电路实物图：(a) 待测器件 A (b) 待测器件 B	28
图 3-1 GaN 器件动态电阻测试平台	30
图 3-2 实验设备连接方式	30
图 3-3 动态导通电阻测试的流程图：(a) 双脉冲测试 (b) 多组双脉冲测试	31
图 3-4 IPP60R060C7 的双脉冲测试结果：(a) 测试波形示意图 (b) 计算得到的导通电阻	32
图 3-5 双脉冲测试被包含在多组双脉冲测试之中	33
图 3-6 GS66504B 在正向导通硬开通时的测试波形	33
图 3-7 GS66504B 多组双脉冲测试结果示意图	34
图 3-8 多组双脉冲测试结果：(a) 器件 A (b) 器件 B	34
图 3-9 不同工作象限，器件导通电阻的变化对比图：(a) 器件 A 硬开关 (b) 器件 B 硬开关；(c) 器件 A 软开关 (d) 器件 B 软开关	35
图 3-10 改变峰值电流后，GS66504B 的双脉冲测试结果：(a) 测试波形示意图 (b) 不同峰值电流条件下，计算得到的导通电阻随时间的变化	36
图 3-11 改变峰值电流条件的多组双脉冲测试结果：(a) 器件 A 硬开关 (b) 器件 B 硬开关；(c) 器件 A 软开关 (d) 器件 B 软开关	37
图 4-1 E-mode 器件结构图：(a) 器件 A，欧姆门极 (b) 器件 B，肖特基门极	39
图 4-2 $V_{GS} = 0$ 时的欧姆门极器件：(a) 门极附近结构图 (b) 能带图	40
图 4-3 欧姆门极器件横截面图：(a) 门极结构等效模型 (b) 门极空穴注入示意图	40
图 4-4 $V_{GS} = 0$ 时的肖特基门极器件：(a) 门极附近结构图 (b) 能带图	41

图 4-5 阈值电压漂移效应示意图：(a) 器件承受关断应力时 (b) 器件开通时 42

图 4-6 不同工作象限的阈值电压漂移效应示意图：(a) 第一象限 (b) 第三象限 42

图 4-7 silivaco 进行二维器件的仿真流程 44

图 4-8 (a) 器件 A 的尺寸结构图，单位为 μm (b) 搭建的仿真模型 ... 44

图 4-9 求解描述中给定的 V_{GS} 和 V_{DS} 波形：(a) 第一象限工作时；(b)第三象限工作时 45

图 4-10 器件在不同导通条件下，工作 2 微秒后的横截面：(a) 第一象限；(b) 第三象限46

图 4-11 在不同导通条件下，工作 2 微秒后的门极导带图：(a) 第一象限 (b) 第三象限 46

仅限PMIC会员单位内部使用，不得外传

目录

致谢 I

摘要 II

ABSTRACT III

插图清单 V

目录 VIII

第 1 章 绪论 1

 1.1 研究背景 1

 1.1.1 GaN 器件的特征及应用 1

 1.1.2 E-mode GaN 器件的工艺 2

 1.1.3 GaN 功率器件的产业发展 3

 1.2 动态电阻衰退现象 4

 1.2.1 动态电阻的退化机制 5

 1.2.2 动态电阻的研究现状 7

 1.3 本文的主要研究内容 8

第 2 章 兼容一、三象限的动态电阻测试电路与方法 10

 2.1 测试电路工作原理 10

 2.1.1 第一象限电路工作原理 10

 2.1.2 第三象限电路工作原理 12

 2.2 动态导通电阻的测量方法 13

 2.2.1 导通电压提取方法 13

 2.2.2 导通电流提取方法 16

 2.3 测试方法 17

 2.3.1 双脉冲测试方法 17

 2.3.2 多组双脉冲测试方法 18

 2.3.3 改变峰值电流的测试方法 21

2.4 测试电路的设计	22
2.4.1 待测器件的选型	22
2.4.2 GaN 器件驱动回路设计	24
2.4.3 续流电感设计	27
2.4.4 测试样机及元器件参数	27
2.5 本章小结	28
第 3 章 不同结构 GAN 器件一、三象限动态电阻评估	30
3.1 测试平台搭建	30
3.2 动态电阻测试结果	32
3.2.1 双脉冲及多组双脉冲测试结果	33
3.2.2 峰值电流对动态电阻影响	36
3.3 本章小结	38
第 4 章 不同导通象限对动态电阻的影响分析与仿真验证	39
4.1 第一、第三象限导通条件对动态电阻的影响	39
4.1.1 门极空穴注入效应在第一、第三象限导通条件下的影响	40
4.1.2 阈值电压漂移效应在第一、第三象限导通条件下的影响	41
4.2 基于 SILVACO 的半导体仿真验证	43
4.2.1 仿真模型建立	43
4.2.2 仿真模型求解	45
4.3 本章小结	46
第 5 章 总结与展望	48
参考文献	51
作者简介	55
硕士期间发表和录用的论文	56

第 1 章 绪论

1.1 研究背景

1.1.1 GaN 器件的特征及应用

氮化镓 (GaN), 作为第三代宽禁带半导体材料的典型, 其独特的材料特性, 包括宽禁带宽度 (3.4 eV) 和高的临界击穿场强 (大约 3.3 MV/cm), 使其在电力电子领域获得广泛应用。在 III 族氮化物如 AlGaN/GaN 和 AlN/GaN 的异质结构中, 内在的极化效应使得无需额外掺杂即可在界面形成高密度 (约 10^{13} cm^{-2})、高迁移率 (约 $2000 \text{ cm}^2/\text{V}\cdot\text{s}$) 和高饱和漂移速度 ($2.5 \times 10^7 \text{ cm/s}$) 的二维电子气 (2DEG) [1]。GaN 的这些材料优势使其超越了碳化硅 (SiC) 等其他宽禁带半导体, 为其在高频、高速、高功率密度的半导体器件领域开辟了巨大的发展空间。在最近的十年中, GaN-on-Si 技术在外延生长、器件设计、加工、封装以及栅极驱动技术等方面都取得了显著进步, 已在高效、小型化电源转换器的生产中实现了商业化应用。例如, GaN 功率器件在高效能供电、电动汽车、分布式发电和消费电子产品等多个领域展现了其优越性, 不仅展示了 GaN 在电力电子转换领域的广泛应用潜力, 也预示了其巨大的市场机会。

表 1-1 半导体器件关键参数^{[2][3][4][5]}

器件类型	电压等级 (V)	$R_{DS(on)}$ (m Ω)	$R_{DS(on)} \cdot Q_{OSS}$ (m $\Omega \cdot \mu\text{C}$)	$R_{DS(on)} \cdot Q_{RR}$ (m $\Omega \cdot \mu\text{C}$)	$R_{DS(on)} \cdot E_{OSS}$ (m $\Omega \cdot \mu\text{J}$)	$R_{DS(on)} \cdot Q_G$ (m $\Omega \cdot \text{nC}$)
Si ¹	650	57	22.6	32.5	440	3820
GaN E-mode ²	650	50	3.2	0	350	305
GaN HD-GIT ³	600	70	2.6	2.6	370	315
SiC DMOS ⁴	900	65	4.5	8.5	570	1950

¹ Infineon CoolMOS™ IPP60R070CFD7 数据手册; ² GaN Systems E-mode GaN transistor 手册; ³ Infineon CoolGaN™ 数据手册; ⁴ Wolfspeed C3M0065090J 数据手册; 以上参数均来自 25℃ 测试条件。

表 1-1 显示了英飞凌和 GaN System 公司推出的 GaN 增强型 (E-mode) 器件与市场上领先的硅 (Si) 和碳化硅 (SiC) 器件的性能对比。从这项对比中可以看出, GaN E-mode 器件在多项核心性能指标上明显优于 Si 和 SiC 器件。尤其

是在栅极总电荷 (Q_G) 方面, GaN 的性能远超 Si 和 SiC 器件的 5 到 10 倍。此外, GaN E-mode 器件在输出电荷 (Q_{OSS}) 和反向恢复电荷 (Q_{RR}) 方面也大幅领先, 比 Si 器件高出超过 10 倍。虽然在开关损耗能量 (E_{oss}) 方面, GaN E-mode 器件与硅器件相似, 但整体性能的显著提升预示着 GaN 功率器件在电源设计领域的重大进步, 成为了高效率和高功率密度的电源设计的优选方案。这类器件已在多种电源转换系统中得到广泛应用, 如有源钳位反激变换器、LLC 谐振变换器, 以及图腾柱 PFC 拓扑结构等, 并且极大提高了这些系统的电源转换效率和功率密度。

当前, 基于 GaN 的开关器件凭借更紧凑的芯片尺寸和更具优势的开关效率, 在众多尖端电力电子市场中崭露头角: 在现实增强 (AR)、自动驾驶 (Auto pilot)、激光雷达 (Lidar)、医疗成像及诊断、卫星通讯, 以及 4G/5G 基站等应用中, GaN 均已展现出其特有的优势^[6]。面向未来, 随着技术的持续发展和应用范围的不断扩大, 预计 GaN 功率器件将日益成为更多高端场景的优先选择, 并有望改变整个市场的发展趋势。

1.1.2 E-mode GaN 器件的工艺

与依靠 p/n 掺杂来改变导电特性的 Si 器件相比, 平面型 GaN 功率器件的一个显著特征是通过其异质结中的二维电子气来实现导电。在 AlGaIn/GaN 异质结界面下 0 至 5 纳米的量子阱中, 高浓度的二维电子气被限制、显示出极高的电子迁移率, 这使得这类器件也被称为高电子迁移率晶体管 (HEMTs)^[7]。

然而, 平面型 GaN 器件中的二维电子气沟道天然存在, 器件即使是在无外加门极电压的情况下也会处于开启状态, 这无法满足电力电子的应用要求, 市场渴望得到增强型, 也就是具有常态关断能力的 GaN 器件。为此, 目前的研发工作集中于在保持有源区二维电子气的同时, 耗尽或切断栅极下方的二维电子气, 以实现常关型 (Normally-off) GaN 器件。为了实现 GaN 器件在门极电压为零时的关断, 国内外的研发工作主要分为如下图 1-1 所示的两大技术路线, 一种是在 AlGaIn 势垒层和门极电极之间部署 p -GaN 层的 p -GaN 门极晶体管 (p -GaN FET), 另一种则是将 AlGaIn 势垒层蚀刻, 从而去除固有的正极化电荷的绝缘栅结构晶体管 (MIS-FET)^[10]。

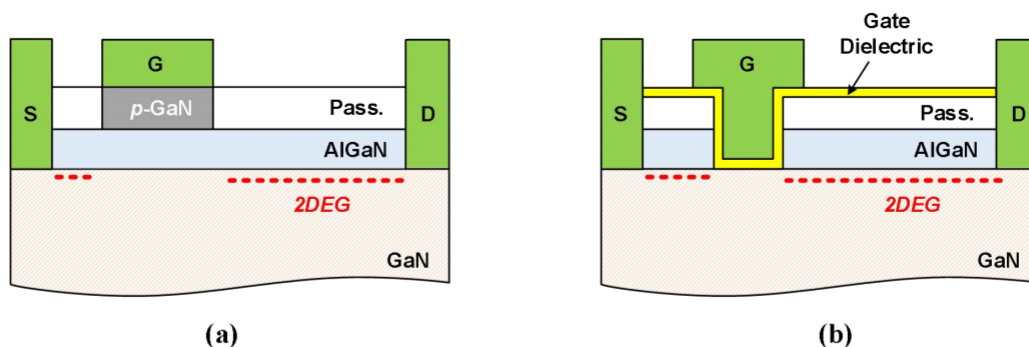


图 1-1 (a) p -GaN E-mode GaN; (b) MIS-FET E-mode 器件

如图 1.1(a)所示,实现常关效果的一种方法是在 AlGaN 势垒层和栅极之间嵌入一层 p -GaN。通过高精度地调整 p -GaN 层的掺杂程度和厚度,可以使得该层中的电荷足以耗尽下方的二维电子气 (2DEG)。这类器件的一个经典示例是由 Efficient Power Conversion 公司率先推出的商用的 p -GaN 栅 FET 栅极注入晶体管。这类器件仅在门极下方提升异质结势垒来实现常态关断的效果,而并没有改变高密度二维电子气的沟道区,这使得器件在保持常关能力的同时,也能维持较低的导通电阻和较高的电流驱动能力。

图 1.1(b)则展示了采用绝缘栅结构的常关型晶体管。为了降低栅极泄漏电流,采用绝缘电介质层代替了势垒层,形成了一个深凹的 GaN MIS-FET。然而,这种设计面临着刻蚀深度控制的挑战,导致阈值电压均匀性难以保证。

此外,还有与前述的平面型 GaN HEMTs 有所不同的垂直型 GaN 器件。垂直型器件是在本征衬底而非硅衬底上生长的,因此不需要缓冲层,其结构更类似于传统 Si MOSFET。垂直型 GaN 器件在耐压、功率密度和稳定性方面优于 Si 器件。然而,由于单晶 GaN 衬底的制备难度和成本,这类器件的发展较为缓慢,目前主要限于实验室研究。因此,本文主要聚焦于已经大面积商用的平面型 GaN 器件的研究^[9]。

1.1.3 GaN 功率器件的产业发展

在过去的二十多年里,伴随着半导体技术的持续发展,硅基 GaN 外延技术日益成熟。同时,随着器件制造工艺的持续改进,GaN 功率器件已经快速发展并逐步走向产业化。

北美地区在 GaN 功率半导体行业中走在前列。

从 2012 年开始,Transphorm 公司陆续推出了一系列 600V GaN 产品,包括各类功率开关、二极管和模块。到了 2015 年,公司与日本的 Fujitsu 合作,推出

了基于 Cascode 结构的量产 GaN 产品^[12]。随后在 2022 年，为了进一步拓展其在中国市场的影响力，Transphorm 在深圳设立了亚太区办事处^[13]。以长期研发投入著称的宜普半导体（EPC），其产品已覆盖从 15V 到 350V 的全部电压范围。目前，该公司推出的 eGaN®FET 晶体管在相同功率等级下已经可以做到与功率 MOSFET 相竞争的价格^[14]。Navitas 半导体于 2016 年推出了 650V GaN 功率集成 IC，其后又推出了集成半桥 GaN 功率 IC，实现了重大技术突破^[15]。2014 年，GaN Systems 推出了 100V 和 650V 的量产 GaN 功率器件，采用创新技术提高了器件的电流密度^[16]。2023 年 3 月，GaN Systems 被半导体巨头英飞凌收购，这一合作将进一步增强其市场地位^[17]。而英飞凌公司，近年通过并购和合作，迅速涉足 GaN 领域。公司于 2014 年收购了国际整流器公司（IR），从而进入了 GaN 和 IGBT 等功率半导体市场，并与松下合作开发了 600V E-mode GaN 器件。到 2018 年，英飞凌推出了 CoolGaN 600V E-mode 器件及相应驱动芯片，成为少数拥有完整功率产品线公司之一^[18]。

除欧美地区的 GaN 半导体创新企业外，全球众多处于领先地位的半导体公司也纷纷涉足此领域。中国公司英诺赛科自 2015 年成立以来，专注于第三代半导体硅基氮化镓外延及器件研发。目前，该公司建立了全球最大的 8 英寸 GaN-on-Si 晶圆量产线，产品覆盖从 30V 到 650V 的面向多种应用领域的氮化镓功率器件^[19]。

氮化镓目前与新能源汽车、光伏、5G、消费快充等下游领域深度绑定。2017 年至 2021 年，氮化镓市场规模从 78.7 亿元提高至 358.3 亿元。随着氮化镓在新能源汽车应用渗透率提升，及在垃圾处理领域等应用的拓展，预计到 2026 年氮化镓市场规模将增长至 1029.7 亿元^[20]。相信在不久的将来，氮化镓开关技术有望成为功率电子领域的首选方案。

1.2 动态电阻衰退现象

尽管在中低压领域，GaN 功率器件具有广泛的应用潜力，但现如今，它们在现实应用中还面临着多重挑战。这些挑战包括较低的阈值电压、有限的栅压冗余度、较差的抗干扰能力、不稳定性、阈值电压以及动态电阻衰退现象导致的导通损耗增加。特别是动态电阻衰退现象，目前已成为限制 GaN 功率器件广泛应用的主要难题之一。

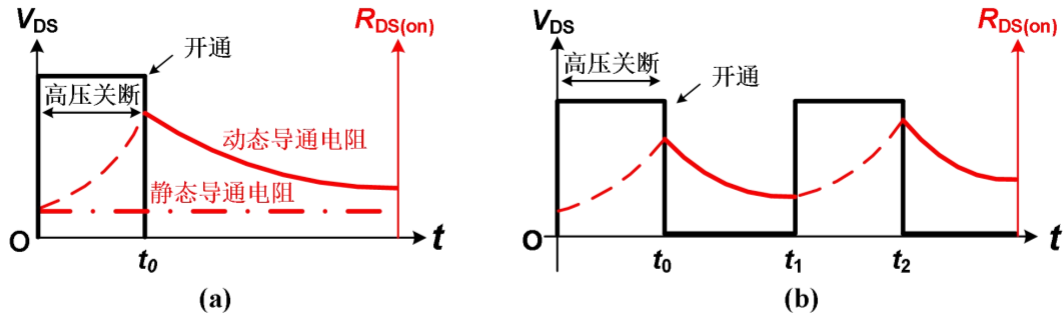


图 1-2 GaN 器件中的动态电阻退化：(a) 单个脉冲 (b) 实际工作中的多个脉冲

在平面型 GaN 器件中，动态电阻退化（Dynamic $R_{DS(on)}$ Degradation），也称为电流崩塌（Current Collapse），是一种常见的可靠性问题。这种现象是由于器件表面、异质结外延层、体陷阱等导致二维电子气部分耗尽，从而引起的器件导通电阻增加^[21]。简而言之，GaN 器件在经历一段时间的高压偏置后再切换至开通状态时，实际导通电阻会高于理想静态导通电阻，如图 1-2（a）所示。随着开通时间的延长，导通电阻逐渐降低，最终可以恢复到理想状态，但这个恢复时间一般在几秒到千秒之间^{[22][23]}。而在实际的开关电源中，功率器件往往不断地在关断和导通之间以极高频率切换，部分应用场景中，器件的开关频率甚至接近 MHz，这意味着在每个开关周期内器件导通的时间均短于其动态电阻的完全恢复时间，如图 1-2（b）所示。在具有高频开关动作的部分应用中，这种导通电阻增加现象将变得非常明显，可能会大幅增加器件的功率损耗，降低工作效率，限制 GaN 器件的广泛应用。

当使用硅器件或氮化硅器件设计电源时，工程师通常依赖于器件数据手册中列出的导通电阻 R_{on} 来预估导通损耗。然而，对于 GaN 器件，手册中的导通电阻 R_{on} 往往是在静态条件下测量得出的，与动态工作条件下的实际值 D- R_{on} (Dynamic R_{on}) 存在显著差异。这种差异导致基于 GaN 器件设计的转换器实际损耗可能高于理论值，产生损耗不匹配的误差。

因此，进行 GaN 功率器件的动态电阻性能表征，对于精准评估实际应用中的导通损耗，对工程应用而言极其关键并且富有价值。

1.2.1 动态电阻的退化机制

目前认为，引起氮化镓器件动态电阻增加的原因，主要是电荷被器件栅极附近的表面态陷阱、以及缓冲层中的体陷阱捕获^[8]。具体来说，器件表面的陷阱源于材料缺陷和损伤，而缓冲层中的体陷阱主要与补偿掺杂（如碳掺杂）和晶体缺

陷相关。

在高压阻断工作状态下，器件栅漏极之间的表面将产生强电场，这种强电场将导致材料中的电子获得能量并被激发，随后被 AlGaIn 层表面的陷阱捕获。这些电子的积累将在栅漏极区域形成负电荷层，相当于一个负偏压的虚拟栅极，导致表面电位降低，从而部分消耗了下面的二维电子气，从而增加了导通电阻。另一方面，开通时，沟道中的电子被瞬间强电场加速，注入势垒层表面陷阱。开通后，这些电子会逐渐释放，二维电子气也会逐步恢复，如图 1-3 (c) 所示^{[24][25][26]}。

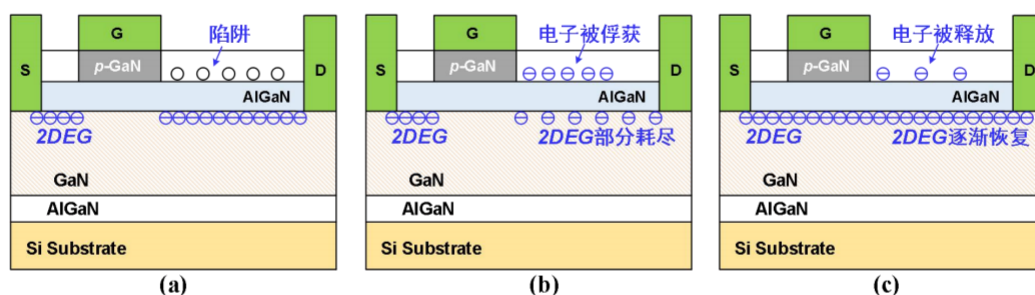


图 1-3 与表面陷阱有关的动态电阻退化：(a) 静态关断 (b) 高压阻断 (c) 开通

由于 III 族氮化物具有较高的内在外在缺陷，在外延生长 GaN 缓冲层时不可避免地会产生一些缺陷和陷阱，初始状态下，这些陷阱在缓冲层内呈电中性，如图 1-4 (a) 所示。而当器件处于高压阻断状态时，栅极和漏极之间缓冲层内的深能级受主陷阱被激活，同时漏极高压也会导致衬底产生流向漏极的泄露电流，此时缓冲层内深能级受主陷阱捕获由衬底流出的自由电子，形成负电中心，如图 1-4 (b)；当撤去关态漏极高压应力，器件开启时，陷阱捕获的电子不能及时释放，此时缓冲层内的负电中心会对沟道层内的二维电子气有一定的耗尽作用，从而导致器件开启时动态电阻增大^{[8][27]}。

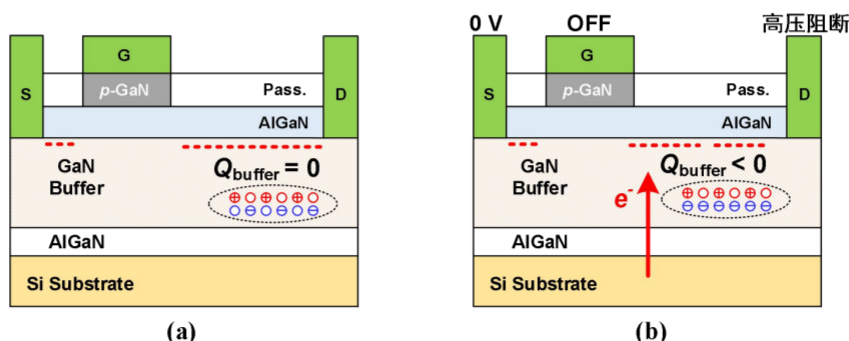


图 1-4 与体陷阱相关的动态电阻机制：(a) 静态关断 (b) 高压阻断

1.2.2 动态电阻的研究现状

在当前的平面型 GaN 功率器件领域, 仍然存在着理论的不完备与工艺的不成熟, 器件设计、制造与实际应用之间不可避免地依旧存在滞后。现阶段, 氮化镓器件在高频、高压环境下, 依旧会面临较为恶劣的动态电阻退化现象, 如前所述, 这会导致显著的导通损耗增加, 也限制了 GaN 功率器件在应用市场的广泛发展。因此, 平面型氮化镓器件动态电阻衰退效应的理论分析, 持续成为学术界和工业界的研究重点。

近年来, 国内外的研究团队对于影响 GaN 动态电阻性能的电气应力和环境因素进行了广泛的理论分析和实验验证, 包括关断状态下承受的电压应力 V_{DS_OFF} ^[28]、电压应力的持续时间 T_{stress} ^[29]、导通状态下的器件漏极电流 I_{DS} ^[30], 开关频率 f_{sw} 和占空比 D ^[31]、器件门极电阻 R_g ^[32]、器件开关模态 (如硬开通和软开通^[33])、器件门极电压 V_{GS} 和电流 I_{GS} ^[34]、器件外壳温度 T_{case} ^{[35][36]}等等。

然而, 目前主流的动态电阻研究主要聚焦于器件处于第一象限的正向导通模式下, 即器件导通时具有正的导通电压和导通电流, 而在第三象限、也即反向导通模式下的动态电阻研究相对较少。而事实上, 在氮化镓器件广泛应用的许多领域, 诸如无桥 CCM 或 BCM Boost 软开通功率因素校正变换器中, 构成半桥桥臂的一对开关管将分别工作于第一象限和第三象限模式。因此氮化镓器件处于第三象限的导通电阻及可靠性同样需要得到详细的评估和论证。

为此, 比利时鲁汶大学的研究团队在 2021 年, 针对氮化镓器件的第三象限可靠性进行了细致的评估^[37]。测试选用的是一款 200V 耐压的 GaN HEMT 器件, 在测试中, 使器件先承受 10 秒的满电压应力偏压后, 进行持续时间长达 230 秒的正向和反向导通模式的单脉冲测试。研究发现, 反向导通模式引起的导通电阻衰退现象将小于正向导通下的导通电阻。然而, 由于 GaN 器件在连续脉冲下的动态电阻变化与单脉冲相比有显著差异, 因此该研究事实上仅仅具有指导意义, 并不符合器件实际的工作条件。

英国考垂文大学的研究人员对于氮化镓器件在第三象限下的动态导通电阻进行了精确的测试, 同时还对比其与第一象限下动态导通电阻的差别^[38]。然而该实验评估采用的是该团队所提出的梯形电流波模式的测试方法, 主要集中于利用梯形电流波测试方法在恒定电流下测量导通电阻, 以提高测试准确性。在该团队

的本项工作中,器件只能在软开关模式下工作,无法对比在第三象限的不同开关条件对动态导通电阻的影响。

阳明交通大学的研究团队提出了一个基于 H 桥的测试电路,用于测试 GaN 器件的动态电阻^[39]。这项工作评估了器件在反向导通硬关断模式下的动态电阻,但没有考虑对比实际应用中反向导通的软关断模式。此外,该工作主要聚焦于肖特基门极结构的增强型器件,并没有评估另一种应用广泛的具有欧姆门极结构的氮化镓器件在反向导通模式下动态电阻性能是否存在变化。

现阶段,关于 GaN 器件在第三象限的性能评估和论证均存在自身的局限性,并不能全面反映氮化镓功率器件的现有技术水平。

1.3 本文的主要研究内容

尽管现阶段的业界对 GaN 器件的动态电阻特性进行了深入的理论研究,并进行实验测试,但整体上这些研究仍存在一些不足。

首先,在氮化镓器件广泛应用的许多领域,构成半桥桥臂的一对开关管将分别工作于第一象限和第三象限。而目前大多数测试电路仅针对第一象限工况进行设计,很少涉及对第三象限,也即反向导通条件下动态电阻的影响。

其次,目前市场上主流的增强型 GaN 功率器件主要分为肖特基门极和欧姆门极两种技术路线,它们在不同工况下的动态电阻特性需要分别进行系统而深入的研究。

鉴于此,本文设计了一种兼容第一象限与第三象限的动态电阻测试电路,并配套提出了一种准确有效的 GaN 器件动态电阻评估方法。相比已有的研究,本文提出的测试电路和方法更贴合 GaN 器件的实际应用情况。此外,本文的工作中还将利用半导体器件仿真工具,从微观角度分析影响动态电阻的内部机制,进而解释其外在表征的动态电阻衰退现象,为半导体器件的研究提供了新的思路。

本文的主要工作如下:

首章介绍了 GaN 器件相较于传统 Si 器件的优势,重点讨论了增强型 GaN 器件的不同技术路径、典型结构及其产业发展。此外,还对 GaN 器件动态电阻现象、退化机理和研究状况进行了阐述,并提出了本文的研究方向。

第二章着重于动态电阻特性研究的理论基础、方法以及电路设计。首先,提出了一种适用于第一、第三象限测试的动态电阻测试电路,并介绍了相应的导通

电压、导通电流的测量方案以及动态电阻计算方法。接着，基于双脉冲测试，提出并分析论证了一种模拟实际变换器工作状态的多组双脉冲测试方法。最后，详细说明了测试平台电路的设计，包括元器件选择和驱动电路设计，并制作了两款测试板样机。

第三章是实验部分，在该章采用了双脉冲和所提出的多组双脉冲测试方法，对比了欧姆门极和肖特基门极的两款商用 GaN 器件在第一、第三象限下随电压应力和漏极导通电流的动态电阻变化情况，揭示了不同象限的导通条件和不同技术路线的 GaN 器件对氮化镓的动态电阻特性的重要影响。

第四章分析了第一、第三象限导通条件对 GaN 器件动态电阻产生影响的物理机制，并借助仿真工具对实验结果进行了分析验证。

第五章总结了全文的研究内容，并对未来氮化镓器件动态电阻评估工作提出了展望。

仅限PMIC会员单位内部使用，不得外传

第2章 兼容一、三象限的动态电阻测试电路与方法

2.1 测试电路工作原理

为了准确、有效地表征功率 GaN 器件在一、三象限下的动态电阻衰退特性, 本文提出并设计了一种兼容第一象限硬开通与软开通、第三象限硬关断与软关断的多功能测试电路。图 2-1 为测试电路原理图, V_{in} 为直流电压源, C_{IN1} 和 C_{IN2} 为两个容值较大的电解电容, 通过串联的方式形成了一个 $V_{in}/2$ 的电位点; Q_2 、 Q_3 为两个共源极串联的高压 Si Mosfet, 它们与 Q_1 一起构成了应力切换开关, Q_1 、 Q_2 、 Q_3 的详细工作原理在模态分析中进行解释说明; L 为续流电感; S_1 与 S_2 为高压 GaN 器件, 共同构成半桥桥臂, 可以方便的模拟 GaN 器件在各种模态的工作状态, 其下管 S_2 即为被测器件 (Device Under Test, DUT)。本小节将重点设计主测试电路的工作原理, 而有关图中所示导通电压钳位电路的工作原理则将在 2.2.1 进行介绍。

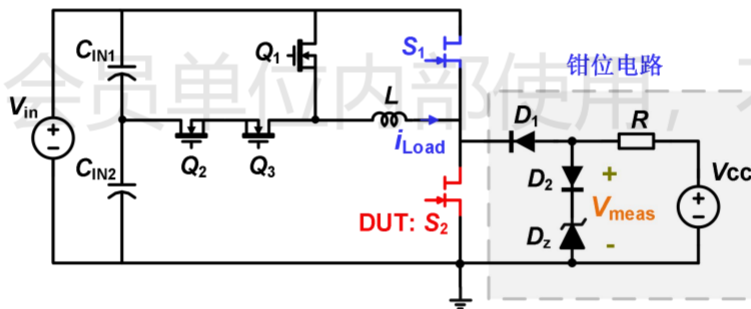


图 2-1 测试电路原理图

2.1.1 第一象限电路工作原理

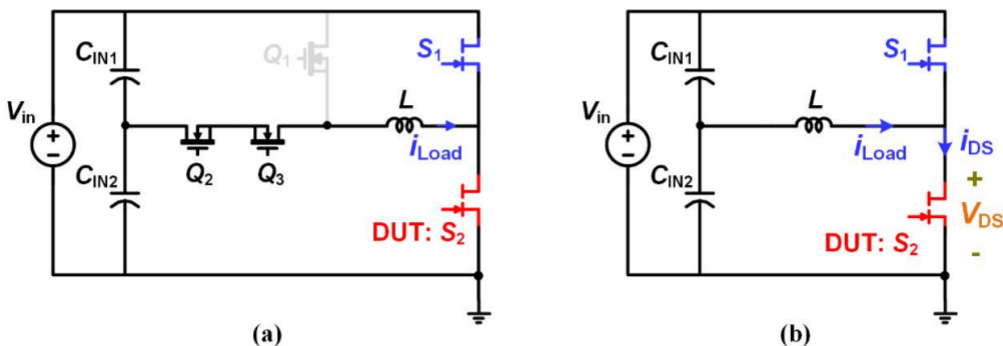


图 2-2 模态控制时测试电路的原理图: (a) 原测试电路 (b) 简化后的测试电路

本文所提出的测试电路可以使待测器件 S_2 工作在第一象限, 以模拟实际功率变换器中开关管的真实工况。第一象限的工作状况包括硬开通与软开通两个不

同的部分，接下来进行分别介绍。

在测试电路进行模态控制时，开关管 Q_2 、 Q_3 导通， Q_1 断开，同时测试电路的结构可以做出如图 2-2 所示的简化。为了清晰简洁地表述工作原理，此处将钳位电路部分暂时略去（下同理）。简化后的测试电路图如图 2-2 (b) 所示。

简化后，测试电路的工作原理与同步整流模式的 BUCK 电路十分类似，其控制信号以及相关的电压、电流波形，如图 2-3 所示。

当待测器件工作在硬开通状态时，控制信号的关键波形图如图 2-3 (a) 所示；在 t_0 时刻以前，为一段预应力持续的准备时间，根据图 2-2 (b) 可知，这一段预应力的大小为 $1/2 V_{in}$ ，为了模拟真实工况，这一段时间大约控制在几秒以内，并在每一次测试中保证该段时间相同。

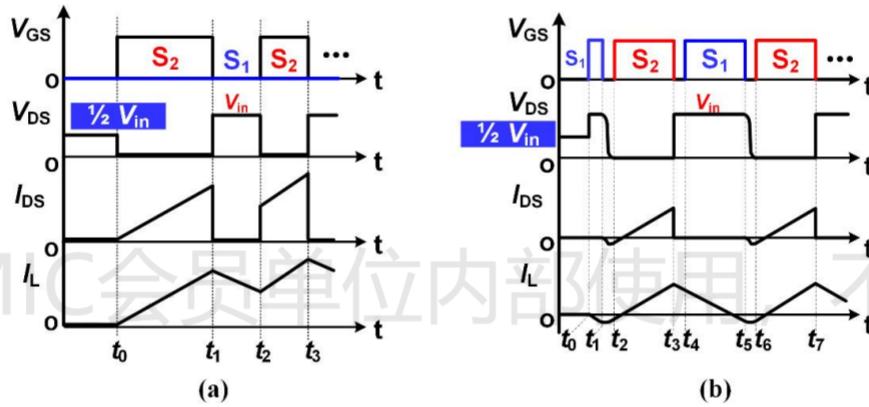


图 2-3 测试电路关键波形：(a) 硬开通 (b) 零电压软开通

在图 2-3 中，将首个门极脉冲产生的时刻，标记为 t_0 ；此时被测器件 S_2 导通，致使电感 L 充电，电流上升。随后在 t_1 时刻，当电感电流达到设定的电流峰值后，首个脉冲结束， S_2 关断。在下一个门极脉冲上升之前，电流继续通过上管 S_1 续流。此时 S_1 的门极驱动电压为 0，利用 S_1 的反向导通特性进行续流（或者从降低 S_1 管导通损耗的角度考虑，也可以使其在这一段时间内保持反向开通）。 t_2 时刻，产生第二个门极脉冲；被测器件 S_2 在给定的电流条件下再次开通，在这一阶段用示波器观察器件的导通电压和电流波形，以完成动态电阻测试。在 t_3 时刻，第二个门极脉冲结束， S_2 关断，电感电流通过 S_1 逐渐减小直至归零，测试完成。第一个脉冲的宽度用以决定导通电流的峰值，第二个脉冲的宽度则决定动态电阻测试的观测时间。

在实验过程中，双脉冲测试的两个不同脉冲宽度，可以根据测试的需求作相

应的微调。从避免发热的角度考虑，脉冲持续的时长通常在微秒这一量级。由于在续流过程 t_1-t_2 中，电感电流有较大的跌落，因此 S_2 的一个脉冲时间可以稍微加长至约两倍第二个脉冲时间，以保证在 t_2-t_3 时间内仍有较大的电流值。

当待测器件工作在零电压软开通状态时，控制信号的关键波形图则如图 2-3 (b) 所示；在微秒级的测试过程中，为了保证母线电容两端的电压 V_{in} 始终保持恒定， C_{IN1} 和 C_{IN2} 需要有足够大（约 $500\mu F$ ）的容值。实验开始前，首先先让上管 S_1 导通一小段时间后关断，以给电感反向的一小段电流。在 t_0-t_1 时刻， S_1 接收约 100 ns 的窄脉冲信号，导通期间，电感两端电压约为 $-1/2 V_{in}$ ，电感电流 I_L 反向上升。 t_1 至 t_2 的死区时间内，电感电流使 S_2 寄生电容放电，通过谐振的方式降低 S_2 两端电压 V_{DS} 。当 V_{DS} 降至零， S_2 即进入反向导通状态。 t_2 时刻， S_2 接收门极脉冲，实现软开通。此后，电感正向充电，电感电压升至 $1/2 V_{in}$ ，直至 t_3 时 S_2 关断。经过一段死区时间， S_1 在 t_4 时刻重新开通， t_5 时刻关断，如此循环操作，并使 S_2 在 t_6 时刻再次软开通。

2.1.2 第三象限电路工作原理

当测试电路使得待测器件 S_2 工作在反向导通的第三象限时，其控制信号与关键波形如图 2-4 所示。为了模拟实际电路正式工况，此处参照逆变器电路的第三象限工况设计了第三象限硬关断的模式，如图 2-4 (a)；以及参照图腾柱 PFC 电路同步整流管的工况设计的第三象限零电流软关断模式，如图 2-4 (b)。

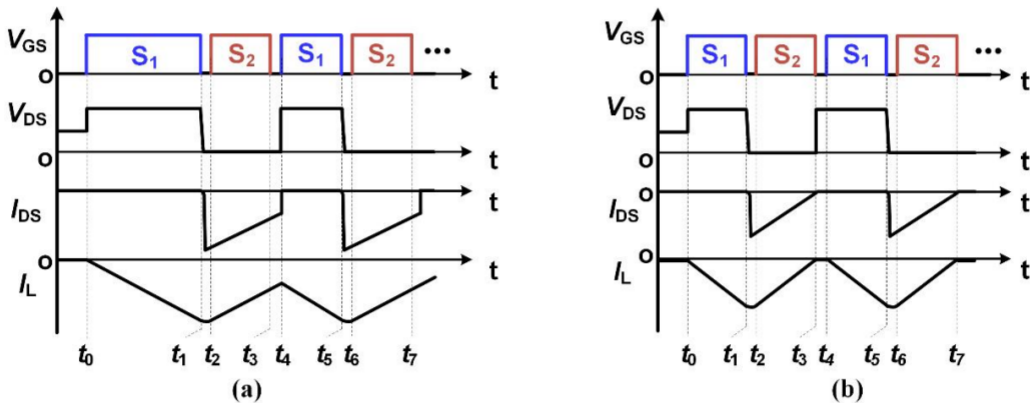


图 2-4 第三象限测试电路关键波形：(a) 硬关断 (b) 软关断

在被测器件 S_2 工作于第三象限的硬关断模式时，首先，在被测器件开通前，与第一象限的软开通模式相同，依旧先控制上管导通一段时间，但相比较第一象限软开通模式，第三象限的工作模式下，这段导通时间需要更长：在 t_0-t_1 时刻之

间，给上管 S_1 数微秒的门极脉冲，这段时间内，电感电流 I_L 开始反向上升，直至给定的峰值。在 t_1 - t_2 的死区时间里，电感电流给被测器件 S_2 的输出电容 C_{oss} 放电， S_2 两端电压 V_{DS} 开始通过谐振的方式下降。当 V_{DS} 下降到 0 时， S_2 开始反向导通。由于有着持续的反向电流流经 S_2 的沟道，因此在门极信号到来之前， S_2 已经处于沟道导通状态。 S_2 开通后，电感两端电压为 $1/2 V_{in}$ ，其电流开始反向降低（由负值渐渐接近零），直到 t_3 时刻 S_2 关断。由于 S_1 的第一个脉冲时间约为 S_2 第一个脉冲时间的两倍，因此，直到 S_2 关断时，仍有较大的反向电流流过 S_2 器件， S_2 仍然处于导通状态。等到 t_4 时刻， S_1 再度开通，由于上管的开通，下管被强行截止，电感电流经过一个换流过程，重新通过 S_1 构建回路， S_2 才被关断，因此达成了让被测器件 S_2 工作于第三象限的硬关断模式的目的。

而更改 S_1 第一个脉冲的时长 (t_0 - t_1)，使其缩短至与 S_2 的门极脉冲时长 (t_2 - t_3) 相等，就可以控制使被测器件 S_2 工作在第三象限的软关断模式。电感电流在 t_0 - t_1 时刻之间反向增大的值与在 t_2 - t_3 时刻反向减小的值恰好相等；因此在 t_3 时刻， S_2 门极信号消失的一瞬间，电感电流恰好降低为零，待测器件 S_2 沟道电流截止而关断。

第三象限硬关断和零电流软关断是两种不同的关断方式，在电源中有不同的适配场景。不同的开关状态可能会影响 GaN 器件动态电阻的衰退程度，值得进行分别测试评估。

2.2 动态导通电阻的测量方法

动态电阻测试的目的在于评估 GaN 功率器件从高压阻断状态到开通后的一段时间内的导通电阻。而这一过程涉及到分别测量器件的漏极和源极间的导通电压与电流，并计算二者之比。为了在测量中准确获取器件的导通电阻值 R_{on} ，其每一步的测量都须仔细筛选和斟酌。

2.2.1 导通电压提取方法

测量器件的导通电压，常见的方案是使用高精度的数字示波器。鉴于需测量器件关断时的高电压 V_{DS_OFF} 与开通时的低电压 V_{DS_ON} ，示波器的测量范围应尽量广泛，以避免其内部放大器失真和过驱动现象的发生，避免无法准确测量导通电压^[40]。

然而，在 GaN 器件动态电阻测试中，高压电和低电压之间有着几百伏特的

电压差值。如此大的电压摆幅下,示波器会受到分辨率有效位数(effective number of bits, ENOB)的限制,使测量结果产生准确性误差。以一个8位示波器为例:8位模数转换器可以提供256个电平,假设器件关断时承担的电压 V_{DS_OFF} 为400V,而开通电压 V_{DS_ON} 为1V,则模数转换器能分辨的最小电压是 $400/256=1.56V$,甚至高于器件的开通电压。在这种极端的情景中,基于数字示波器的导通电压测量示数,明显不能反映真实的器件导通电压。

目前,学术界普遍采用电压钳位电路作为主流的测试方法(Clamping Circuit)[41][42][43][44]。这种电路电路通过将器件关断时的高阻断电压钳位在较小值上,以减少电压摆幅。例如,把400V的关断电压钳位在4V,对于一个8位的示波器,这意味着最小可分辨电压为0.016V,从而大幅提升测量精度。但这种方法也存在一定的挑战,如线路中寄生参数引起的测量振荡和响应时间,这些问题在高频、高压环境下尤为明显。因此,在设计钳位电路时,既要精确测量导通电压,又要快速捕捉开通后的电压变化,以最小化振荡和延时,对于高频率的GaN器件而言尤为关键。

钳位电路的设计和使用经过了一系列的演化,目前最为常用的一种钳位电路的设计思路如图2-5所示[45]。

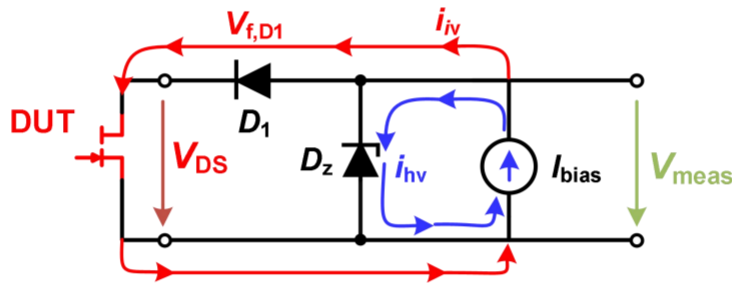
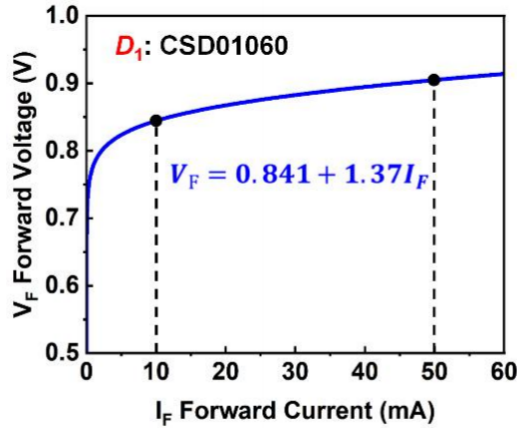


图 2-5 基于二极管的电压钳位电路

当DUT处于关断状态时, V_{DS} 为高电压偏置,此时高压二极管 D_1 截止,源电流 I_{bias} 流经稳压二极管 D_z ,将测量电压限制在相应的齐纳电压 V_z ,如电流环路 i_{hv} 所示。在这个工作点上, D_1 阻断了夹位电路输入端的过高电压。而在被测器件DUT导通时, V_{DS} 将显著小于 V_z ,导致 I_{bias} 流经输入二极管 D_1 进入器件DUT的漏极端,如电流环路 i_{iv} 所示。在这个工作点上,晶体管瞬时 V_{DS} 可以重建为 $V_{DS} = V_{meas} - V_{f,D1}$ 。而 $V_{f,D1}$ 事实上由高压二极管 D_1 的 $I-V$ 特性决定,在实际测试中可以采用半导体特性分析仪测量得到。

图 2-6 D_1 的 I - V 特性曲线及拟合公式

对于如图 2-6 所示的 D_1 的 I - V 特性曲线,为了简化计算,可以在 I_F 大于 10mA 小于 50mA 这一段较平稳的实际工作区,对非线性曲线进行线性拟合。由于被测器件 DUT 开通后,流过 D_1 的电流为 I_{bias} ,为外部激励输入的已知值,将其代入拟合公式中,由此可以计算出二极管的导通压降 $V_{f,D1}$ 。

然而上述电压钳位电路在进行第三象限的电压测试时,将会存在一定的限制,并因此引入误差。DUT 反向导通,工作于第三象限时,此时 $V_{DS} < 0$, $V_{meas} = V_{DS} + V_{f,D1}$ 存在为一个负值的可能性。例如 DUT 的反向导通电流较大时, $V_{f,D1}$ 约为 0.7V,而 V_{DS} 可能为 -1V 以上。由于 V_{meas} 同时也为齐纳二极管 D_Z 两端的电压,因此可能会导致该稳压管正向误导通,从而引入测量干扰。解决思路则是在齐纳二极管 D_Z 支路上,串联一个共阳极的二极管 D_2 ,通过阻断该支路上的正向电流,来避免齐纳二极管 D_Z 正向误开通导致的测量误差,如图 2-7 所示。

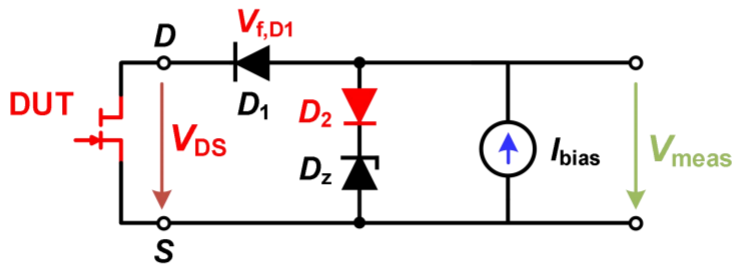


图 2-7 适用于第三象限测试的电压钳位电路

当 DUT 处于关断状态下时,高压二极管 D_1 将承担阻断高电压的工作,在这个阶段,其两端结电容上,会积累一定量的电荷。当器件 DUT 开通时,这部分电荷会经由环路进行释放,从而引入测量的延时,也被称为响应时间 (Response Time),本文所采用的钳位电路,响应时间约为 80 ~ 100ns,可以满足测试的基

本要求。若要进行 MHz 级别的高频率测试，则电压钳位电路的响应时间需要专门优化设计。

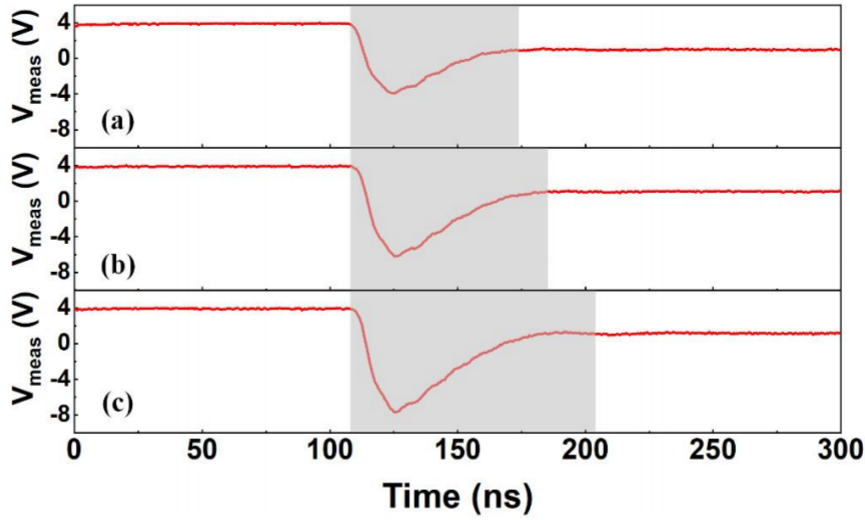


图 2-8 钳位电路的响应时间：(a) $V_{DS, OFF} = 200V$ (b) $V_{DS, OFF} = 300V$ (c) $V_{DS, OFF} = 400V$

2.2.2 导通电流提取方法

针对 GaN 器件的动态导通电阻测试中，导通电流 I_{DS} 测试相比较与导通电压 V_{DS} 测试，更为简单一些，但在设备选择方面仍然需要满足最低的要求。

为了确保测试设备能准确捕捉氮化镓器件开通瞬态的上升沿，测量设备首先必须具备充足的带宽。信号理论指出，斜坡信号的有效带宽与其上升或下降时间密切相关^{[46][47]}。在实际应用中，为了获得精确的幅值，测试系统的带宽应比被测信号的有效带宽高 3 至 5 倍。对于开通速度为 20 V/ns 的 GaN 器件，其对带宽的要求则更高，根据计算至少需要 200MHz。

其次，测试的设备应具备适当的量程范围和灵敏度^[49]。例如，当设备灵敏度为 50 mV/A 时，1 A 的电流将产生 50 mV 的电压信号，但受限于示波器的分辨率（如 2.2.1 所述），可能会导致较大的测量误差。因此，选取测量设备时应根据被测电流大小选择适当的量程范围，确保在测量大电流时不饱和，同时保持对小电流的精确测量。

另外，在考虑测量设备对测试电路的影响时，某些设备（例如同轴电阻）可能会在电流路径中引入额外的寄生电感，从而对器件的开关性能产生不利影响。此外，若需同时测量电流和电压，且测试点的电压和电流不在同一接地点时，需考虑采用电气隔离的电流测量方案，以确保准确性和安全性。

表 2-1 几种常用的电流测量设备

测试设备	同轴电阻	电流互感器	C 电流探头	罗氏线圈
带宽	> 2000 MHz	200 MHz	300 MHz	30 MHz
灵敏度	100 mV/A	1V/A	1 mA/div	< 200 mV/A

表 2-1 汇总了几种常用的电流测量设备的带宽和灵敏度。针对 GaN 器件动态电阻测试所提出的上述限制,可发现高带宽的电流探头和同轴电阻均能满足测试需求。由于同轴电阻价格昂贵,并且在 PCB Layout 方面具有特殊要求,必须使电压、电流测试点共地来避免引入共模干扰,因此综合考虑,最终本文采用高带宽的电流探头 CP031A 进行导通电流 I_{DS} 的测试。

2.3 测试方法

基于 2.1 小节所述测试电路,本文将采用两种不同的测试方法来对比评估氮化镓器件的动态电阻:双脉冲测试方法,以及多组双脉冲测试方法。

2.3.1 双脉冲测试方法

在传统的半导体器件的性能测试中,双脉冲测试(Double Pulse Test, DPT)是一种常用的测试方法,而在宽禁带半导体的性能表征中,双脉冲测试则大多沿用硅器件的测试方法和条件,例如由电子元件工业联合会(Joint Electron Device Engineering Council, JEDCE)所提出的阻感负载测试方法^[50]。双脉冲测试的优点是系统的整体复杂性低、控制策略简单,同时由于脉冲时间较短,不易由于损耗而引起结温上升。

在双脉冲测试中,被测器件将接收两个连续的栅极脉冲信号,其中测量的关键区间位于第二个脉冲信号的开始和结束之间。本文的双脉冲测试主要的方法和思路沿用了传统硅器件性能表征中的双脉冲测试电路,但由于测试电路做出了针对 GaN 器件的优化和更改,在具体的控制方法上则与传统方案有所区别,可以对第一象限与第三象限的软硬开关模态做到全象限的测试。

为了确保测试的准确性,在一组实验中,必须保证预电压应力的幅值、持续时间,双脉冲信号的持续时间和漏极电流幅值相一致。

首先,为了确保预应力的幅值相同,测试之前,需要将开关管 Q_2 、 Q_3 导通, Q_1 断开,以保证在不同的工作模态下,被测器件 S_2 在关断时的电压应力 $V_{DS,OFF}$

均保持在母线电压 V_m 的一半。同时，预电压应力与双脉冲信号的持续时间均采用时钟频率为 170MHz 的 32 位数字信号处理器 (Digital Signal Processor, DSP)，统一控制在符合电源实际工作的范围之内。

其次，为了控制漏极电流的幅值，在测试中需要根据母线电压、门极脉冲宽度的不同，手动调节负载电感的大小。

下图则显示了在第一象限硬开通的双脉冲测试中，动态电阻的计算与提取方法。左侧三条曲线是待测器件 DUT 的电压电流波形信号，分别代表了门极脉冲信号 V_{GS} ，电压钳位电路测得信号 $V_{DS(m)}$ ，以及电感电流 I_L 。器件导通期间，电感电流 I_L 即为流经器件漏极的电流 I_{DS} 。

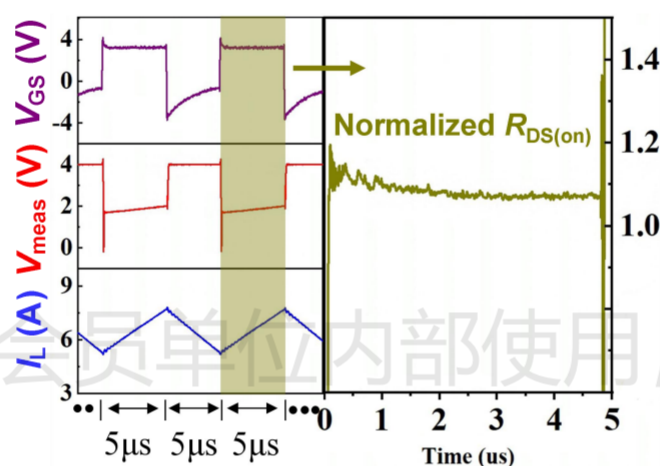


图 2-9 双脉冲测试的动态电阻计算与提取

从图 2-9 中可知，在测试的窗口中，器件计算所得的动态电阻并非恒定，其随着导通时间的增加而呈现降低的趋势。为了使数据处理的结果相统一，本文均取峰值电流附近的一段时间（约 300ns）的动态电阻平均值，作为其动态电阻的最终结果。

2.3.2 多组双脉冲测试方法

双脉冲测试系统的整体复杂性低、控制策略简单，但是其无法反应器件在连续稳定工作模式下的性能，因此在宽禁带半导体的性能评估中使用双脉冲进行测试，仍然存在一定的限制。动态电阻的衰减与器件的关断和开通时间密切相关。具体来说，器件的关断时间代表电子被陷阱捕获的过程，而开通时间则对应电子从陷阱中释放的过程。在电子被捕获期间，器件的动态电阻会随时间缓慢增加；相应地，在电子释放期间，导通电阻随时间缓慢减小。因此，动态电阻会随着器

件的连续开关状态而经历变化。

为了准确反应器件在连续开关状态下的性能表征，多脉冲测试（Multi-group Test）也被选为主流的测试方法之一。多脉冲测试用连续多个脉冲来模拟如图 2-10 所示的 GaN 器件在实际工作状态下的动态电阻变化。

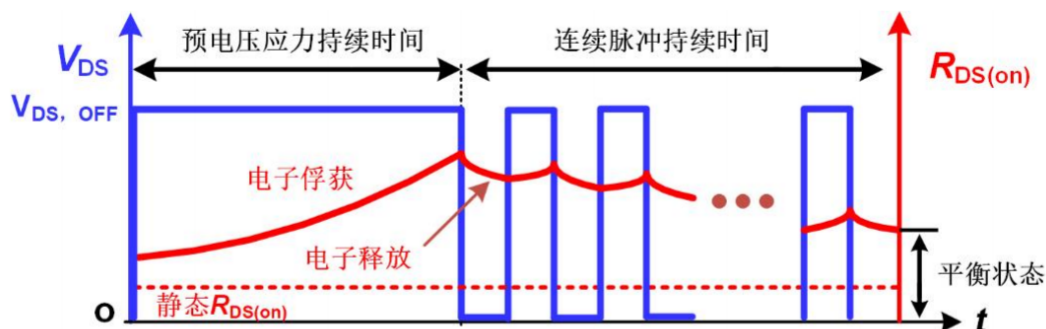


图 2-10 工作于连续脉冲下 GaN 器件的动态电阻

然而在连续脉冲中，待测器件由于损耗而引发的热量将会累积，即使是几十微秒的短暂时间，其结温事实上也会迅速增高。借助仿真软件 PLECS 中，由 GaN System 公司提供的器件热阻模型，本文进行了多脉冲下的热仿真，如图 2-11 (a) 所示。在 100 μ s 的时间内，器件结温上升了接近 10 $^{\circ}$ C。而从图 2-11 (b) 所示的器件导通电阻与温度的关系图中，可以读出，10 $^{\circ}$ C 的结温上升，将会引起导通电阻接近 10% 的变化。因此在多脉冲测试中，测量得到的导通电阻 $R_{DS(on)}$ 将是热效应和动态电阻衰退效应的耦合结果，不利于单独分动态电阻衰退效应的影响。

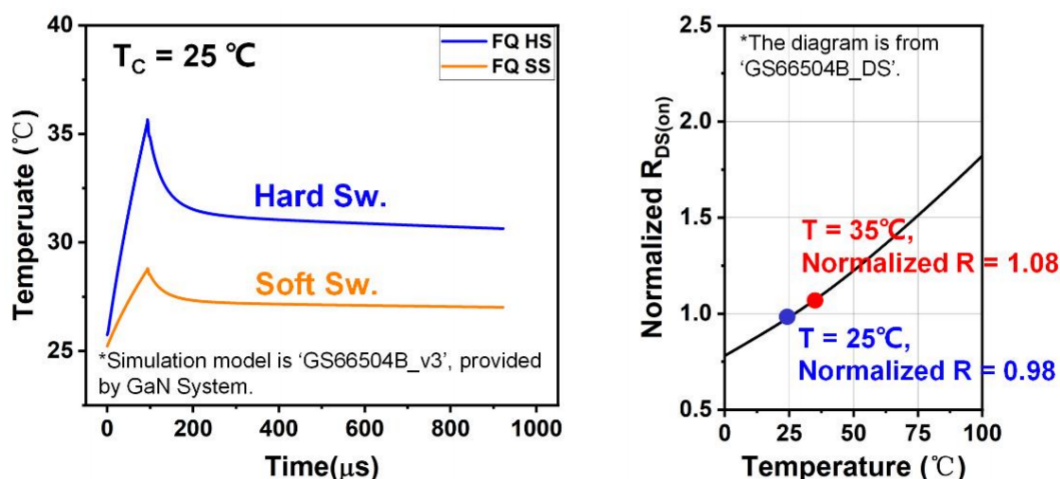


图 2-11 100 μ s 软硬开关的多脉冲热仿真：(a) 仿真结果 (b) 温度上升对电阻的影响

为了在避免器件发热的同时，评估连续脉冲下其处于稳定状态的动态导通电

阻，本文参考 CASA 提出的动态电阻测试标准^[53]，最终采用多组双脉冲（Multi-group Double Pulse Test）测试方法进行动态电阻的测试。

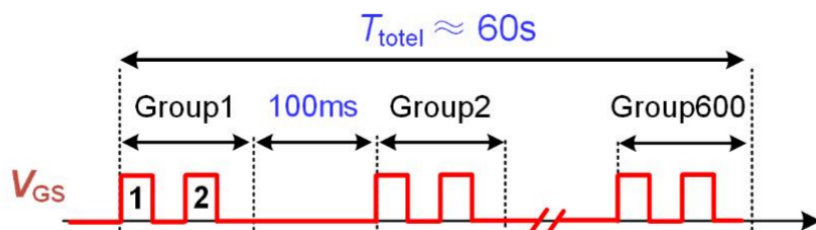


图 2-12 多组双脉冲测试的门极信号图

多组双脉冲测试的主要特点是，将脉冲分为多个不同的组，使组与组之间有充分长的时间间隔来使器件的沟道进行散热，同时在每一组中都进行一次双脉冲测试。由于保证了散热，测试的总时间可以一直持续增加而结温不会持续上升，直到测试到达最终的稳态，并将稳态后的动态电阻作为最终的评估标准。图 2-12 是以散热时间间隔为 100ms，测试的总时长为 60s，总组数为 600 组的多组双脉冲的示意图。

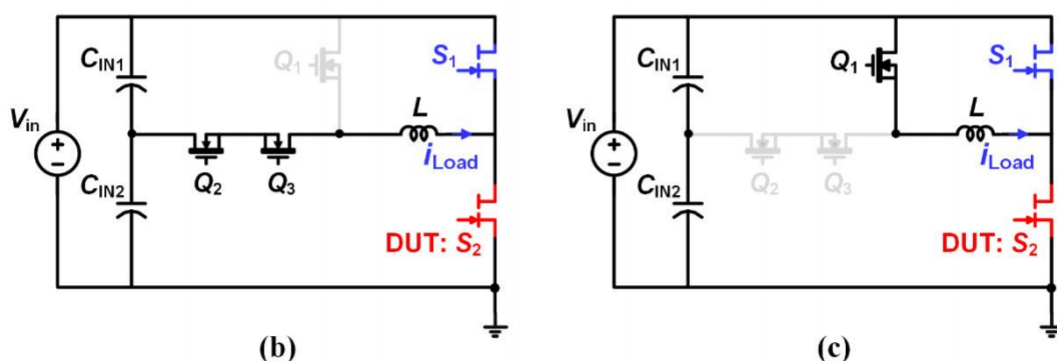
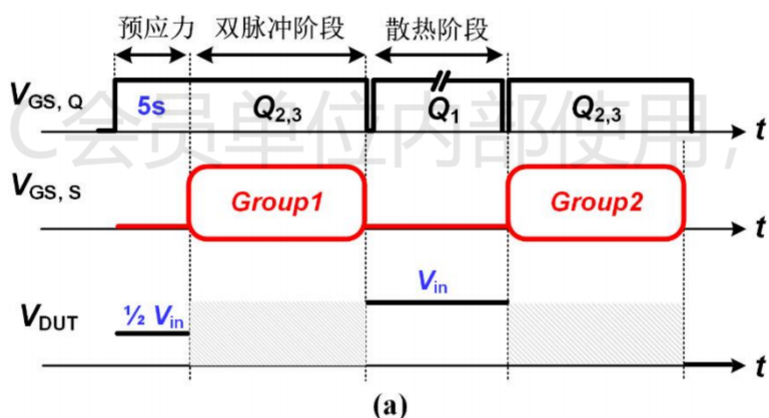


图 2-13 多组双脉冲测试的时序图：(a) 时序图 (b) 预应力/双脉冲阶段电路 (c) 散热阶段电路

对于本文所提出的测试电路,在进行多组双脉冲测试时,在测试中进行了针对性的信号优化,如图 2-13 所示。首先,在预应力和第一组双脉冲阶段,开关管 Q_2 、 Q_3 导通, Q_1 断开,这一部分与 2.3.1 小节中双脉冲测试阶段均相同。针对优化的部分在双脉冲测试阶段结束之后,此时开关管 Q_2 、 Q_3 会关断, Q_1 导通,进入散热阶段,如图 2-13 (c) 所示。这一阶段通过将 Q_1 开通,使待测器件 DUT 两端的电压应力抬升至全部的输入电压 V_{in} ,来实现与实际半桥式电源模块中,器件连续工作状态下所受电压应力一致,确保测试得到的结果符合真实工况。

在每一组的双脉冲测试阶段,进行的第一象限与第三象限的动态电阻评估的控制方法,均与 2.3.1 小节中相同,此处就不再赘述。

2.3.3 改变峰值电流的测试方法

在文献^[54]中,在传统的双脉冲第一象限硬开通测试中,改变 GaN 器件导通时的导通电流 I_{DS} 后, GaN 器件的动态导通电阻将显著变大。在电力电子应用领域,流经器件的电流存在尖峰,可能在瞬态到达极高的峰值。

由于器件损耗 $P_{loss}=I_{DS}^2 \times R_{DS(on)}$,如果在导通电流 I_{DS} 在瞬态尖峰的时候,动态导通电阻 $R_{DS(on)}$ 受到动态电阻衰退效应影响,同样变得更为恶劣,那么器件此时的损耗将受到电流与导通电阻变化的叠加影响,致使器件瞬态过热,可能存在潜在的可靠性问题。因此,器件的导通电流具有作为一个变量来进行动态导通电阻考察的必要性。此外,在第三象限导通时, GaN 器件在广泛使用的应用场景诸如 CCM PFC、DC/AC 逆变器中也有工作电流幅值较大的情况。

根据上述两个原因,本文选择将器件的导通电流作为变量,进行 GaN 器件动态导通电阻的评估。

在动态电阻测试中,改变器件导通电流的幅值,主要的方法是通过改变负载电感的感值。如图 2-14 所示,以工作于第一象限的硬开通模式为例,峰值电流的计算公式如 (2.1) 所示。

$$I_{DS, peak} = \frac{V_{DS}}{L} \times T_{on, 1} \quad \#(2.1)$$

由于在设置中 t_1 - t_3 时间段内, S2 的占空比为 50%,因此 t_3 时刻的峰值电流与 t_1 时刻的相同,同时关断电压应力固定为 400V; 所以其导通电流的幅值 $I_{DS, peak}$ 主要由 $T_{on, 1}$ 、电感 L 决定。即使在单脉冲测试中,单端脉冲时间也不宜过长,本实验中, $T_{on, 1}$ 设定为 4 μ s 的时间,以避免发热。因此需要不同的导通电流进行

测试，主要通过改变负载电感的电感值来实现。

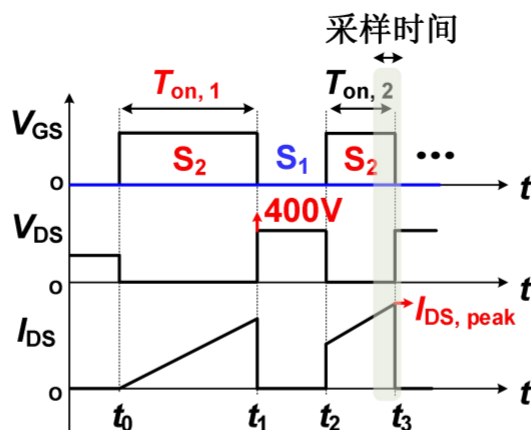


图 2-14 第一象限硬开通条件的导通电流控制方法

数据处理的方法，则是将峰值电流附近一小段时间（约 300 ns）作为采样时间，将这段时间内的数据进行提取，来计算动态导通电阻，作为待测电流点的器件电阻表征值。这么做主要有两点考虑：

(1) 器件动态导通电阻与电流的大小有关，如果取一段更长的时间进行表征，那么电流的幅值变化将更大，计算得到的导通电阻无法说明是哪一个电流点下的值；

(2) 由 1.2.1 可知，器件的动态电阻随器件开通而逐渐缓慢恢复，取值时间越晚，相应的动态电阻会越低，为了使各个不同工作模式下器件的评估方法统一，选择“峰值电流”作为标准可使各个不同工作模式下测试结果具备对比的意义。

2.4 测试电路的设计

2.4.1 待测器件的选型

目前主流的 GaN 功率器件，主要包括以 Transphorm 公司为代表的共源共栅型（Cascode）型器件、以 EPC、GaN Systems、英诺赛科等公司为代表的肖特基门极增强型（Schottky *p*-GaN Gate E-mode）器件、以及以英飞凌为代表的门极注入式（Gate Injection Transistor, GIT）器件。

Cascode 结构的器件，根据 Transphorm 公司公示的数据，其电路等效结构如图 2-15 所示，由一个高压常开型氮化镓器件（HV GaN HEMT）以及一个低压常关型硅器件（LV Si FET）级联而成^[51]。这种级联型的器件，其主要工作模式包括正向阻断、正向导通，以及反向导通阶段。高压常开型 GaN 器件的阈值电

压 $V_{T,GaN}$ 为一个负值。接下来简要说明其工作原理。

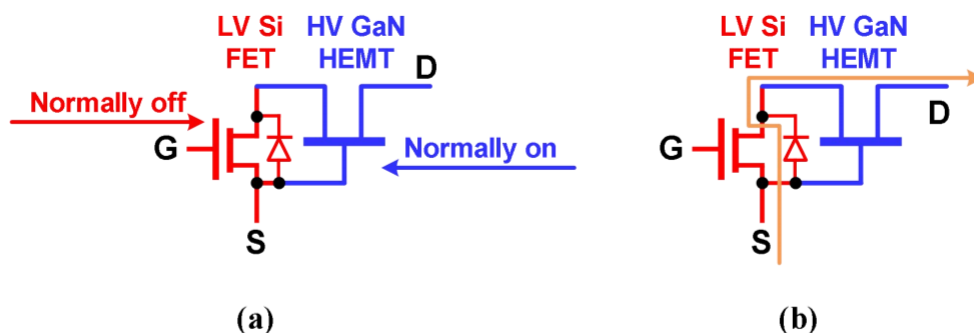


图 2-15 Cascode 器件电路等效结构：(a) 结构图 (b) 反向导通时电流路径

当 $V_{GS} = 0V$ ，级联器件处于正向阻断状态时：如果 $V_{DS} < -V_{T,GaN}$ ，此时 GaN 器件常开，级联器件的 V_{DS} 被 Si 器件所阻断。如果 $V_{DS} > -V_{T,GaN}$ ，由于 V_{DS} 的上升，且开通时高压 GaN 器件的源极电位和漏极电位相同，所以其 $V_{GS,GaN}$ 会变得越来越负，最终 GaN 器件关断，级联器件的 V_{DS} 被 GaN 器件所阻断。当 $V_{GS} = 0V$ ，级联器件处于反向导通状态时，示意图如图 2-15 (b)所示：低压 Si 器件处于关断状态，反向电流将流经 Si 器件的体二极管，再经过常开型 GaN 器件的沟道流过。

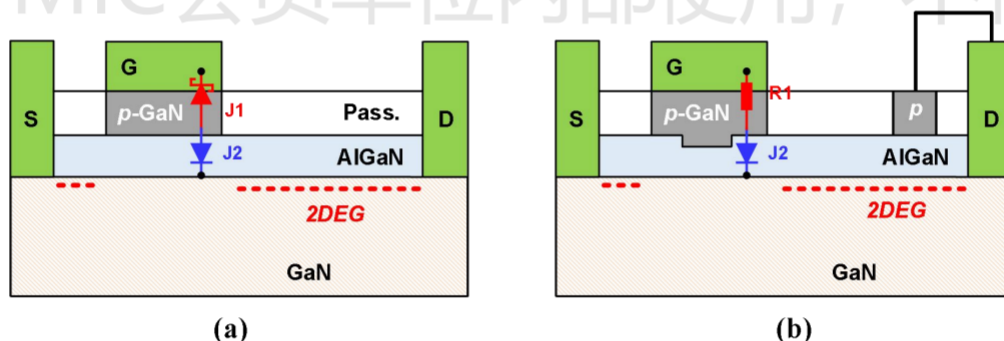


图 2-16 E-mode 器件结构图：(a) Schottky p -GaN (b) Hybrid Drain Gate Injection Transistor

增强型器件的结构图如图 2-16 所示，其中，图 2-16 (a)是以 EPC、GaN Systems、英诺赛科等公司为代表的 Schottky p -GaN Gate 器件，而图 2-16 (b)则是以英飞凌为代表的欧姆接触的 GIT 器件。两者实现沟道常关断的方法均为在 GaN 器件栅极下方生长一块具有 p 型掺杂的 GaN 半导体，以使高浓度的二维电子气在栅极下方的沟道处耗尽。然而除此之外，两者结构设计存在较大差异。

首先在于门极特性设计不同。对于 Schottky p -GaN Gate 器件，它的门极金属与下方的 p -GaN 接触方式为肖特基接触，形成的是一个肖特基结 J_1 ，它与

下方 PN 结 J_2 以共阳极的方式串联；而对于门极注入式的 GIT 器件而言，它门极金属与下方 p -GaN 所形成的是欧姆接触（Ohmic Contact），其如同一个电阻与下方的 PN 结 J_2 串联。而在 GIT 型 GaN 器件中，当门极电压 V_{GS} 超过 p - n 结的内部电势 V_F ， p -GaN 层将向二维电子气沟道注入空穴，这导致电导调制效应，并降低了器件的导通电阻，该效应同时也产生了门极电流。由于 GIT 器件需持续门极电流以保持开通状态，因此传统 Si MOSFET 电压型驱动芯片不适用于 GIT 器件。此外，现有的 GIT 器件在漏极附近增加了额外的 p -GaN 结构，此结构在高压状态下将向缓冲层注入空穴，有助于释放被陷阱捕获的电子，从而缓解电流崩塌效应。

GaN 器件的结构差异将导致动态电阻性能存在显著差异，本文将在下文的测试结果中进行详细评估与分析。

综合考虑了器件的实用性、可获取性、是否为新产品的情况，以及实验室现有库存等因素，本文选用了两种不同结构的常用增强型 GaN 器件进行实验，这两种器件的型号和关键参数见下表 2-2。

表 2-2 被测 GaN 器件的关键参数

	器件 A	器件 B
厂商	Infineon	GaN Systems
型号	IGT60R190D1	GS66504B
电压电流等级	600V/12A	650V/15A
技术	HD-GIT	Schottky p -GaN Gate
封装	PG-HSOF-8-3	GaN ^{PX} TM
导通电阻 ¹	146mΩ	103mΩ

¹. 导通电阻提取自器件室温下的输出特性曲线。

2.4.2 GaN 器件驱动回路设计

非门极注入式的 GaN 器件，在注意对其栅极保护的前提下，可以按照与 Si 器件相同的方式进行驱动。在本文所提出的测试电路中，建议选用传播延时小（<50 ns），带有高频（>2 MHz）驱动能力，并且具有与电源电气隔离效果的芯片。

而对于英飞凌具有门极注入的电流型门极器件，其驱动电路的设计方式则需要单独考虑。尽管欧姆接触的 p -GaN 栅极的氮化镓高电子迁移率晶体管是增强型（常关）器件，但它们与 MOSFET 有很大不同。栅极结构没有与沟道隔离，

而是表现为具有 3~4V 的正向电压 V_F 的二极管, 如图 2-17 (a) 所示^[52]。

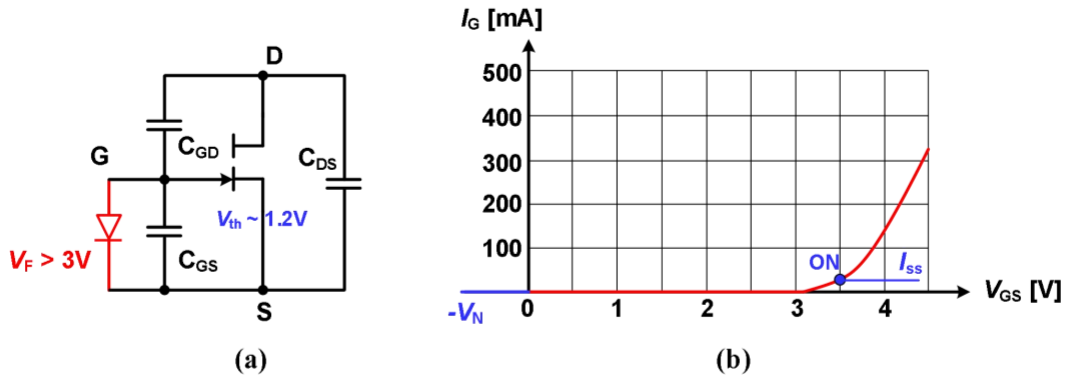


图 2-17 GIT 器件的等效电路和门极特性

如图 2-17 (b) 所示, 一方面, 在稳定的导通状态下, GIT 型器件需要连续的栅极电流 I_{SS} 来实现稳定的工作条件; 另一方面, 虽然 GIT 型器件处于常关状态, 但阈值电压 V_T 相当低 (~ 1 V), 如果栅极电压在关断时为零, 容易由于回路中电压尖峰造成误导通, 这就是为什么在许多应用中, 需要负栅极电压 $-V_N$ (通常在几伏的范围内) 来安全地保持开关断开。

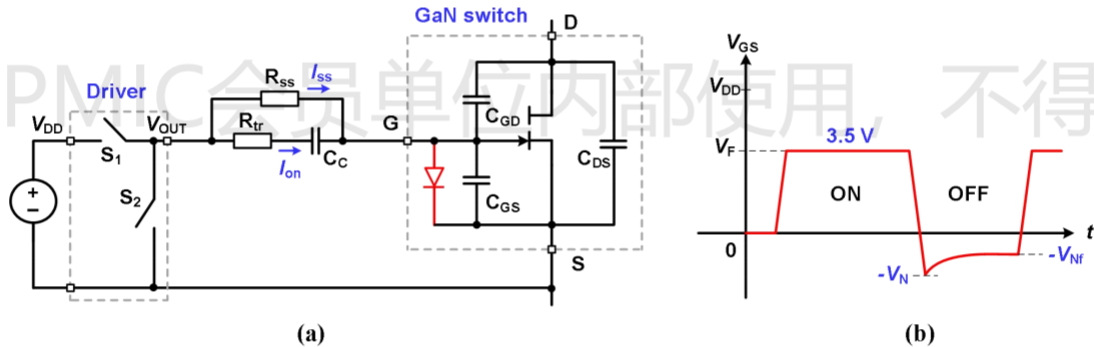


图 2-18 带有 RC 门极驱动的 GIT 器件等效电路: (a) 电路结构图 (b) 栅源电压 V_{GS} 示意图

显然, 图 2-17 中的开关管不能像传统的 MOSFET 那样驱动, 因为需要稳态的开通电流 I_{SS} 和负的关断电压 $-V_N$ 。虽然几毫安级别的 I_{SS} 就已经能够满足常态开通的要求, 但在快速的开关瞬态中, 栅极充电电流 I_{ON} 和 I_{OFF} 的需求则会增大到几安培。为了避免使用复杂的专用驱动芯片 (类似于具有 2 个独立开通路径和对应的辅助供电电压), 通常选择图 2-18 所示的解决方案, 将标准的 MOSFET 栅极驱动芯片与外围的 RC 电路结合起来, 以实现 GIT 器件的驱动需求。

如图 2-18 所示, GIT 型 GaN 器件的栅极与一个较小栅极电阻 R_{tr} 以及耦合电容 C_C 串联, 同时, 在 R_{tr} 与 C_C 的串联路径上, 并联一个阻值较大的电阻 R_{SS} , R_{SS} 同样直接与器件栅极相连, 以持续提供小的稳态栅极电流 I_{SS} 。耦合电容 C_C

的选值应该考虑到其对动态栅极电流 I_{on} 和 I_{off} 的影响, 不宜过大。此外, C_C 也可用于生成负栅极电压 $-V_N$ 。

接下来对该 RC 驱动电路的工作模态进行简要分析。首先, 在导通状态下(等效 S_1 开通, S_2 关断), 耦合电容 C_C 被充电到驱动芯片的供电电压 V_{DD} 与栅源等效二极管前向导通电压 V_F 之差。当驱动信号关断时(等效 S_1 关断, S_2 开通), 此时耦合电容 C_C 上所累积的电荷将在 C_C 与 C_{GS} 上重新分配, 并产生初始为 $-V_N$ 的 V_{GS} 电压, 计算公式如下所示。

$$V_N = \frac{C_C \cdot (V_{DD} - V_F) - Q_G}{C_C + C_{GS}} \quad \#(2.2)$$

其中 Q_G 表示总栅极电荷 $Q_{GS} + Q_{GD}$ ($\sim 3nC$)。因此可以通过适当地选择 V_{DD} 和 C_C 的值来控制 V_N 的大小。

上述 RC 驱动电路的一种情况特殊情况也需要关注。如果由于特殊原因, GaN 开关管处于“断开”状态的时间较长(例如, 在系统启动、突发模式操作等), 耦合电容 C_C 将会放电至零。这意味着, 对于在这种延长的非开关周期之后的第一开关脉冲, 没有负电压可用。为了避免在这种情况下引起的不稳定性, C_C 的选择不应低于 $1.5nF$ 。

在图 2-18 的电路结构图中, 一般情况下可以使用单个电阻 R_{tr} 来设置最大瞬态充电电流 I_{SS} 和稳态充电电流 I_{on} 、 I_{off} 。如果在实际应用中希望得到更快的关断速度, 则可以使用具有与 R_{tr} 并联的串联二极管的附加电阻器 R_{off} 来分别实现开通和关断瞬态的独立栅极阻抗。

在实际使用中, 包括 V_{DD} 、 R_{SS} 、 R_{tr} 和 C_C 在内的所有相关的驱动参数都可以进行针对性的设计, 已达到期望的驱动效果, 计算公式如下所示。

$$I_{SS} = \frac{V_{DD} - V_F}{R_{SS}}, I_{on, max} \sim \frac{V_{DD} - V_{NF}}{R_{tr}}, I_{off, max} \sim \frac{(V_T + V_N) \cdot (R_{on} + R_{tr})}{R_{off} \cdot R_{tr}} \quad \#(2.3)$$

确定驱动电路参数的主要准则如下:

- 1) 为了保证 GIT 器件在关断状态下的栅极可靠性, V_N 必须始终为正; 软开关系统中 V_N 的期望值为 $2V$, 硬开关系统中则至少为 $4 \sim 5V$;
- 2) 持续导通电流 I_{SS} 约为 $2.5 mA$, 必须相应地选择阻值合适的 R_{SS} ;
- 3) R_{tr} 主要用于设置在硬开通时的瞬态开通速度。对于软开通而言(无开通损耗), R_{tr} 的阻值适当即可;
- 4) 如果为了加快关断速度而使用单独的 R_{off} , 则应确保栅极回路中的振荡

具有足够的阻尼。

在本文中，针对所采用的被测器件 A，综合考虑了开通速度和串扰的影响，RC 驱动电路的参数设计如下：

$$V_{DD} = 8V, R_{ss} = 1.8 k\Omega, R_{tr} = 20\Omega, C_C = 1.5 nF。$$

2.4.3 续流电感设计

在脉冲测试期间，电感中的电流峰值可能会很高。为防止续流电感在测试过程中电流饱和，本文综合考虑后，选择使用绕制的空心电感来作为续流电感。根据所需材料的不同，可以选择使用细导线或漆包线来绕制空心电感。本文采用了 30 号 AWG 的带绝缘层细导线来绕制空心电感，以避免绝缘问题。

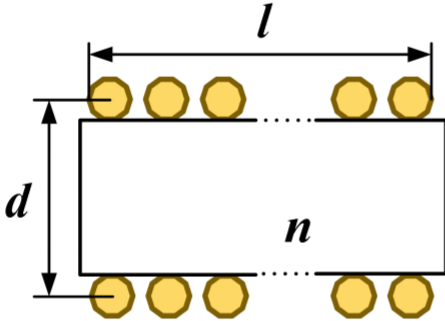


图 2-19 计算感值的示意图



图 2-20 一组空心电感样品图

绕制的空心电感的感值 L 可通过近似公式 (2.4) 来计算，公式中的 d 代表电感的直径， n 代表线圈的匝数， l 代表线圈的长度。

$$L = \frac{d^2 n^2}{l + 0.45d} \quad (2.4)$$

绕制出的电感的精确度需根据阻抗分析仪 (LCR meter) 的实际测量结果进行调整，例如通过增加或减少线圈的匝数来实现。在使用 LCR meter 测量电感值时，必须尽量减小测试回路的面积，以确保测量的准确性。鉴于实验中不同工作模式下电流控制方式的差异，需要使用多个不同感值的电感。因此，本研究绕制了一系列感值各异的电感组，如图 2-20 所示，以便在实验中使用。这些电感在两端都设有接线端子，以便于在实验中进行串联或并联，从而适应不同测试场景。

2.4.4 测试样机及元器件参数

为了最小化测试电路功率回路的寄生参数，本文针对两种不同封装和驱动方式的被测器件 A 和 B 分别设计了专用的 PCB 板。除了封装和 GIT 型器件的特定驱动电路部分的设计 (GIT 型器件驱动电路单独设计，详见 2.4.2) 有所不同，

其他关键元器件的布局和布线方式都保持一致。两种测试电路的最终设计如图 2-21 所示。

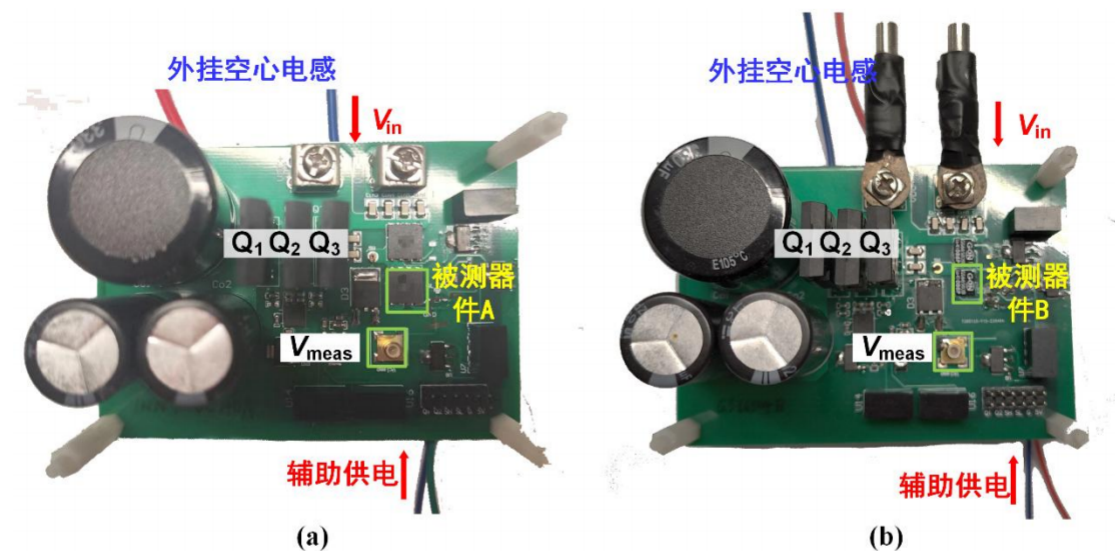


图 2-21 测试电路实物图：(a) 待测器件 A (b) 待测器件 B

综合考虑了元器件的实用性、可获取性、是否为新产品的情况，以及实验室现有库存等因素，本工作中选用了下表 2-3 所列出的测试电路中用到的全部元器件参数。在满足测试要求的情况下，这部分元器件可自由调整，以最大化的保障 GaN 器件动态电阻的测试。

表 2-3 测试电路所采用的元器件

参数	值
空心电感 L	20 μ H ~ 400 μ F
电解电容 (C_{IN1} , C_{IN2})	440 μ F
Si 开关管 Q_1 , Q_2 , Q_3	IPW65R080CFD
隔离栅极驱动器	2EDF7235K
隔离辅助供电模块	IF0512XT

2.5 本章小结

为了精确快速地获取 GaN 器件的导通电阻值，其测量方法需满足特定的带宽、精度和延迟要求。

本章首先分析了几种常见的电压、电流测量方案，并解析了测量中的关键点。经过比较、筛选，本文最终采用了基于电压钳位电路的导通电压测量方案，并利用电流探头测量导通时的电感电流。

进一步地，本章分析了动态电阻测试电路的工作原理与测试方法。本章在分析了传统的双脉冲测试方法后，提出了多组双脉冲测试方法。此方法能更全面地评估 GaN 器件在不同工作模式下的动态性能。

最后，本章根据所提动态电阻测试原理与方法，详细介绍了测试板硬件电路设计要点，为两种不同结构的待测 GaN 器件各自设计和制造了测试电路。

仅限PMIC会员单位内部使用，不得外传

第 3 章 不同结构 GaN 器件一、三象限动态电阻评估

3.1 测试平台搭建

在本章中，根据前文第 2 章所述的测试方法和电路设计，构建了如图 3-1 所示的 GaN 器件动态导通电阻测试平台。实验所用的主要设备见于错误!未找到引用源。：直流高压电源为测试平台提供母线电压，在测试电路中记为 V_{in} ；低压辅助电源为测试平台的电气隔离电源模块供电；开关管的门极驱动信号由德州仪器生产的数字信号处理器 F28069 产生。电感电流 I_L 和钳位电路电压 V_{meas} 接入数字示波器进行波形观察并提取数据。主要设备的连接方法如图 3-2 所示。

表 3.1 实验设备列表

设备名称	品牌-型号	用途
数字示波器	Keysight 2000X	提取电压、电流
数字信号处理器	DSP F28069	提供脉冲信号
高压直流电源	Chroma 62075	提供输入电压 V_{in}
低压辅助电源	Agilent E3631A	5V 辅助电源



图 3-1 动态电阻测试平台

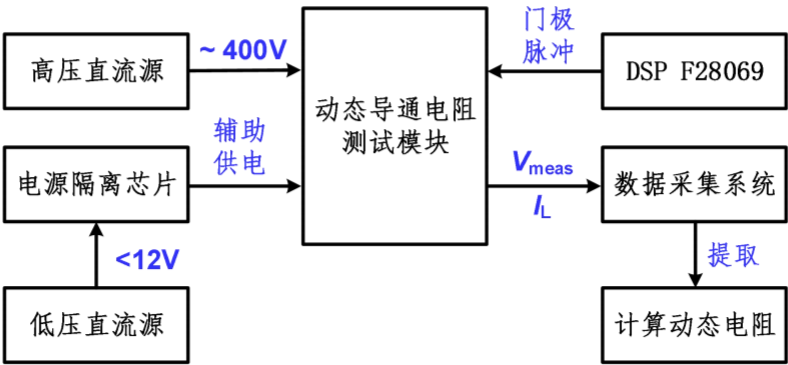


图 3-2 主要设备连接方法

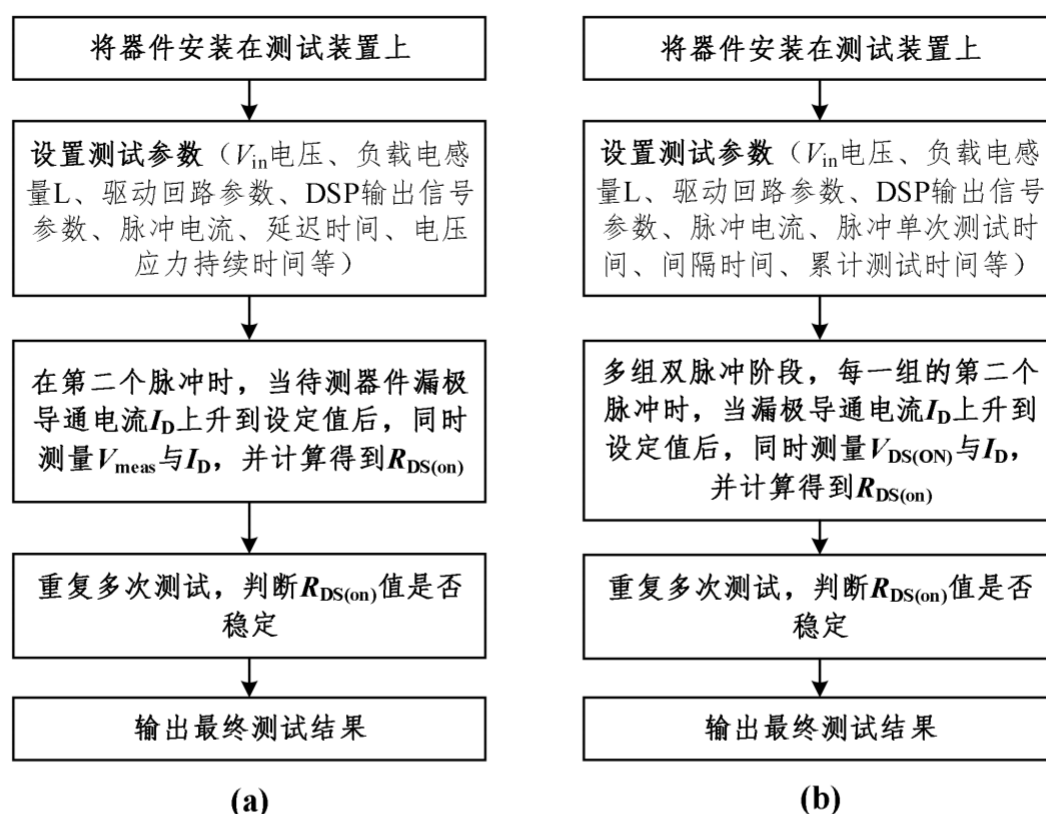


图 3-3 动态导通电阻测试的流程图：(a) 双脉冲测试 (b) 多组双脉冲测试

动态导通电阻测试的简要流程图如图 3-3 所示，其中图 3-3 (a) 是双脉冲测试的流程，而图 3-3 (b) 是多组双脉冲的测试流程。除此之外，实验中还存在其他的一些注意事项，如下：

- 1) 将 DSP_F28069 接入电脑，用适配的编译软件 Code Composer Studio (CCS) 编写双脉冲、多组双脉冲信号，并在接入动态电阻测试模块之前，先用示波器验证该信号是否准确，经过反复确认后再接入测试电路的信号端；
- 2) 将导通电流、导通电压的输出端与示波器相连，根据待测电压 V_{meas} 、电流 I_L 的幅值调整屏幕的垂直分辨率，使其波形显示尽可能做到满屏；
- 3) 实验中接入示波器的信号事实上为 I_L 、 V_{meas} 以及待测器件的门极信号 V_{GS} ，捕捉门极信号 V_{GS} 是为了精确控制多组双脉冲时的脉冲个数，并建议将 V_{GS} 设置为触发通道，同时选择合适的触发电平；
- 4) 捕获 V_{GS} 信号时必须采用最小回路法进行测量，避免引入额外的寄生电感，致使示波器捕获的信号失真；

- 5) 双脉冲测试时, 示波器的触发方式设置为 **Single Trigger**, 即单次触发模式; 在进行多组双脉冲测试时, 为了越过前面的脉冲, 而直接测得一定组数之后的脉冲, 需要设置为“捕获 N 个上升沿之后的波形”;
- 6) 进行实验时, 先打开低压辅助直流电源, 再打开高压电源。将高压电源的电压设置为 2s 内缓慢上升至满额, 以避免电压过冲致使电解电容爆炸;
- 7) 每触发、捕获电压、电流的波形一次, 即完成一次动态电阻的测试实验。对于平面型 GaN HEMT 而言, 为了确保其动态衰退的电阻已经恢复至静态值, 相邻的两次实验中应保证几分钟的时间间隔。该等待时间可以通过单独测试的方式进行校准。

3.2 动态电阻测试结果

为了验证上述测试平台的准确度, 首先需要单独制板, 将 GaN 器件替换为不存在动态电阻衰退现象的 Si 器件进行测试。本次对照实验中, 根据实验室库存情况, 选择了 IPP60R060C7 这款 600 V 硅器件, 通过半导体特性分析仪 B1505A 测得其导通电阻为 53 mΩ^[55]。

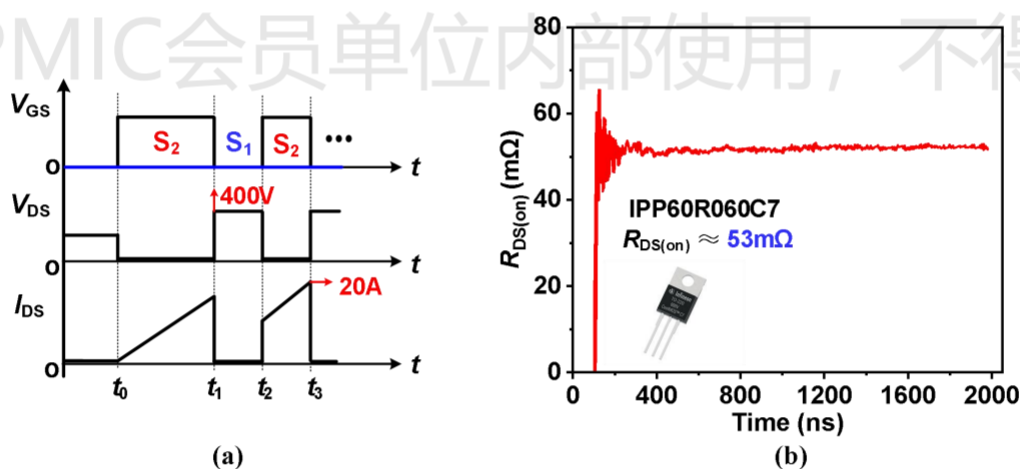


图 3-4 IPP60R060C7 的双脉冲测试结果: (a) 测试波形示意图 (b) 计算得到的导通电阻

如图 3-4 (a) 所示, 对照测试采用双脉冲进行, t_0-t_1 间隔为 4μs, t_1-t_2 、 t_2-t_3 间隔为 2μs。测试设置电压应力 $V_{in} = 400V$, 器件漏极电流 I_{DS} 峰值为 20A。图 3-4 (b) 为被测 Si 器件的导通电阻 $R_{DS(on)}$ 随导通时间的变化情况。

根据图中的测试结果, 开关过程结束后, 器件在稳定导通状态时的导通电阻保持不变, 且与静态导通电阻的数值一致。这表明上述工作搭建的测试平台能够有效地反映功率半导体器件在开关过程中导通电阻的变化, 因此可以实现氮化镓器件的动态电阻测试功能。

3.2.1 双脉冲及多组双脉冲测试结果

对于本文在 2.3 节中提出的测试方法，由于在多组双脉冲测试中的第一组测试结果，即为传统的双脉冲测试结果，如下图 3-5 所示，因此本文将两种方法得到的结果在同一节中进行分析。

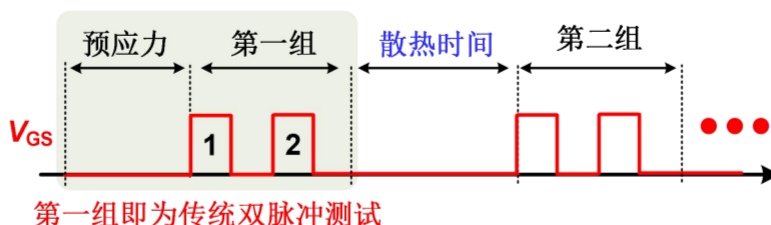


图 3-5 双脉冲测试被包含在多组双脉冲测试之中

在 2.4.1 小结中，本文对待测器件进行了详细的分析论述，由于选择的待测器件 A 与 B 均为 600/650V 高压器件，而行业界对于高压器件的应用，大多会将器件应用在其耐压极限的 60% 左右。从满足实际应用需求的角度出发，作为评估器件性能的动态电阻测试，也应该在器件耐压器件的 60% 左右进行，因此本文将动态电阻测试时的输入母线电压 V_{in} 统一设置为 400V，以期望在这个电压等级下得到准确、可靠、具有参考意义的测试结果。

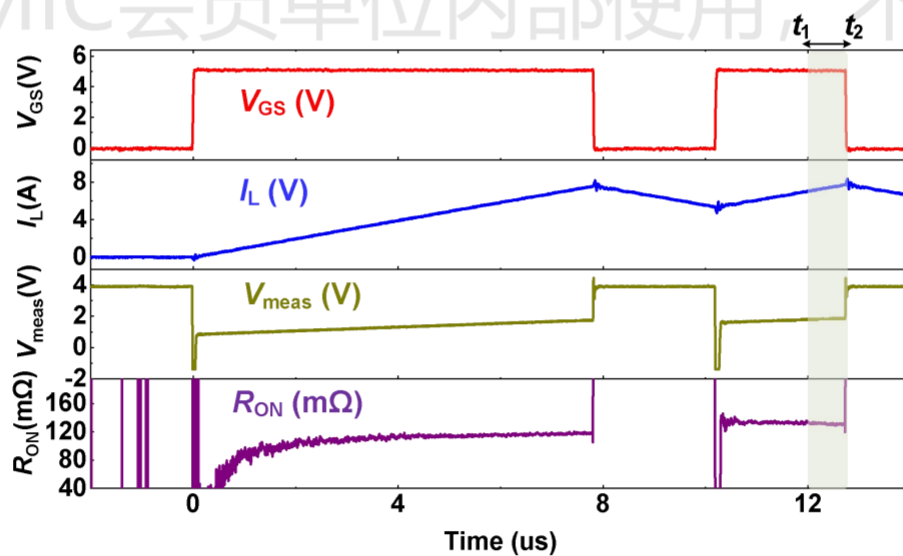


图 3-6 GS66504B 在正向导通硬开通时的测试波形

如图 3-6 所示，为器件 GS66504B 在正向导通硬开通时的第一组测试波形，从上到下分别对应着待测器件的门极信号 V_{GS} 、电感电流 I_L 、钳位电路测得的导通电压 V_{meas} 、以及计算得到的器件导通电阻 R_{ON} 。将第二个脉冲中，电流 I_L 峰值附近 t_1 - t_2 的时间段内（约 300ns）的动态电阻 R_{ON} 进行提取、并取平均值，记

为这一组双脉冲时器件的动态导通电阻。

将多组双脉冲测试中，每一组双脉冲的结果，均按照上述方式处理，最终可以得到一条动态导通电阻随脉冲组数/测试时间的变化点线图，如图 3-7 所示。

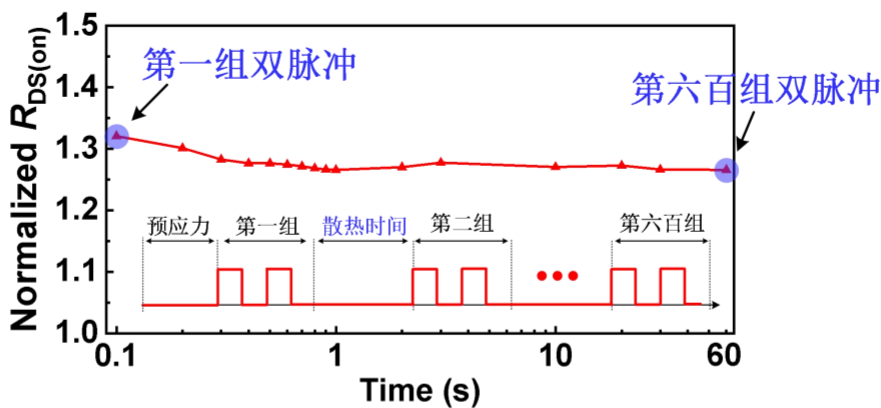


图 3-7 GS66504B 多组双脉冲测试结果示意图

在图 3-7 中，横坐标为对数显示的时间轴，纵坐标为归一化的导通电阻，“1.0”即代表该器件的静态导通电阻值。从图中可以看出，该曲线有着随时间轴缓慢下降、最终保持平稳的趋势。对比第一组测试结果（时间轴首端）与第六百组（时间轴末端）的测试结果，可以看出，器件的动态电阻存在对预应力的缓慢恢复，并最终达成平衡，恢复程度约为 5% 左右。在实际的开关电源模块中，更关注的是器件稳定工作状态时的动态电阻衰退现象，而双脉冲测试得到的结果却与连续脉冲后的结果存在一定的偏差。因此用于评估器件性能的指标时，相较于双脉冲测试的数据，选择多组双脉冲的脉冲尾端会更为合适。

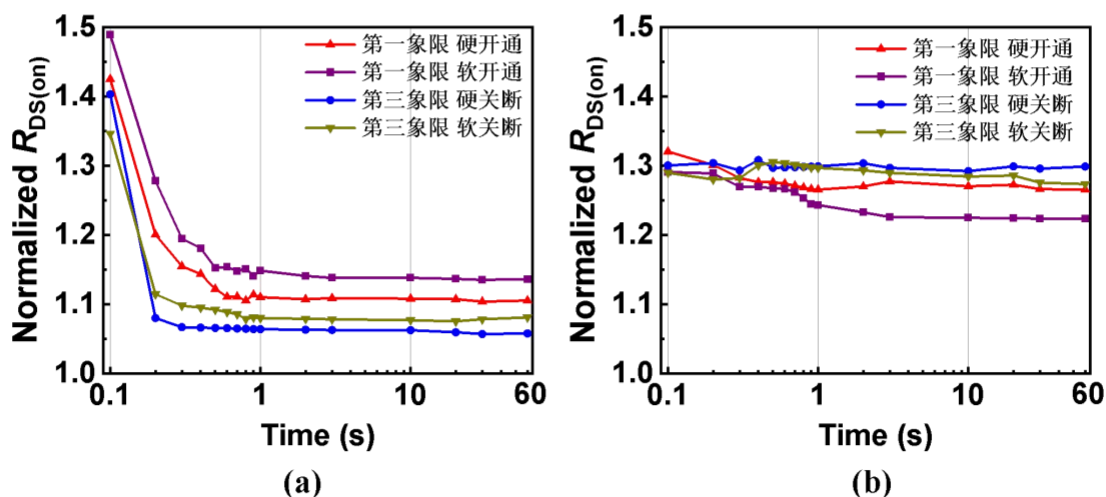


图 3-8 多组双脉冲测试结果：(a) 器件 A (b) 器件 B

如图 3-8 所示，是器件 A 与器件 B 在 400V 输入电压 V_{in} ，70% 器件最大导通电流 I_{DS} 条件下，所测得的多组双脉冲实验结果。其中横坐标是对数显示的时间

间轴, 纵坐标为归一化的导通电阻, 不同颜色的曲线代表不同的工作象限与模式, 在图中已经以图例的方式标注出。从测试结果可以看出, 被测器件的导通电阻值随着工作象限与开关方式的变化而变化, 可见, 目前的商用 GaN 器件在不同的工作模式下, 将面临着不同程度的动态电阻退化问题。

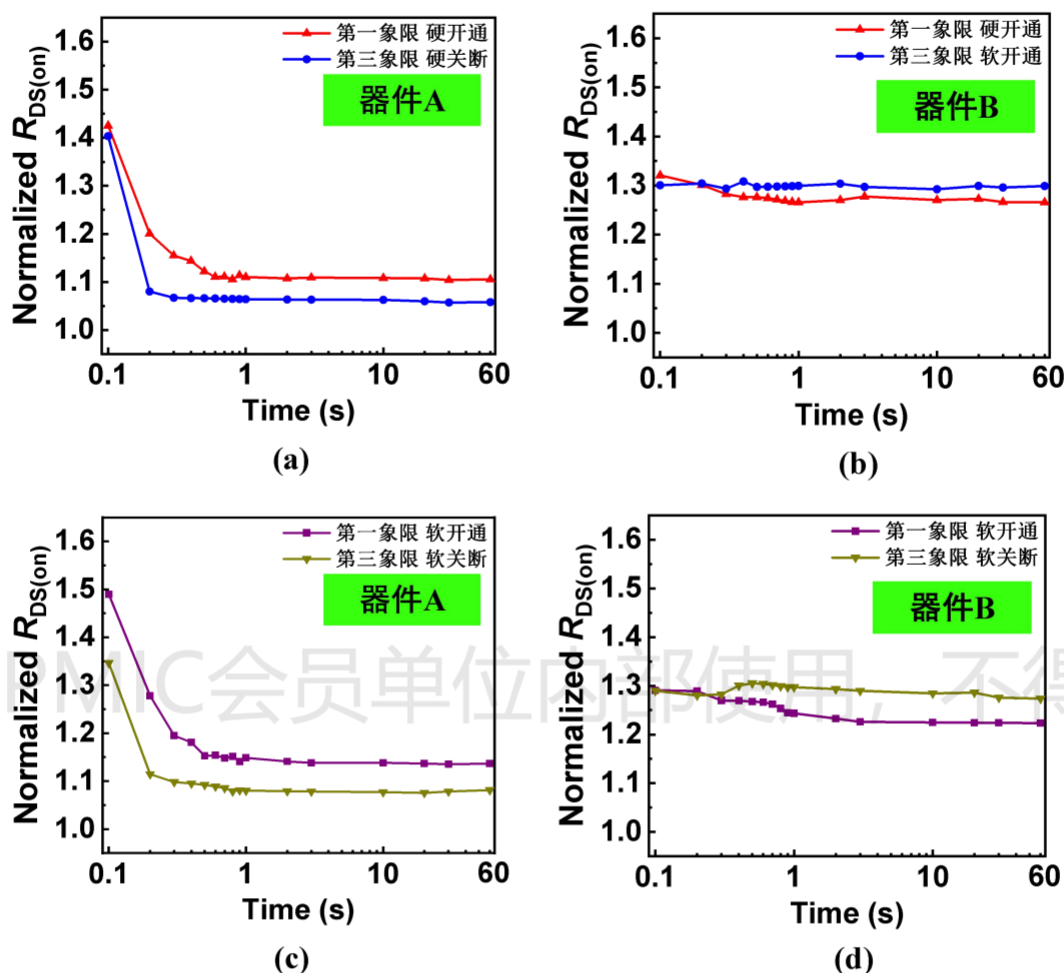


图 3-9 不同工作象限, 器件导通电阻的变化对比图: (a) 器件 A 硬开关 (b) 器件 B 硬开关; (c) 器件 A 软开关 (d) 器件 B 软开关

对于器件 A, 可以明显看出, 其动态导通电阻 $R_{DS(on)}$ 受预应力阶段的影响十分显著, 在多组脉冲的首端、约 0.1s 处, 依据不同工作模式, 其动态电阻的衰退程度达到了惊人的 35%~50%。然而, 一旦脉冲序列持续的时间超过 1 秒, 所有工作模式下的导通电阻 $R_{DS(on)}$ 都将下降 30% 以上。从测试得到的结果来看, 1s~60s 这段区间内, Device A 的动态电阻 $R_{DS(on)}$ 几乎不再变化。

对于器件 B, 观察到该器件的动态导通电阻 $R_{DS(on)}$ 在整个脉冲序列 (0.1s~60s) 中变化幅度较小、显示出相对一致的趋势, 在第一象限的零电压软开通模式中观察到最大程度的动态电阻恢复 (~7%)。

当对器件工作在不同象限中, 动态导通电阻 $R_{DS(on)}$ 的变化趋势进行分析时, 可以观察到, 器件 A 和器件 B 表现出相异的趋势, 如图 3-9 所示。其中 (a) (b) 对比了两款器件在硬开关时, 第一、第三象限的动态电阻; (c) (d) 则对比了两款器件在软开关时, 第一、第三象限的动态电阻。

与工作在第一象限、正向导通时相比, 器件 A 在工作于第三象限、反向导通期间表现出更轻微的动态导通电阻衰退现象, 在脉冲尾端 60 秒时观察到约 10% 的显著差异。另一方面, 器件 B 则表现出截然相反的现象。对于器件 B 而言, 与工作在第一象限、正向导通时相比, 工作于第三象限、反向导通期间则表现出更恶劣的动态导通电阻衰退, 在脉冲尾端 60 秒处能观察到 3-5% 的差异。

本节中的实验结果初步显示, 当前主流 GaN 功率器件的动态电阻特性受多种因素影响, 例如工作象限和开关状态。在具体应用中, 这些因素应根据具体情况进行分析, 而不能简单归纳。器件 A 和 B 在动态电阻特性上的不同, 主要是由于它们在结构和制造工艺上的差异。下一章节中, 本文将通过对器件的二维仿真, 进行更加深入的分析 and 探讨。

3.2.2 峰值电流对动态电阻影响

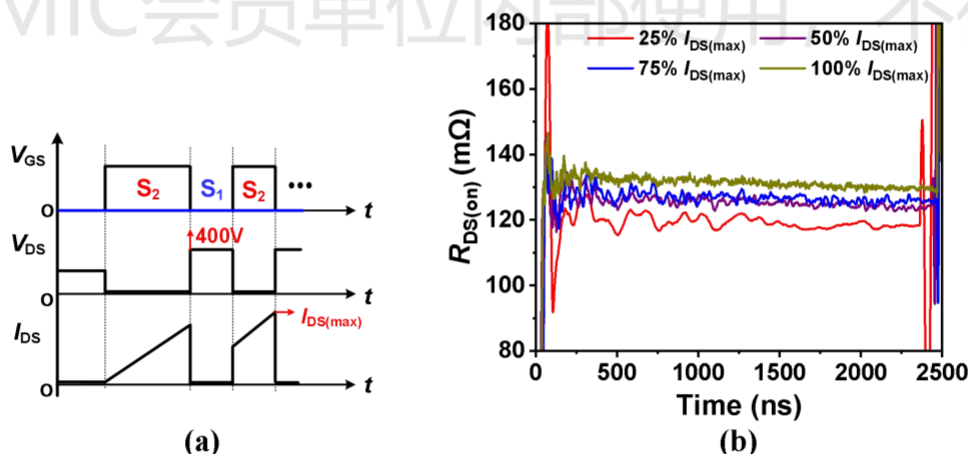


图 3-10 改变峰值电流后, GS66504B 的双脉冲测试结果: (a) 测试波形示意图 (b) 不同峰值电流条件下, 计算得到的导通电阻随时间的变化

如图 3-10 所示, 是器件 GS66504B 在第一象限硬开通的双脉冲测试结果, 改变的变量是器件导通时的电流 I_{DS} 的峰值 $I_{DS(max)}$ 。

从子图 3-10 (b) 可以看出, 随着导通电流的正向峰值增加, 器件在整个测试窗口内的动态导通电阻也随之增加。在正向导通的硬开通模式下, GaN 器件的动态导通电阻 $R_{DS(on)}$ 随着导通电流 I_{DS} 的增加而增加, 本文测得的这一现象与

现有的、可参考的研究成果高度相似^[54]。

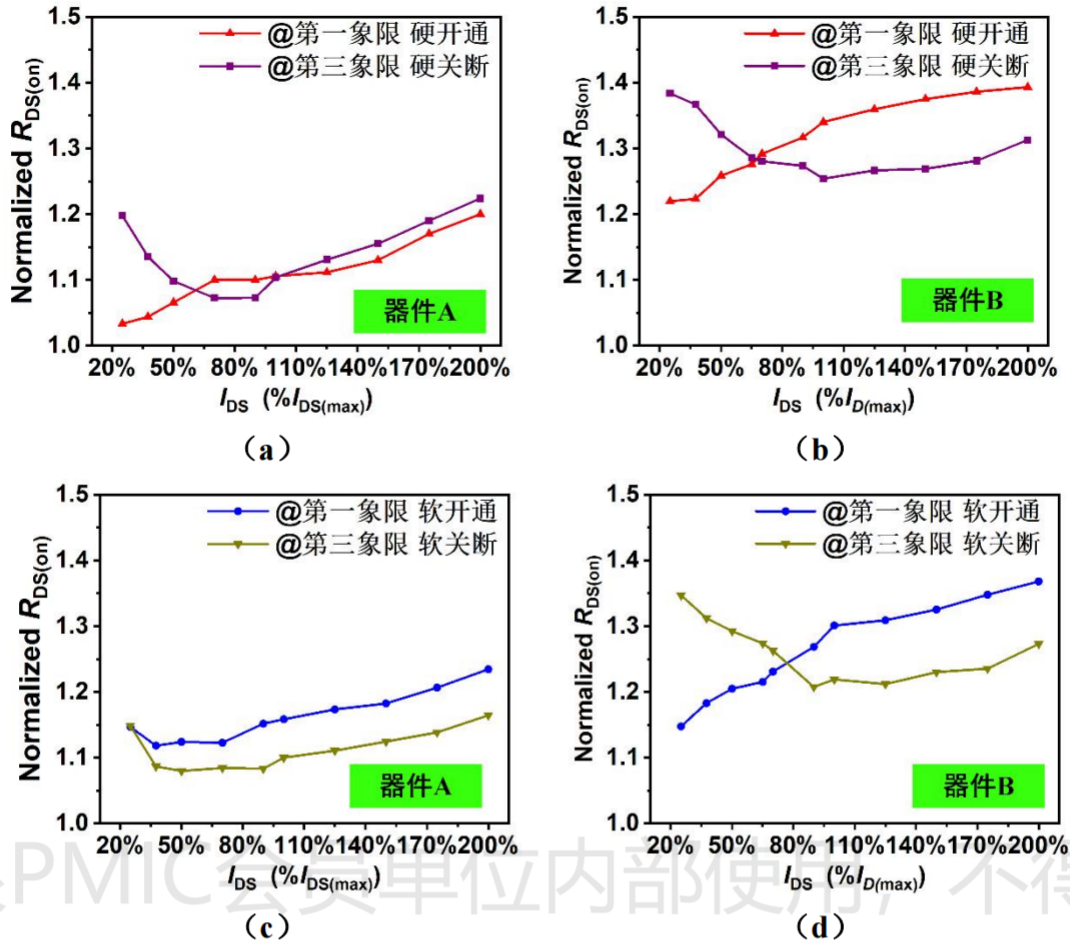


图 3-11 改变峰值电流条件的多组双脉冲测试结果：(a) 器件 A 硬开关 (b) 器件 B 硬开关；(c) 器件 A 软开关 (d) 器件 B 软开关

而在多组双脉冲测试中，为了揭示实际工作下器件的动态电阻变化行为，将改变峰值电流的每一次测试的第六百组、稳态时、导通电流 I_{DS} 峰值附近的实验结果进行提取，可以绘制成如图 3-11 所示的结果图。

图 3-11 的四个子图中，图 (a)、(c) 是待测器件 A 的实验结果，图 (b)、(d) 则是待测器件 B 得到的实验结果；图中横坐标是导通电流 I_{DS} 占待测器件最大导通电流 $I_{DS(max)}$ 之比，纵坐标则和前文的处理方式一样，为归一化的动态导通电阻 $R_{DS(on)}$ 。四种不同的工作模式的实验结果以不同颜色的点状线表示在图中。

从总体趋势而言，两种不同结构的待测器件在测试规律上表现出相似之处：

(1) 在第一象限硬开通模式下，两种器件的动态导通电阻均随着导通电流峰值的增加而增加；

(2) 在第三象限反向导通模式下，两种器件在峰值导通电流较低时（小于 $50\%I_{DS(max)}$ ），动态电阻随导通电流的增加而减少；而在峰值导通电流较高时（大

于 $80\%I_{DS(max)}$), 动态电阻随导通电流的增加而增加。

除此之外, 两种器件在某些特定条件下也展现出了不同的表现行为。对于器件 A, 当峰值导通电流较低时, 其在第一象限软开通模式下的动态导通电阻随着导通电流的增加而有降低的趋势, 而这在器件 B 中则完全相反。

3.3 本章小结

在本章中, 我们详细介绍了 GaN 器件动态电阻特性实验的测试设备、步骤及结果分析。实验中, 我们通过双脉冲测试及其变种——多组双脉冲测试, 对两种商用 GaN 器件在第一象限的硬开通和零电流软开通状态, 以及第三象限的硬关断和零电流软关断状态进行了评估, 以全面分析这些关键工况下器件的动态电阻表现。

其中, 双脉冲测试结果表明不同结构的器件 A 与器件 B 在第一象限、第三象限导通时具有不同的动态电阻变化趋势, 因此, 在评估现阶段的 GaN 功率器件的动态电阻时, 必须充分考虑器件的具体工况, 否则可能会导致损耗计算不准确。此外, 在基于多组双脉冲的测试结果中, 可以发现双脉冲测试在评估 GaN 器件动态电阻时的局限性, 它未能排除预应力以及连续开关脉冲对动态电阻的干扰。这表明传统的双脉冲测试方法不完全适合 GaN 器件, 与之相比, 多组双脉冲测试方法则能更富有实际意义地反映功率氮化镓器件在实际工况下的动态电阻性能。

第 4 章 不同导通象限对动态电阻的影响分析与仿真验证

从第 3 章的实验结果中可以发现,两款待测器件 A、B 在第一象限和第三象限的导通条件下,表现出了不同的动态电阻性能。具体来说,对于高压 GaN 器件,在常见的应用条件下(400V 的关断电压应力和 70% 的最大导通电流),肖特基门极结构的器件 B 在正向导通时的动态电阻比反向导通时要小。而采用欧姆门极结构的器件 A 在正向导通时的动态电阻却相对较高,表现出与器件 B 相反的特性。本章将对这些实验发现进行详尽的分析,并通过仿真验证,从而更加深入地理解这些现象。

4.1 第一、第三象限导通条件对动态电阻的影响

第一、第三象限的导通条件对 GaN 器件中二维电子气沟道的电势分布产生了深远的影响。在第一象限工作时,电流从漏极流向源极,沟道内的电势全为正值;而在第三象限工作时,电流方向颠倒,从源极流向漏极,此时沟道内的电势则变为负值。这种电势分布的变化,进而会影响 GaN 器件门极特性的表现。GaN 器件的门极非常敏感,即使是门极开通条件的微小变化,也会导致器件导通性能的显著差异。

在 2.4.1 节中,本文对两款待测器件的结构进行了初步的描述。如图 4-1 所示,这两种器件的门极结构存在明显的差异,分别是欧姆接触的门极注入式晶体管(器件 A)和带有肖特基门极的晶体管(器件 B)。在第一象限和第三象限导通时,这两种不同的门极类型会受到不同的影响,导致了它们表现出不同趋势的动态电阻衰退效应。

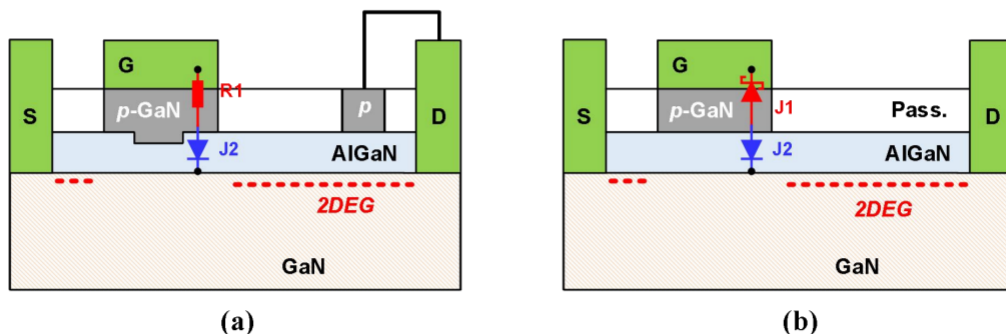


图 4-1 E-mode 器件结构图: (a) 器件 A, 欧姆门极 (b) 器件 B, 肖特基门极

4.1.1 门极空穴注入效应在第一、第三象限导通条件下的影响

如图 4.2 所示，展现了 $V_{GS}=0V$ 时器件 A 门极附近的能带结构。图中上方的水平线代表导带边缘 (E_C)，而下方的水平线代表价带边缘 (E_V)。这两条线之间的区域称为带隙，其宽度随半导体材料而异。图中还标出了费米能级 (E_F)，以虚线表示，其为绝对零度时电子填充的最高能级。在 p -GaN 和 AlGaIn 的交界处，能带出现弯曲，这是由于两种材料之间能带对齐的不匹配造成的。在 AlGaIn 与 GaN 的界面处也观察到了类似的弯曲现象，其弯曲程度与材料的电子亲和力和禁带宽度相关。在图的左侧，欧姆接触区的能带结构显示了费米能级接近 p 型 GaN 的价带顶部。费米能级接近价带，表明该区域富含空穴（正电荷载子），这是 p 型掺杂的特征。在接触处施加电压时，空穴可以轻易地注入，促进电流的流通。

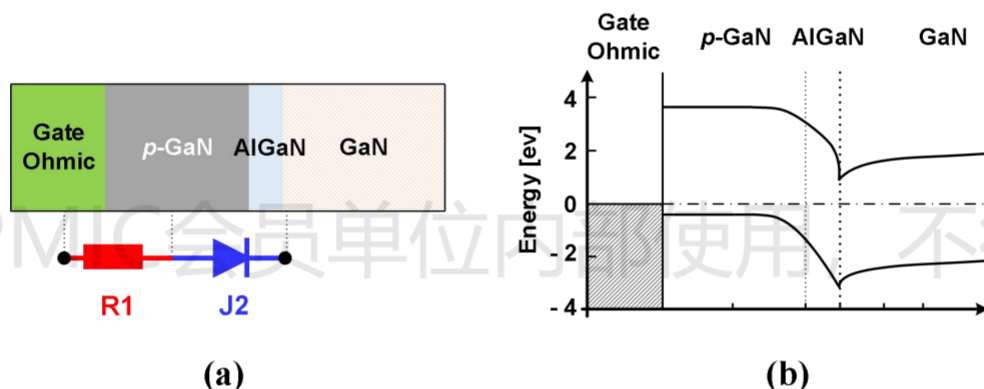


图 4-2 $V_{GS}=0$ 时的欧姆门极器件：(a) 门极附近结构图 (b) 能带图

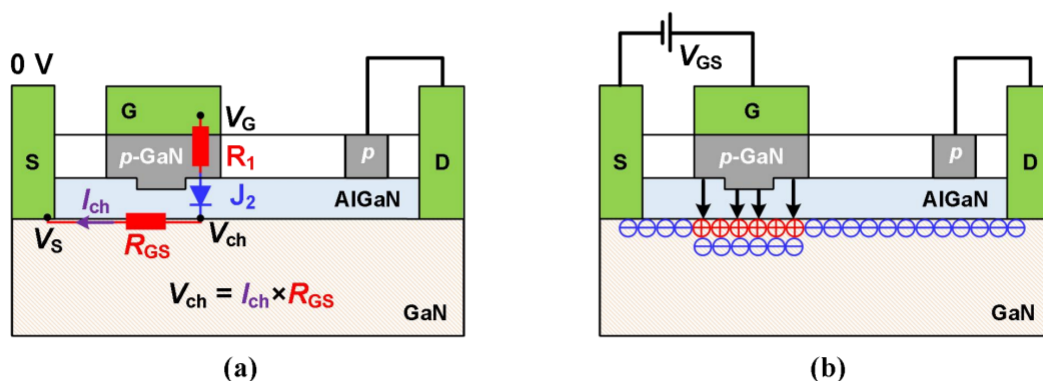


图 4-3 欧姆门极器件横截面图：(a) 门极结构等效模型 (b) 门极空穴注入示意图

这种空穴注入效应在第一、第三象限导通时的效果存在差异。如图 4-3 (a) 所示，是门极的等效模型。 p -GaN 与下方的 AlGaIn 层形成等效 PN 结 J_2 ， J_2 的阴极电势为门极下方沟道处的电势 V_{ch} ，器件导通时， V_{ch} 由沟道电流 I_{ch} 和沟道电

阻 R_{GS} 决定。当器件工作在第一象限、正向导通时，沟道电流 I_{ch} 为正，则 V_{ch} 也为正，等效 PN 结 J_2 两端电压为 $V_G - V_{ch} < V_G$ ；当器件工作在第三象限、反向导通时，沟道电流 I_{ch} 为负，则 V_{ch} 也为负，等效 PN 结 J_2 两端电压为 $V_G - V_{ch} > V_G$ ；因此，PN 结 J_2 在第三象限的开通程度将大于在第一象限的开通程度，门极注入效应在第三象限将更为显著。

更显著的门极注入效应将带来更小的导通电阻，如图 4-3 (b) 所示，注入的空穴在通道中积累，为了维护电荷中性——即确保通道内不会出现净电荷，等量的电子将从源极流入以与积累的空穴平衡。这个过程保证了器件区域之间的电势稳定。同时，通道中的电子受到漏极偏压的驱动，在高电子迁移率的影响下，这些电子能够快速移动，形成电流。相比之下，由于空穴的迁移率至少低两个数量级，注入的空穴主要停留在门极附近，相对于电子来说，它们在通道中的移动是非常有限的。因此，在正常操作条件下，这些空穴不会对电流的形成产生直接影响，主要的电流仍然由高迁移率的电子贡献。

4.1.2 阈值电压漂移效应在第一、第三象限导通条件下的影响

如图 4-4 所示，是一个具备肖特基门极的 GaN 器件示意图，其中包含了肖特基结 J_1 、PN 结 J_2 、以及 p 型氮化镓 (p -GaN) 层。此 p -GaN 层在电路中是一块未接地的“浮动”区域，即它未与器件的任何电极形成直接的电气联系。在传统的硅 (Si) 和碳化硅 (SiC) 半导体器件中，浮动 p 区域已经被发现会引起器件性能的不稳定性。类似地，在氮化镓基 HEMTs 中，浮动 p -GaN 层的电荷积累现象也已被证明为会导致器件的门极阈值电压漂移。

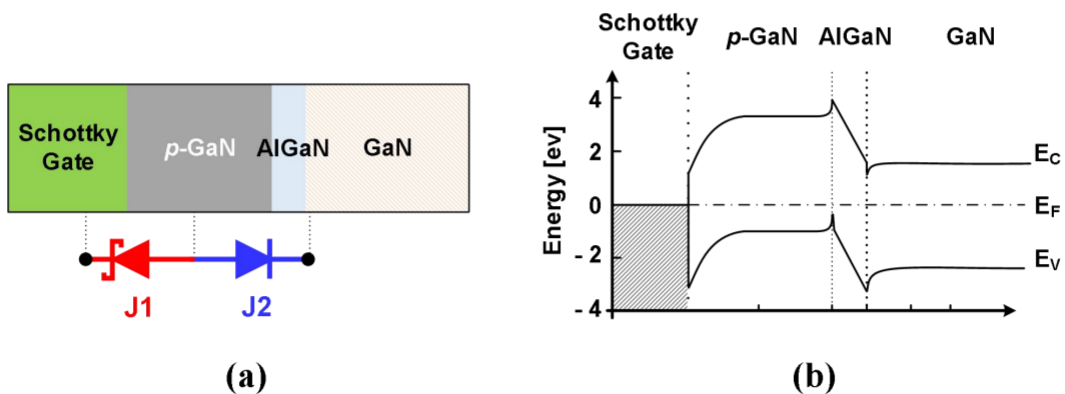


图 4-4 $V_{GS} = 0$ 时的肖特基门极器件：(a) 门极附近结构图 (b) 能带图

当具有 p -GaN 层的 GaN 器件承受较高的漏极关断电压应力 V_{DS_OFF} 时，漏极—栅极等效电容 C_{GD} 将充电、并累积电荷至 $Q_{GD}@V_{DS_OFF}$ ，同时漏极附近导电沟

道内二维电子气将耗尽，并形成固定正电荷的空间电荷区，如图 4-5 (a) 所示。由于肖特基结此时处于正向偏置状态，空穴会从 p -GaN 层流出，用于掺杂的受主原子将电离而产生净负电荷。

另一方面，如图 4-5 (b) 所示，当漏极偏压下降至 V_{DS_ON} 时， C_{GD} 本应放电至 $Q_{GD}@V_{DS_ON}$ 。然而，肖特基结的反向偏置阻止了漏极-门极放电电流的形成。因此， p -GaN 层中储存的部分负电荷 $Q_{GD}@V_{DS_ON}$ 依然与漏极附近二维电子气沟道中的正电荷相互对应。为了实现器件的导通状态，需要额外的门极偏压来抵消这种非平衡状态下的 ΔQ_{GD} ，即： $\Delta Q_{GD} = Q_{GD}@V_{DS_OFF} - Q_{GD}@V_{DS_ON}$ ；从而导致阈值电压 V_T 出现正向偏移 ΔV_G 。

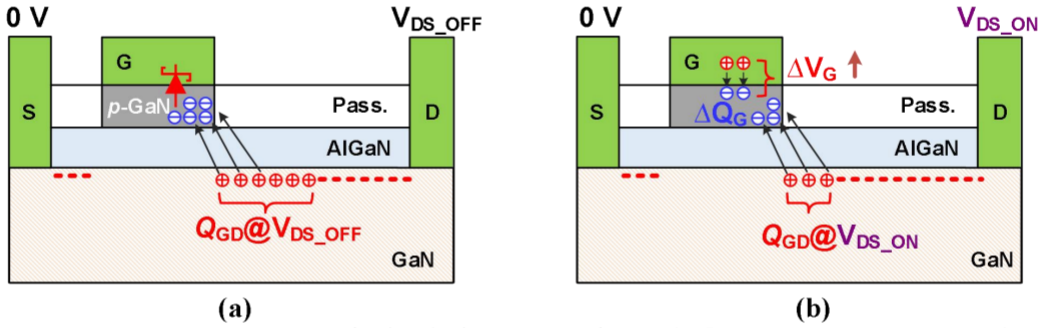


图 4-5 阈值电压漂移效应示意图：(a) 器件承受关断应力时 (b) 器件开通时

与 4.1.1 小节中所述 GIT 器件的门极空穴注入效应一样，肖特基门极的 GaN 器件，其阈值电压漂移效应在第一、第三象限导通时的影响同样存在差异。

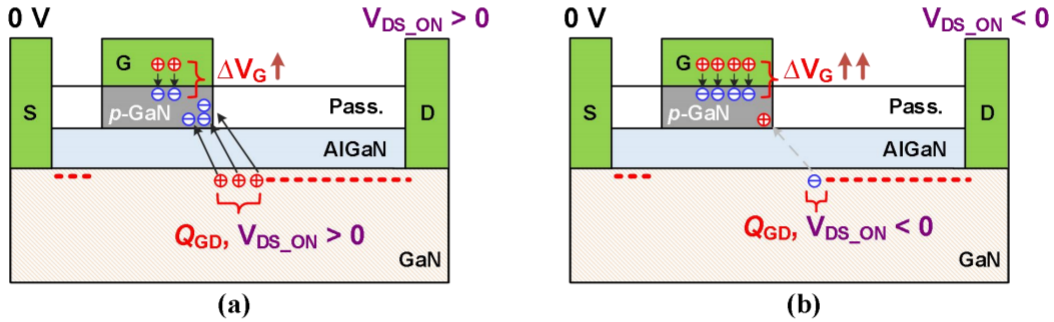


图 4-6 不同工作象限的阈值电压漂移效应示意图：(a) 第一象限 (b) 第三象限

在图 4-6 (a) 中，当器件在第一象限正向导通模式下工作时，其导通状态下的漏-源电压 V_{DS_ON} 为正值。相反，当器件在第三象限反向导通模式下工作时，如图 4-6 (b) 所示，由于此时沟道电流方向是从源极到漏极， V_{DS_ON} 为负值，因此在这种情况下，栅极-源极电容 C_{GD} 存储的是负电荷 Q_{GD} 。根据阈值电压漂移效应的原理，越低的 V_{DS_ON} 会导致越高的电荷存储差 ΔQ_{GD} ，从而引起更大的

阈值电压正向偏移 ΔV_G 。因此，在第三象限工作模式下， ΔQ_{GD} 相较于第一象限会更显著，从而导致器件面临更严重的阈值电压漂移现象。同时，由于器件的导通电阻与阈值电压密切相关，因此在第三象限工作时，器件的导通电阻将相对较高。这种情况下的增加的导通电阻可能会对器件的整体性能和效率产生负面影响。

4.2 基于 silvaco 的半导体仿真验证

为了进一步探究和验证前文所提出的影响机制，本研究将采用半导体仿真工具进行细致的分析。这里，我们将重点对 Infineon 公司的器件 A 的门极空穴注入效应进行仿真验证。这种考量主要出于两个原因：首先，关于器件 A 的结构和制造工艺已经有丰富的文献报道，为我们构建准确的仿真模型提供了基础；其次，相较于器件 B 肖特基门极的阈值电压漂移效应已存在的广泛研究，器件 A 的门极空穴注入效应——尤其是其在第一象限和第三象限导通条件下的差异性作用——的研究相对缺乏。因此，本文的工作旨在填补这一研究空白，以更全面地理解器件 A 的工作机制。

4.2.1 仿真模型建立

在使用 Silvaco 软件包进行半导体器件仿真的过程中，首先进行的是网格的初始定义。这一步骤涉及到通过“x.mesh loc=...”和“y.mesh loc=...”指令，精确设定网格点的空间位置及其间距。紧随其后的是区域定义与材料属性设定阶段，此阶段为不同的半导体区域分配特定的材料类型，如硅或氧化物，并赋予这些区域相应的电子学特性参数。此阶段还包括了电极的详细配置，通过指定电极名称及其在器件中的具体位置参数来完成。

随后的步骤是掺杂配置，利用“doping”指令来规定掺杂剂类型（施主或受主）、掺杂浓度以及掺杂剂在器件中的具体分布区域。掺杂分布可以按均匀分布执行，或者采用高斯分布及其他复杂的分布函数以模拟实际的掺杂概况。

掺杂参数设定完成后，通过“region”与“electrode”指令进一步明确器件中的各区域边界以及电极配置，同时，“impurity”指令被用于详述掺杂特性。在这一阶段，可运用“mesh”指令进行网格优化，并通过“eliminate”指令移除不必要的网格列，优化仿真精度和效率。

接下来，仿真流程转入使用 DevEdit 软件进行的物理结构创建与修改。在 DevEdit 环境中，可以通过设置坐标点来绘制器件的二维截面，并为每个区域配

置电学参数，如工作函数和载流子浓度，从而为仿真提供物理基础。

最终，仿真流程导向执行仿真并保存结果。通过“go atlas”和“go devedit”命令启动仿真，执行完成后，采用“save”命令将结果保存为“.str”结构文件。为了进一步分析和校验仿真数据，“tonyplot”命令被用于结果的图形化展示，这是理解和解释仿真数据的重要手段。

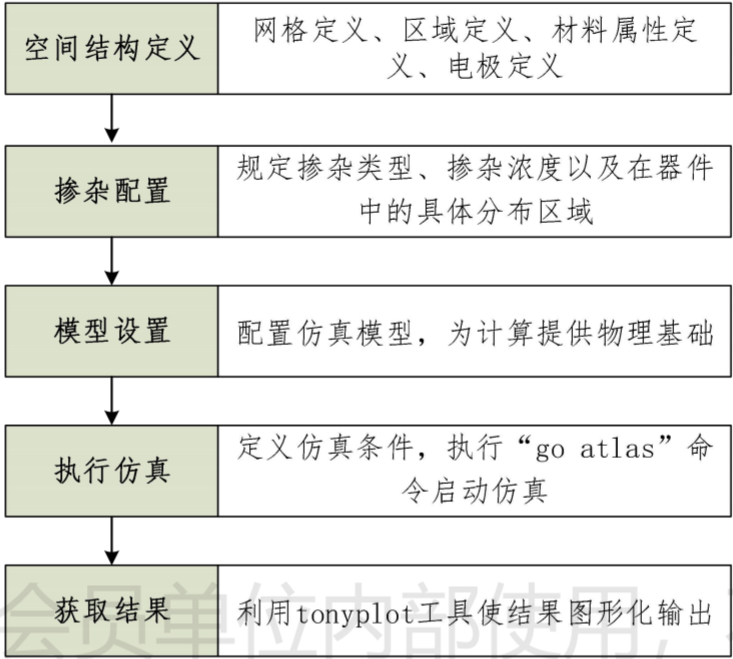


图 4-7 silivaco 进行二维器件的仿真流程

以上就是利用 Silvaco 软件包进行半导体器件仿真的标准流程，其主要的部分如图 4-7 所示。每一步都为实现精确模拟真实器件行为提供了基础。通过这一系列精细化的步骤，仿真不仅能够预测器件性能，还能为设计改进提供指导。

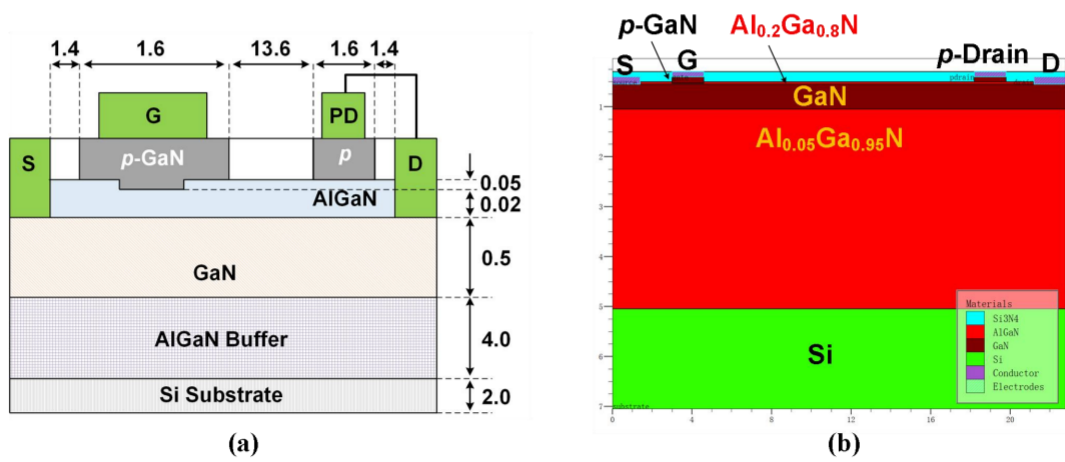


图 4-8 （a）器件 A 的尺寸结构图，单位为μm （b）搭建的仿真模型

仿真模型的建立主要参照器件公司提供的相关文献和已发表论文，其器件的

结构尺寸图如图 4-8（a）所示，在 Si 衬底上构建了 AlGaIn/GaN 异质结构。本文使用了“gansat.n”和“albrct”模型作为载流子迁移率模型，用于模拟器件在工作状态下的载流子运动。最终在 Silvaco 环境搭建的仿真模型结构如图 4-8(b) 所示，仿真模型中的陷阱设置如表 4.1 所示。

表 4.1 仿真模型中的陷阱设置

序号	区域	类型	能级 (eV)	浓度 (cm ⁻³)	电子捕获截面(cm ²)	空穴捕获截面(cm ²)
1	AlGaIn 势垒层	受主	$E_V+0.6$	2×10^{16}	1×10^{-15}	1×10^{-14}
2	AlGaIn 势垒层	施主	$E_C-0.01$	1×10^{16}	1×10^{-15}	1×10^{-14}
3	GaN 层	受主	$E_V+0.7$	5×10^{16}	1×10^{-15}	1×10^{-14}
4	GaN 层	施主	$E_C-0.01$	1×10^{16}	1×10^{-15}	1×10^{-14}
5	AlGaIn 缓冲层	受主	$E_V+0.5$	5×10^{18}	1×10^{-15}	1×10^{-14}
6	AlGaIn 缓冲层	施主	$E_C-0.01$	1×10^{18}	1×10^{-15}	1×10^{-14}
7	AlGaIn 缓冲层	施主	$E_C-0.4$	2×10^{18}	1×10^{-15}	1×10^{-14}

4.2.2 仿真模型求解

在设定好仿真模型后，为获得仿真求解的数据，本文为模型施加了特定的求解条件以保证仿真结果与实验条件的一致性，使模型设置为承受 400 伏关断电压应力，并求解开通持续 2μs 后的实验结果。

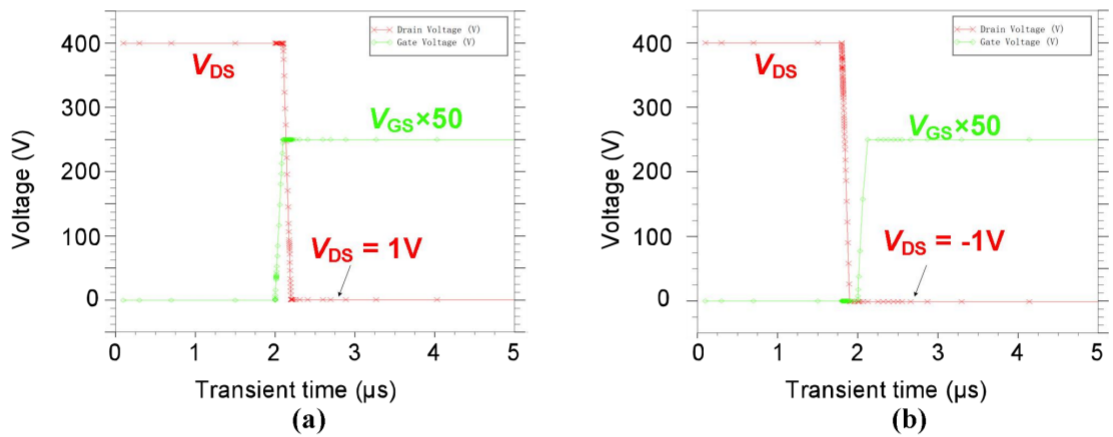


图 4-9 求解描述中给定的 V_{GS} 和 V_{DS} 波形：(a) 第一象限工作时；(b)第三象限工作时

为了简化计算过程并提高求解的收敛速度，本文采取了一种简便方法来模拟器件在第一象限和第三象限的导通。这种方法涉及同时对栅极电压 V_{GS} 和漏极电压 V_{DS} 施加不同程度的重叠，以此来模拟不同的负载路径。图 4-9 展示了在不同导通条件下设定的 V_{GS} 和 V_{DS} 波形。为了便于在相同的纵坐标轴进行比较， V_{GS}

的电压被放大了 50 倍。从图中可以看出,在第一象限工作时, V_{GS} 达到峰值之后, V_{DS} 为正值;而在第三象限工作时, V_{GS} 达到峰值后, V_{DS} 则为负值。

下图 4-10 展示了器件模型在经受 2 微秒电压应力后,在不同导通状态下的横向剖面图。图中揭示了器件内部的空穴浓度 (Hole Conc)。从图像中可以明显看出,在反向导通的第三象限时,相较于正向导通的第一象限,门极的空穴注入现象更为显著。在这种状态下,大量的空穴被注入到位于门极下方的势垒层和缓冲层内,带来更高的沟道二维电子气浓度,最终导致更小的导通电阻。

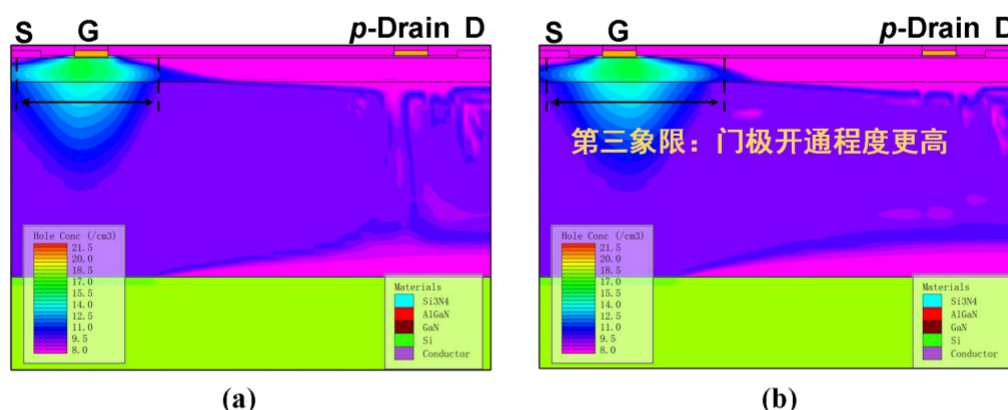


图 4-10 器件在不同导通条件下,工作 2 微秒后的横截面:(a) 第一象限;(b) 第三象限

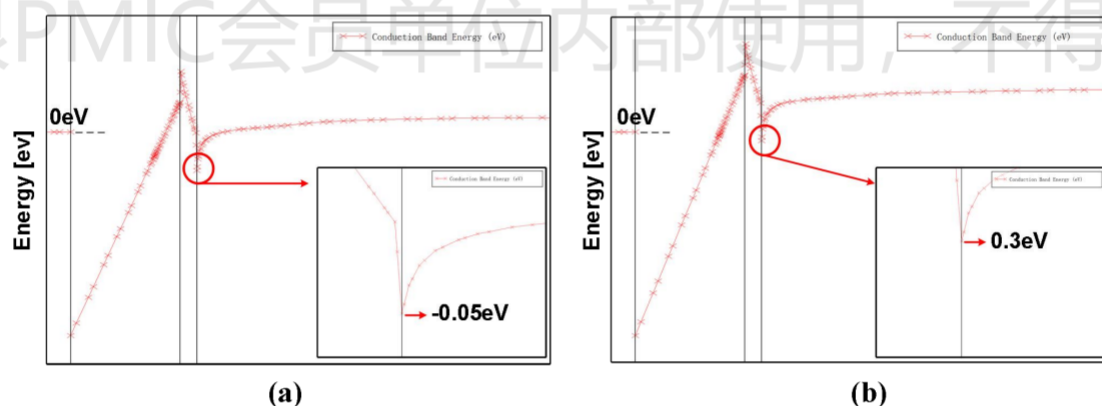


图 4-11 在不同导通条件下,工作 2 微秒后的门极导带图:(a) 第一象限 (b) 第三象限

图 4-11 展示了基于图 4-10 中器件仿真结果的门极横截面导带能带图。从该图中可以直观地观察到,在第三象限工作时,位于门极下方沟道区域的导带位置较高,这一现象表明门极处的空穴注入效应在此条件下更加显著。

4.3 本章小结

TCAD 半导体仿真软件的应用,超越了传统测量设备的能力,能够在观察器件的宏观表现如转移特性和输出特性的同时,还能深入分析如电场分布、电流密度和载流子浓度等微观特征。本章通过利用 Silvaco 仿真平台构建的 GaN 器件物

理模型，对前述实验观测到的第一、第三象限导通条件下的动态电阻影响因素进行了深入的探讨和验证，即门极空穴注入效应。

仿真结果进一步证实了在反向导通条件下，采用门极空穴注入结构的器件能显著抑制动态电阻的增长，这一发现对器件设计和电路优化具有极高的实际应用价值，不仅对电路设计师，同时对于器件工程师而言也是极为宝贵的参考信息。

仅限PMIC会员单位内部使用，不得外传

第5章 总结与展望

作为第三代宽禁带半导体器件, GaN 功率器件在高频、高效和高功率密度的电源变换领域展现了巨大的优越性。然而, 尽管当前商用 GaN 器件采用了先进的制造工艺和外延设计, 但平面型器件本身的动态电阻衰退现象仍未得到根本解决。这一问题给基于平面型 GaN 器件的电源设计和损耗评估带来了严重的不确定性, 也对现阶段 GaN 器件的大规模应用构成了直接挑战。因此, 全面准确地评估 GaN 器件在常见电源领域中的动态电阻性能, 对于推动 GaN 器件的广泛应用具有重要的意义和研究价值。

本文在综合论述国内外业界现阶段关于 GaN 功率器件动态电阻评估的研究成果的基础上, 深入探讨了工作象限——这一关键条件对动态电阻的影响, 并进一步研究了器件内部结构差异导致的动态电阻衰退性能的区别。本研究不仅具有创新性的成果, 也为今后宽禁带器件的表征提供了从电路到器件进行机理分析的新型研究方法。

本工作的主要成果可以总结为以下两点:

(1) 设计了一种全象限的 GaN 器件动态电阻测试电路, 并配套提出了相应的测试方法。在电力电子变换器中应用的 GaN 功率器件可能会在第一象限和第三象限工作。目前, 国内外研究者在研究 GaN 器件动态电阻特性时, 很少考虑到第三象限的恢复情况。鉴于此, 本研究开发了一个集第一象限和第三象限测试条件于一体的多功能动态电阻测试平台。该平台不仅能够实现第一象限和第三象限的动态电阻测试, 还能够探究电压应力、开关频率、开关条件等其他工作状态对动态电阻的影响。

(2) 发现了在反向导通的第三象限工况下, 目前基于欧姆门极空穴注入的器件其动态电阻得到抑制, 而基于肖特基门极的氮化镓器件阈值电压偏移将会更为显著。利用所搭建的全象限测试平台和双脉冲、多组双脉冲等测试方法, 本文评估了两种不同技术路线的商用 GaN 功率器件在第一象限正向导通和第三象限反向导通下动态电阻随电流应力和导通象限的变化情况。实验结果表明, 采用不同结构的 GaN 器件在第一、第三象限导通条件下会表现出截然不同的动态电阻特性。其中, 在常见的应用场景, 70%电流应力的条件下, 采用肖特基门极 *p*-GaN

的 GaN 器件在第三象限反向导通时的动态导通电阻比第一象限正向导通高出 3% 至 5%；而采用欧姆门极空穴注入技术的 GaN 器件在第三象限反向导通模式下，动态导通电阻的退化效应则相较轻微，与第一象限正向导通相比，约降低了 10%。

为了进一步解释实验结果，本文从半导体器件物理的角度出发，通过利用 Silvaco 仿真平台构建的 GaN 器件物理模型，对前述实验观测到的第一、第三象限导通条件下的动态电阻影响因素进行了深入的探讨和验证，即门极空穴注入效应和栅极阈值电压漂移效应，并进一步证实了在第三象限导通条件下，具有门极空穴注入结构的器件能抑制动态电阻的衰退，这为 GaN 功率器件在电力电子实际应用中的选型评估提供了重要参考信息，也为 GaN 功率器件在工艺结构上的进一步优化提供了方向。

基于以上测试与分析，针对如何准确有效地评估 GaN 器件在电源应用中的动态电阻与损耗，本文提出两点建议：

(1) 相较于单脉冲或双脉冲测试，多组双脉冲测试更接近实际应用场景，其结果也更具可靠性。由于陷阱捕获与释放效应的影响，GaN 功率器件的动态电阻会随着脉冲次数的增加而变化，在经历多个脉冲后最终趋于稳定。因此，采用单脉冲或双脉冲等不具有长时间、多次开关过程的测试方法来评估 GaN 器件的动态电阻时均存在严重的局限性。与之相比，多组双脉冲测试能够在近似准稳态条件下运行，更贴合电源中开关器件的工作状态，因而能更有效而全面地反映平面型 GaN 器件的动态电阻衰退现象。

(2) 在计算损耗时需要分别考虑第一、第三导通条件的影响，不能参照硅器件计算的经验而一概而论。对于氮化镓器件的导通损耗评估，现阶段在逆变器或者图腾柱 PFC 等拓扑中的工程计算大都采用一个固定的动态电阻系数来计算损耗，然而根据本文的工作测试评估，氮化镓器件的动态导通电阻在第一、第三象限导通时有显著的差别，并且不同结构的器件其表现出不同的特性。

在综合本人的研究经验和目前业界对动态电阻测试的现状，未来的氮化镓器件动态电阻的研究工作，可以按照以下几个方向开展：

(1) 现阶段的测试平台在控制预电压应力的持续时间方面仍需提高精度，并且使用了多个 Si MOSFET 来控制预电压应力的幅值。鉴于关断时间对 GaN 器件内陷阱效应的影响可能会改变测试结果，未来的研究可以考虑将这两个功能整

合，采用一个类似于 H 桥的拓扑结构，以实现全象限的动态电阻测试。

(2) 当前使用的电压钳位电路在进行电压测试时，响应时间约为 100 纳秒左右。为更好地适应对高频动态电阻特性的评估，未来研究可以探索使用创新的高压钳位器件或设计具备加速功能的导通电压测试拓扑结构，以进一步缩短钳位电路的响应时间。

(3) 研究在实际应用中其他关键电气参数对 GaN 器件动态电阻特性的影响，例如器件的结温、驱动信号的占空比、以及供应给门极的驱动电压和电流等因素。

仅限PMIC会员单位内部使用，不得外传

参考文献

- [1] M. de Rooij and Q. Laidebeur, "Meeting the power and magnetic design challenges of ultra-thin, high-power density 48 V DC-DC converters for ultra-thin computing applications," IEEE Power Electron. Mag., vol. 8, no. 3, pp. 30–36, Sep. 2021.
- [2] Infineon, IPP60R070CFD7 Datasheet. (2015-11-30) https://www.infineon.com/dgdl/Infineon-IPP60R060C7-DS-v02_00-EN.pdf?fileId=5546d4625185e0e201518c9680dd3fd1
- [3] GaN Systems, GS66504B Datasheet. (2020-04-02) <https://gansystems.com/wp-content/uploads/2020/04/GS66504B-DS-Rev-200402.pdf>
- [4] Infineon, IGT40R070D1 Datasheet. (2021-03-10) https://www.infineon.com/dgdl/Infineon-IGT40R070D1-DataSheet-v02_00-EN.pdf?fileId=5546d4627aa5d4f5017aa91bc8810c5c
- [5] Wolfspeed, C3M0065090J Datasheet. (2019-06-10) <https://assets.wolfspeed.com/uploads/2020/12/C3M0065090J.pdf>
- [6] K. J. Chen, O. Häberlen, A. Lidow, et al. GaN-on-Si Power Technology: Devices and Applications[J]. IEEE Trans. Electron Devices, 2017, 64(3): 779-795.
- [7] 汤岑. 增强型高压 AlGaIn/GaN HEMTs 器件的场优化技术及关键工艺研究[D]. 杭州: 浙江大学, 2016.
- [8] Yang S, Han S, Sheng K. Dynamic On-Resistance in GaN Power Devices: Mechanisms, Characterizations, and Modeling[J]. IEEE Journal of Emerging and Selected Topics in Power Electronics, 2019, 7(3): 1425-1439.
- [9] Yang S, Zhou C, Han S, et al. Buffer trapping-induced RON degradation in GaN-on-Si power transistors: Role of electron injection from Si substrate [C]//2017 29th International Symposium on Power Semiconductor Devices and IC's (ISPSD). 2017: 101-104.
- [10] Chen K J, Häberlen O, Lidow A, et al. GaN-on-Si Power Technology: Devices and Applications[J]. IEEE Transactions on Electron Devices, 2017, 64(3): 779-795.
- [11] 何亮, 刘扬. 第三代半导体 GaN 功率开关器件的发展现状及面临的挑战[J]. 电源学报, 2016, 14(4): 1-13.
- [12] Transphorm Delivers World's First High-Performance 600V Gallium Nitride on Silicon Products at PCIM 2012[EB/OL]. <https://www.businesswire.com/news/home/20120507006749/en/Transphorm-Delivers-World%E2%80%99s-High-Performance-600V-Gallium-Nitride>.
- [13] Transphorm 拓展中国区业务, 扩大氮化镓应用实验室[EB/OL]. https://www.transphormchina.com/zh/news/shenzhen_lab_opens/
- [14] EPC Product Table[EB/OL]. <http://epc-co.com/epc/Products/eGaNfETsandICs.aspx>.
- [15] Navitas 推出业界首个集成半桥氮化镓功率 IC[EB/OL]. <https://www.navitassemi.com/news/2017/09/14/navitas-launches-first-integrated-half-bridge-gan-power-ic/>

- mi.com/navitas-推出业界首个集成半桥氮化镓-gan-功率-ic/.
- [16] GaN Systems Leading the World in GaN Power Semiconductors[EB/OL]. <https://gansystems.com/gan-transistors/>
- [17] 英飞凌将收购 GaN Systems 扩充氮化镓产品线现固功率系统领域全球领导地位[EB/OL]. <https://cn.gansystems.com/newsroom/infineon-to-acquire-gan-systems-strengthening-its-gan-portfolio-and-further-reinforcing-its-global-leadership-in-power-systems/>
- [18] 英飞凌氮化镓解决方案投入量产[EB/OL]. <https://www.infineon.com/cms/cn/about-infineon/press/market-news/2018/INFPMM201811-014.html>.
- [19] 中国首条 8 英寸硅基氮化镓生产线在珠海投产[EB/OL]. http://www.zhuhai-hitech.gov.cn/gkmlzl/content/post_2165103.html
- [20] 氮化镓未来市场规模望超千亿元[EB/OL]. <https://new.qq.com/rain/a/20230326A040CO00>
- [21] R. Vetury, N. Q. Zhang, S. Keller, et al. The impact of surface states on the DC and RF characteristics of AlGaIn/GaN HFETs[J]. IEEE Trans. Electron Devices, 2001, 48(3): 560-566.
- [22] D. Jin, J. A. del Alamo. Methodology for the study of dynamic ON-resistance in high-voltage GaN field-effect transistors[J]. IEEE Trans. Electron Devices, 2013, 60(10): 3190-3196.
- [23] K. Li, P. L. Evans, C. M. Johnson. Characterisation and Modeling of Gallium Nitride Power Semiconductor Devices Dynamic On-State Resistance[J]. IEEE Trans. Power Electron., 2018, 33(6): 5262-5273.
- [24] A. Nakajima, S. Yagi, M. Shimizu, et al. Hot electron induced current collapse in AlGaIn/GaN HEMTs[C]. in Proc. Materials science forum, 2007 : 1035-1038.
- [25] D. Jin, J. A. Del Alamo. Impact of high-power stress on dynamic ON-resistance of high-voltage GaN HEMTs[J]. Microelectronics Reliability, 2012, 52(12): 2875-2879.
- [26] I. Hwang, J. Kim, S. Chong, et al. Impact of channel hot electrons on current collapse in AlGaIn/GaN HEMTs[J]. IEEE Electron Device Lett., 2013, 34(12): 1494-1496.
- [27] Tang G, Wei J, Zhang Z, et al. Dynamic R_{ON} of GaN-on-Si Lateral Power Devices With a Floating Substrate Termination[J]. IEEE Electron Device Letters, 2017, 38(7): 937-940.
- [28] Zulauf G, Guacci M, Kolar J W. Dynamic on-Resistance in GaN-on-Si HEMTs: Origins, Dependencies, and Future Characterization Frameworks[J]. IEEE Transactions on Power Electronics, 2020, 35(6): 5581-5588.
- [29] K. Li, Evans P L, Johnson C M, et al. A GaN-HEMT Compact Model Including Dynamic RDSon Effect for Power Electronics Converters[J]. Energies, 2021, 14(8): 2092.
- [30] Badawi N, Hilt O, Bahat-Treidel E, 等. Investigation of the Dynamic On-State Resistance of 600 V Normally-Off and Normally-On GaN HEMTs[J]. IEEE Transactions on Industry Applications, 2016, 52(6): 4955-4964.
- [31] Cai Y, Forsyth A J, Todd R. Impact of GaN HEMT dynamic on-state resis

- tance on converter performance[C]//2017 IEEE Applied Power Electronics Conference and Exposition (APEC). Tampa, FL, USA: IEEE, 2017: 1689-1694.
- [32] Alharbi S S, Matin M. Experimental evaluation of medium-voltage cascode gallium nitride (GaN) devices for bidirectional DC-DC converters[J]. CES Transactions on Electrical Machines and Systems, 2021, 5(3): 232-248.
- [33] Rui Li, Xinke Wu, Shu Yang, et al. Dynamic on-State Resistance Test and Evaluation of GaN Power Devices Under Hard- and Soft-Switching Conditions by Double and Multiple Pulses[J]. IEEE Transactions on Power Electronics, 2019, 34(2): 1044-1053.
- [34] Kailun Zhong, Wei J, He J, et al. I_G - and V_{GS} -Dependent Dynamic R_{ON} Characterization of Commercial High-Voltage p-GaN Gate Power HEMTs[J]. IEEE Transactions on Industrial Electronics, 2022, 69(8): 8387-8395.
- [35] Li S, Sheng K, Yang S. Temperature-Dependent Dynamic R_{ON} of GaN E-H EMTs: The Impact of p-GaN Drain[J]. IEEE Transactions on Electron Devices, 2023, 70(7): 3754-3761.
- [36] Martinez P J, Miaja P F, Maset E, et al. A Test Circuit for GaN HEMTs Dynamic R_{ON} Characterization in Power Electronics Applications[J]. IEEE Journal of Emerging and Selected Topics in Power Electronics, 2019, 7(3): 1456-1464.
- [37] Cingu D, Li X, Bakeroot B, et al. Reliability of p-GaN Gate HEMTs in Reverse Conduction[J]. IEEE Transactions on Electron Devices, 2021, 68(2): 645-652.
- [38] Li K, Videt A, Idir N, et al. Accurate Measurement of Dynamic on-State Resistances of GaN Devices Under Reverse and Forward Conduction in High Frequency Power Converter[J]. IEEE Transactions on Power Electronics, 2020, 35(9): 9650-9660.
- [39] Kumar R, Sarkar A, Anand S, et al. H-Bridge Derived Topology for Dynamic On-Resistance Evaluation in Power GaN HEMTs[J]. IEEE Transactions on Industrial Electronics, 2023, 70(2): 1532-1541.
- [40] R. Gelagaev, P. Jacqmaer, J. Driesen. A fast voltage clamp circuit for the accurate measurement of the dynamic on-resistance of power transistors[J]. IEEE Trans. Ind. Electron., 2015, 62(2): 1241-1250.
- [41] R. Gelagaev, P. Jacqmaer, J. Driesen. A fast voltage clamp circuit for the accurate measurement of the dynamic on-resistance of power transistors[J]. IEEE Trans. Ind. Electron., 2015, 62(2): 1241-1250.
- [42] N. Badawi, S. Dieckerhoff. A new method for dynamic Ron extraction of GaN power HEMTs[C]. in Proc. IEEE Int. Exhib. Conf. for Power Electr. Intell. Motion, Renew. Energy Energy Manag. , 2015 : 1-6.
- [43] E. Marcault, D. Trémouilles, K. Isoird, et al. Dynamic of power-GaN-HEMT Electrical Parameters: Why DC characterization might be misleading[C]. in Proc. Eur. Conf. Power Electron. Appl., 2016 : 1-6.
- [44] L. Ren, Q. Shen, C. Gong. A voltage clamp circuit for the real-time measurement of the on-state voltage of power transistors[C]. in Proc. Energy C

- onvers. Congr. Expo., 2016 : 1-7.
- [45] Weiser M C J, Barón K M, Fink T, 等. A Fast ON-State Drain-to-Source Voltage Amplifier for the Dynamic Characterization of GaN Power Transistors[C]//2023 IEEE Applied Power Electronics Conference and Exposition (APEC). 2023: 637-644.
- [46] G. Laimer, J. W. Kolar. Accurate measurement of the switching losses of ultra high switching speed CoolMOS power transistor/SiC diode combination employed in unity power factor PWM rectifier systems[C]. in Proc. PCIM, 2002 : 14-16.
- [47] Z. Zhang, B. Guo, F. F. Wang, et al. Methodology for Wide Band-Gap Device Dynamic Characterization[J]. IEEE Trans. Power Electron., 2017, 32(12): 9307-9318.
- [48] Y. Guan, Y. Wang, D. Xu, et al. A 1 MHz Half-Bridge Resonant DC/DC Converter Based on GaN FETs and Planar Magnetics[J]. IEEE Trans. Power Electron., 2017, 32(4): 2876-2891.
- [49] 陈娜. 中高压功率 IGBT 模块开关特性测试及建模[D]. 杭州: 浙江大学, 2012.
- [50] Test Method for Continuous-Switching Evaluation of Gallium Nitride Power Conversion Devices, Version 1.0, JEP182, 2021.
- [51] Transphorm, TP65H070L Series Datasheet.(2021-05-02) <https://www.transphormusa.com/en/document/datasheet-tp65h070l-650v-gan-fet/>
- [52] GaN Products[EB/OL]. <https://www.infineon.com/cms/en/product/power/wide-band-gap-semiconductors-sic-gan/gallium-nitride-gan/#>.
- [53] Dynamic On-Resistance Test Method for GaN High Electron Mobility Transistor(HEMT) in Hard-Switching Circuits, Version 1.0, CASAS 005-2022, 2022.
- [54] Badawi N, Hilt O, Bahat-Treidel E, et al. Investigation of the Dynamic On-State Resistance of 600 V Normally-Off and Normally-On GaN HEMTs[J]. IEEE Transactions on Industry Applications, 2016, 52(6): 4955-4964.
- [55] 李瑞. 增强型 GaN 功率器件的动态电阻测试及分析[D]. 浙江大学, 2019.

作者简历

谢宗伦，男，1999 年 7 月生，浙江建德人。2021 年本科毕业于浙江大学电气工程学院，主修电子信息工程。2021 年 6 月至今，于浙江大学电气工程学院博蓝实验室（PMIC 联盟）攻读硕士学位，研究的课题主要为氮化镓期间的动态导通电阻特性。

仅限PMIC会员单位内部使用，不得外传

硕士期间发表和录用的论文

第一作者

[1] Z. Xie, X. Wu, Z. Dong, J. Sun, K. Sheng, and K. J. Chen, “Dynamic On-Resistance Characterization of GaN Power HEMTs Under Forward/Reverse Conduction Using Multigroup Double Pulse Test,” *IEEE Trans. Power Electron.*, vol. 39, no. 2, pp. 1963–1967, Feb. 2024, doi: 10.1109/TPEL.2023.3331891.

[2] Z. Xie, Z. Dong, X. Wu, S. Yang, and K. Sheng, “Dynamic $R_{DS(on)}$ Testing for GaN Devices Considering Third Quadrant and Different Operating Conditions,” in 2022 IEEE International Power Electronics and Application Conference and Exposition (PEAC), Guangzhou, Guangdong, China: IEEE, Nov. 2022, pp. 39–42. doi: 10.1109/PEAC56338.2022.9959234.

仅限PMIC会员单位内部使用，不得外传