

分类号: TM46

单位代码: 10335

密 级: _____

学 号: 22110072

浙江大学

硕士学位论文



中文论文题目: 宽电压范围高效高密度元胞化 DC-DC

模块研究

英文论文题目: Wide-voltage-range High-efficiency and

High-density Cellular DC-DC Module

申请人姓名: 黄新隆

指导教师: 吴新科

合作教师: _____

专业名称: 电气工程

研究方向: 电力电子与电力传动

所在学院: 电气工程学院

论文提交日期 2024.3.27

宽电压范围高效高密度元胞化 DC-DC 模块研究



论文作者签名: 黄新隆

指导教师签名: 吴加科

论文评阅人 1: 匿名评阅

评阅人 2: 匿名评阅

评阅人 3: 匿名评阅

评阅人 4: _____

评阅人 5: _____

答辩委员会主席: 谢小高

委员 1: 赵晨

委员 2: 张军明

委员 3: 邵帅

委员 4: 郭清

委员 5: 任娜

答辩日期: 2024 年 3 月 10 日

浙江大学研究生学位论文独创性声明

本人声明所呈交的学位论文是本人在导师指导下进行的研究工作及取得的研究成果。除了文中特别加以标注和致谢的地方外，论文中不包含其他人已经发表或撰写过的研究成果，也不包含为获得 浙江大学 或其他教育机构的学位或证书而使用过的材料。与我一同工作的同志对本研究所做的任何贡献均已在论文中作了明确的说明并表示谢意。

学位论文作者签名：黄新隆

签字日期：2024 年 3 月 10 日

学位论文版权使用授权书

仅限PMIC会员单位内部使用，不得外传

本学位论文作者完全了解 浙江大学 有权保留并向国家有关部门或机构送交本论文的复印件和磁盘，允许论文被查阅和借阅。本人授权 浙江大学 可以将学位论文的全部或部分内容编入有关数据库进行检索和传播，可以采用影印、缩印或扫描等复制手段保存、汇编学位论文。

（保密的学位论文在解密后适用本授权书）

学位论文作者签名：黄新隆

导师签名：吴加科

签字日期：2024 年 3 月 10 日

签字日期：2024 年 3 月 10 日

致谢

时间的齿轮慢慢旋转，恍惚之间闪过些许校园间的碎片，一睁眼，便来到了毕业的节点。在求是园这几年，感触很深，收获很多。刚入校时的青涩和迷茫还历历在目，所幸一路良师益友，谈不上披荆斩棘，但也是一步一个台阶，一蹦两个脚印地走到了现在，阳光且灿烂，很幸运能遇见你们。

整个研究生阶段，尤其感谢我的导师，吴新科教授，本文的工作也是在吴新科教授的悉心指导下完成。吴老师您对知识的追求与强烈的探索欲，对科研的严谨态度，缜密的逻辑思维，以及始终如一的工作热情，值得我一生去学习。您教导我们要以包容开放的眼光去看待问题，从事物发展的角度去阐述问题，做的每一件事都应有逻辑支撑，循序渐进，让我受益良多。再次感谢您这三年的培养，不仅授业解惑，还锤炼了我们的思维，拔高了我们的视野。祝您事业顺利，身体健康，课题组和 PMIC 联盟蓬勃发展，成为引领行业的标杆！

感谢周莉英女士在科研和日常生活中的帮助和支持，认真负责地保障了实验室的后勤工作，与您交流总是那么放松与快乐。感谢顾晓燕、韩铃淇、王笑菁、张兰女士对实验室和联盟的辛苦付出。祝你们身体健康，平安喜乐，万事顺意！

感谢李光灿师兄、刘天骥师兄、杨金旭师兄、范高师兄在我科研入门之际耐心且细致的帮助，让我能更快、更好地融入博蓝大家庭。感谢施鸿波师兄、吴嘉文师兄，在你们研究的基础上，我才能顺利地完成本文的工作。感谢董泽政、张思亮、田霖、李力超、赵问鼎、赵韞玉、陈子健、齐雨、黄天林、陈征、Faheem、孙家红、马京京、杜佳坤、黄桢楠、吴雁飞、张飞力等师兄为我答疑解惑，拓展了我的专业知识，与你们讨论总能得到新的见解。感谢同窗徐宇豪、朱时羽、张佳一、谢宗伦、刘亚南、李京津、朱振海、范寅祥、吕润泽的帮助，一起学习，共同成长。感谢师弟师妹王雨琛、张棧、栾澳祖、吴彦青、杜合溪、陈睿轩、司华宁、刘慧、刘毅哲、姜旭、韩林君、黄程宇、郝鑫的支持。祝各位博蓝仔仔们，扶摇直上，鹏程万里！

最后，由衷的感谢我的父母，无条件地支持着我一路走到现在，支持我的每一个决定。祝你们身体健康，事事顺心！

黄新隆

2024 年 3 月于求是园

本论文工作得到：

“浙江省‘尖兵’‘领雁’研发攻关计划资助”
(资助号：2023C01011)

仅限PMIC会员单位内部使用，不得外传

在此谨表谢意！

本论文工作得到：

国家自然科学基金资助
(资助号：52177197)

仅限PMIC会员单位内部使用，不得外传

在此谨表谢意！

本论文工作得到：

国家重点研发计划
(资助号：2023YFE0209000)

仅限PMIC会员单位内部使用，不得外传

在此谨表谢意！

摘要

随着工业的发展以及人们生活水平的提高,能源的需求不断扩大,新能源汽车、光伏、数据中心等产业的蓬勃发展,也强力驱动着系统供电方案不断创新,追求更高的系统效率。为了覆盖空中走行式无人搬运车、系留无人机、水下机器人等多元应用场景中对 DC-DC 模块的供电标准,同时应对未来对电源模块更加严苛的轻量化、小型化需求,迫切需要具备宽输入输出电压范围、高效率、高功率密度特点的隔离稳压型 DC-DC 方案。为此,本文进行了以下的研究:

首先,对现有宽电压范围隔离稳压型 DC-DC 方案进行了调研,对比分析了现有方案的优缺点,总结了宽电压范围对于实现高效高密度带来的主要挑战:器件利用率不足导致较大的器件损耗,以及功率电感较大的伏秒导致大的电感体积和损耗。为适应宽的输入电压和输出电压范围,针对性地提出了一种基于多电平技术和元胞化技术的两级方案:级联多电平 Boost (Cascaded Multilevel Boost, CMBo) 实现调压,元胞化 DCX (Cellular DC Transformer) 实现隔离和高降压比输出。

其次,分析了所提出的两级方案的工作原理,结合器件的损耗模型给出了各自的优化设计方法,并通过实物样机完成了验证。对于 CMBo 调压级,基于多电平电路统一的器件最小损耗模型^[1],在预期效率目标下提出了电路总体积最小的参数设计方法;对于元胞化 DCX,基于 NFoM (New figure of merit, 新品质因数,值为器件导通电阻 R_{dson} 和时间等效结电容 $C_{o(t)}$ 的乘积) 的器件统一损耗模型^[2],完成了电路参数的优化设计。根据设计结果,搭建了第一版实物样机,测试了恒频 1MHz 工作的元胞化 DCX 不同电压工况下的效率,并与理论预期效率进行了对比分析。

再次,分析了第一版样机恒频 DCX 在低电压工况的软开关丢失、开关频率与谐振频率不匹配问题,说明了不同电压下励磁电流的变化对 DCX 效率的影响。针对上述问题,建立了宽电压范围 DCX 的变频控制数学模型,巧妙地利用谐振电容的直流偏置衰减特性,提出了一种优化宽电压范围 DCX 效率的方法:匹配谐振电容值非线性特性的 DCX 变频控制方法。

从次,考虑了驱动电路配合 DCX 主电路以实现所提出的 DCX 变频控制方法,并针对兆赫兹元胞化 DCX 的驱动方案完成了优化设计。分析了传统电压型

驱动芯片方案存在过大的驱动损耗问题,说明了电流型谐振驱动能降低驱动损耗的原因,由此提出了一种频率可调节的高频低损谐振驱动变压器方案。分析了所提出变频谐振驱动电路的工作原理,在此基础上建立了所提出的谐振驱动电路的数学模型,针对元胞化 DCX 主电路的工作特性和对死区时间的需求,给出了理想情况下的谐振驱动电路参数设计方法,同时分析了电路参数一致性的影响,给出了实际应用中推荐的谐振电路参数取值区间选取方法。

最后,根据 CMB_o、变频元胞化 DCX、变频驱动变压器的优化设计结果,在第一版样机的基础上,搭建了第二版 200-400V 输入,17-34V 稳压输出,2.5kW 的两级元胞化 DC-DC 实物样机,额定电压工况实现了 97.5%的满载效率和 1kW/in³ 的功率密度。通过电路功能与效率测试,验证了所提出两级方案的高效率和高功率密度优势,所提出宽电压范围 DCX 变频控制的效率优化方法的可行性和有效性,所提出变频谐振驱动的高频低损特性与频率调节功能,以及给出的主电路高效高密度设计方法的可行性。

关键词: 宽电压范围, 多电平, 元胞化 DCX, 变频谐振驱动, DC-DC 变换器

仅限PMIC会员单位内部使用, 不得外传

Abstract

With the development of industry and the improvement of people's living standards, the demand for energy continues to expand, and the vigorous development of new energy vehicles, photovoltaic, green data centers and other industries has also strongly driven the continuous innovation of system power supply solutions. In order to cover the different power supply standards for DC-DC modules in multiple applications such as servers, overhead hoist transport, tethered drones, and underwater robots, and to meet the more stringent lightweight and miniaturization requirements for power modules in the future, the DC-DC modules with wide input and output voltage ranges, high efficiency and high power density is strongly required. Therefore, the following research is carried out in this paper:

First of all, the existing wide-voltage-range regulated DC-DC Modules are investigated, and their advantages and disadvantages are analyzed. Combined with the research results, the main challenges brought by the wide voltage range to achieve high efficiency and high power density are summarized: high device electrical stresses will lead to large device loss, and large volt-second of power inductor will lead to large volume and loss of inductor. In order to adapt to the wide range of input and output voltage, a two-stage cellular scheme based on multilevel technology and cellular technology is proposed: a cascaded multilevel boost (CMBo) stage for regulation, and a cellular DC transformer (DCX) stage for isolation and large step-down ratio output.

Secondly, the working principle of the proposed two-stage scheme is analyzed, and the optimization design methods are given according to the loss model of the device, and verified by the 1st prototype. For CMBo regulation stage, based on the device minimum loss model of the multilevel circuit, a parametric design method of the minimum total volume of the circuit is proposed under the expected efficiency target. For cellular DCX, based on the unified device loss model of NFoM(New figure of merit, $NFoM=R_{dson}C_{o(tr)}$), the optimal design of circuit parameters is completed. According to the design results, the prototype of the first version is built, and the efficiency of cellular DCX operation at fixed 1MHz under different voltage conditions is tested, and

comparing with the theoretical expectation.

Thirdly, the problems of ZVS lost and mismatch between switching frequency and resonant frequency of the cellular DCX under low voltage condition are analyzed, and the influence of excessive magnetizing current on the efficiency of DCX with wide voltage range is explained. To solve the above problems, a mathematical model of frequency conversion control for DCX with wide voltage range is established, and a method to optimize the efficiency of DCX with resonant capacitor is proposed, which is a DCX frequency conversion control method matching the nonlinear characteristics of resonant capacitance value.

Then, considering how the drive part should cooperate with the DCX main circuit to realize the proposed DCX variable frequency control method with wide voltage range, the optimal design of the drive scheme of megahertz cellular DCX is completed. The problem of excessive drive loss in traditional voltage-type drive ICs is analyzed, and the reason why current-type resonant drive can reduce the drive loss is explained. Based on the analysis of the working principle of the proposed frequency conversion resonant drive circuit, the mathematical model of the proposed resonant drive circuit is established. According to the characteristics of the cellular DCX main circuit and the requirement of dead time, the parameter design method of the resonant drive circuit under ideal circumstances is given, and the influence of circuit parameter consistency is analyzed.

Finally, according to the optimized design results, two-stage cellular DC-DC prototype of the second version with 200-400V input, 17-34V output and 2.5kW was built on the basis of the first prototype. A max full load efficiency of 97.5% and a power density of $1\text{kW}/\text{in}^3$ were achieved. Through the circuit function and efficiency test, the feasibility and effectiveness of the proposed two-stage scheme, the efficiency optimization method of DCX frequency conversion control, the high frequency and low loss characteristics of frequency adjustable resonant drive, as well as the feasibility of the high efficiency and high density design method of the main circuit are verified.

Key words: Wide Voltage Range, Multilevel, Cellular DCX, Frequency Adjustable Resonant Driver, DC-DC Converter

插图清单

图 1.1 高压直流母线供电系统的应用场景	1
图 1.2 宽电压范围隔离稳压型 DC-DC 研究现状	3
图 1.3 LLC 拓扑结构	4
图 1.4 部分功率调整拓扑（左）与 RDCX 拓扑（右）	5
图 1.5 Boost 调压、移相全桥调压与隔离的两级方案	6
图 1.6 两相 Buck 调压、LLC-DCX 隔离的两级方案	7
图 1.7 升降压拓扑调压、SRC-DCX 隔离的两级方案	7
图 1.8 Buck-Boost 集成 LLC 变换器的两级方案	7
图 1.9 本文提出的元胞化两级结构（CMB _o 调压、元胞化 DCX 隔离）	11
图 2.1 CMB _o 调压级拓扑结构	14
图 2.2 SRC-DCX 拓扑图	15
图 2.3 两单元 CMB _o 电路原理图	16
图 2.4 两单元 CMB _o 电路关键波形图	17
图 2.5 $0 < D < 0.5$ 时，两单元 CMB _o 工作模式	18
图 2.6 $0.5 \leq D < 1$ 时，两单元 CMB _o 工作模式	20
图 2.7 CMB _o + Cellular DCX 两级简化等效电路	21
图 2.8 CMB _o 的电压工作范围	21
图 2.9 多电平电路的基本单元	22
图 2.10 GaN 器件品质因数统计	23
图 2.11 不同耐压器件对应的 CMB _o 器件最小损耗	24
图 2.12 给定预期器件损耗下不同耐压器件对应的最大开关频率	25
图 2.13 不同耐压器件对应的电感量与电感体积	26
图 2.14 不同耐压器件对应的电容量与电容体积	26
图 2.15 不同耐压器件对应的 CMB _o 预估总体积	27
图 2.16 选用不同耐压器件时器件损耗与 $R_{ds(on)}$ 的关系	28
图 2.17 CMB _o 调压级预期效率曲线	28
图 2.18 CMB _o 调压级实物样机图	28
图 2.19 调压级 CMB _o 关键波形	29
图 2.20 额定电压工况下 CMB _o 效率测试结果	30
图 2.21 额定电压工况 CMB _o 的满载损耗分解	31
图 2.22 额定电压下 CMB _o 满载热图	31
图 2.23 SRC-DCX 拓扑结构	32
图 2.24 SRC-DCX 电路的关键波形图	32
图 2.25 SRC-DCX 模态等效电路图	33
图 2.26 产品化硅器件 NFoM 值与耐压的关系 ^[47]	36
图 2.27 等效的元胞化 DCX 电路结构	37
图 2.28 各耐压下器件导通损耗比例与沟道电阻的关系	38
图 2.29 不同并联数量时器件导通损耗比例与沟道电阻的关系	39
图 2.30 拆分为两个磁芯示意图	40
图 2.31 磁芯形状与磁芯尺寸参数定义	40
图 2.32 根据 PCB 上器件最大高度选取 I 片厚度	41

图 2.33 DMR51W 材料的磁损密度随磁通密度的变化曲线	42
图 2.34 不同 (r, W) 组合下的变压器损耗与封装面积等高线	43
图 2.35 绕组排布方式对绕组均流的影响	44
图 2.36 DCX 主电路等效电路图	45
图 2.37 DCX 谐振腔电流分解示意图	45
图 2.38 DCX 的 ZVS 关键波形图	45
图 2.39 死区时间内 DCX 的等效电路图	46
图 2.40 IQE050N08NM5 器件的结电容特性	47
图 2.41 变压器相邻绕组的 3D 模型	47
图 2.42 变压器相邻绕组的 dv/dt 分布	48
图 2.43 死区时间内共模电流路径示意图	48
图 2.44 简化的死区时间内 DCX 等效电路图	49
图 2.45 等效电容 C_{eq} 与输出电压 V_o 的关系	49
图 2.46 保证 ZVS 的励磁电感设计边界 (蓝色线) 与输出电压的关系	50
图 2.47 元胞化 DCX 理想工作时的预期效率曲线	50
图 2.48 元胞化 DCX 拓扑结构与第一版样机实物图	51
图 2.49 元胞化 DCX 实测效率 (实线) 与预期效率 (虚线) 对比	51
图 3.1 元胞化 DCX 不同输出电压下的关键波形 (第一版样机)	54
图 3.2 $I_{zvs}(V_o)$ 以及 $I_{Lm}(V_o)$ 与输出电压的关系	55
图 3.3 2 类电介质瓷片电容的直流偏置衰减特性	56
图 3.4 恒频 1MHz 下不同励磁电感时的励磁电流对比	57
图 3.5 励磁电流过大时 DCX 关键波形	57
图 3.6 励磁电流过大时体二极管导通模态 ($t_2 < t < t_3$)	58
图 3.7 空载下单匝绕组仿真模型及电流分布情况 ($I_{Lm}=1.4A$)	59
图 3.8 空载下多匝绕组仿真模型及电流分布情况 ($I_{Lm}=1.4A$)	59
图 3.9 元胞化 DCX 不同励磁电感的效率曲线对比	60
图 3.10 实现 ZVS 的理想开关频率与输出电压的关系	61
图 3.11 采用变频策略后的励磁电流	62
图 3.12 采用不同型号谐振电容对应的谐振频率	63
图 4.1 电压型驱动方案的基本原理示意图	65
图 4.2 驱动损耗对 DCX 效率的影响	66
图 4.3 电流型驱动方案的基本原理示意图	66
图 4.4 现有研究提出的几种电流型谐振驱动方案	67
图 4.5 谐振型驱动变压器方案 ^[59]	67
图 4.6 所提出的驱动电路的两种形式	69
图 4.7 变频谐振驱动 (图 4.6, (a)) 和主电路 (图 2.23) 的关键波形	70
图 4.8 变频谐振驱动不同模式下的等效电路图	72
图 4.9 变频谐振驱动谐振阶段的等效电路图	73
图 4.10 LC 谐振电路的参数定义与关键波形	74
图 4.11 不同 L_{rd} 和 V_m 时的死区时间 t_d 变化曲线	76
图 4.12 不同死区时间下的额外损耗比例评估 (28V-2.5kW)	77
图 4.13 不同 V_{th} 、 L_{rd} 组合下对应的死区时间三维图	78

图 4.14 死区时间 t_d 关于 L_{rd} 和 V_{th} 的等势线	78
图 4.15 驱动电路占板面积与数量对比	79
图 4.16 谐振驱动电路的测试节点（左）与关键波形（右）	80
图 4.17 多路驱动一致性	80
图 4.18 驱动电路热图（原边驱动幅值 8V，副边驱动幅值 5V）	81
图 5.1 DCX 采用变频谐振驱动的第二版实物样机图	83
图 5.2 完整样机原理示意图	84
图 5.3 系统结构与控制框图示意图	85
图 5.4 DCX 电压、电流测试节点	86
图 5.5 DCX 元胞间的均压、均流验证	87
图 5.6 DCX 元胞间的输入动态均压测试	87
图 5.7 DCX 频率与设置的输出电压 V_{ref} 的关系曲线	88
图 5.8 元胞化 DCX 关键工作波形（第二版变频样机）	89
图 5.9 不同输出电压时元胞化 DCX 的效率曲线	90
图 5.10 元胞化 DCX 的主电路损耗分解	91
图 5.11 额定电压工况下元胞化 DCX 满载热图	91
图 5.12 额定电压下的实测效率（主功率）	92

仅限PMIC会员单位内部使用，不得外传

附表清单

表格 4.1 驱动损耗与驱动电路占板面积对比	81
表格 5.1 第二版两级样机电路关键参数	85

仅限PMIC会员单位内部使用，不得外传

目录

致谢.....	I
摘要.....	V
Abstract.....	VII
插图清单.....	IX
附表清单.....	XII
目录.....	XIII
1 绪论.....	1
1.1 研究背景.....	1
1.2 宽电压范围隔离稳压型 DC-DC 变换器研究现状.....	3
1.2.1 单级方案.....	4
1.2.2 准两级方案.....	5
1.2.3 两级方案.....	5
1.3 宽电压范围 DC-DC 高效高密度设计的关键挑战总结.....	8
1.4 样机规格与方案确定.....	9
1.5 本文主要研究内容.....	11
2 基于器件 NFoM 的宽电压范围 DC-DC 高效高密设计与验证.....	14
2.1 电路规格与拓扑结构.....	14
2.2 基于多电平电路最小损耗模型的 CMB _o 参数设计方法与验证.....	16
2.2.1 CMB _o 电路的工作原理.....	16
2.2.2 预期效率下电路总体积最小的参数设计方法.....	22
2.2.3 CMB _o 载波移相控制与电感电流纹波倍频的样机验证.....	29
2.2.4 CMB _o 设计方法可行性验证与效率测试.....	30
2.3 元胞化兆赫兹 DCX 的高效高密度设计方法与验证.....	32
2.3.1 DCX 电路的工作原理与 NFoM 损耗模型.....	32
2.3.2 基于器件 NFoM 损耗模型的元胞化 DCX 优化设计方法.....	37
2.3.3 高频平面变压器设计.....	40
2.3.4 DCX 变压器励磁电感值设计方法.....	44
2.3.5 恒频元胞化 DCX 的样机效率测试.....	50

2.4 本章小结	52
3 宽电压范围 DCX 变频控制的效率优化方法	53
3.1 第一版样机中恒频 DCX 的波形对比与结果分析	53
3.1.1 不同电压工况的关键工作波形对比	53
3.1.2 ZVS 丢失原因分析	54
3.1.3 开关频率与谐振频率不匹配原因分析	55
3.2 过大励磁电流对宽电压范围 DCX 效率的影响分析	56
3.3 不同励磁电感下的元胞化 DCX 实测效率对比验证	59
3.4 宽电压范围 DCX 的变频控制数学模型	60
3.5 匹配谐振电容值非线性特性的 DCX 变频控制方法	62
3.6 本章小结	63
4 频率可调节的高频低损谐振驱动变压器研究	65
4.1 现有驱动方案调研与分析	65
4.1.1 电压型的驱动芯片方案	65
4.1.2 电流型的谐振驱动方案	66
4.2 频率可调节的高频低损谐振驱动变压器	68
4.2.1 所提出的变频谐振驱动变压器拓扑及原理	68
4.2.2 驱动波形死区的数学模型推导	72
4.2.3 变频谐振驱动电路的参数设计方法	74
4.3 所提出的变频谐振驱动变压器实验验证	78
4.3.1 变频谐振驱动与驱动芯片方案布局对比	78
4.3.2 关键工作波形与驱动一致性验证	79
4.3.3 变频谐振驱动的高频低损特性验证	80
4.4 本章小结	81
5 DCX 采用变频控制后的两级样机联调验证	83
5.1 第二版实物样机与电路参数	83
5.2 变频元胞化 DCX 的关键工作波形	86
5.2.1 DCX 元胞间的波形一致性与均压均流验证	86
5.2.2 不同输出电压下变频 DCX 的工作关键波形	87

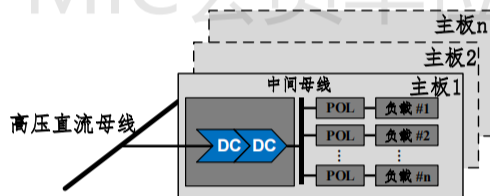
5.3 变频元胞化 DCX 效率测试与损耗分解	89
5.3.1 宽电压范围 DCX 变频控制方法对效率提升的验证	89
5.3.2 变频元胞化 DCX 额定电压满载工况的损耗分解与热图	90
5.4 第二版样机两级效率测试结果	91
5.5 本章小结	92
6 总结与展望	94
6.1 全文工作总结	94
6.2 研究工作展望	95
参考文献	97
攻读硕士学位期间取得的研究成果	102

仅限PMIC会员单位内部使用，不得外传

1 绪论

1.1 研究背景

随着工业的发展以及人们生活水平的提高,能源的需求不断扩大。传统单一的化石能源结构逐步向新能源倾斜,可再生能源得到了快速发展。为了直流配电系统能够更直接地接入可再生能源供电,比如太阳能和燃料电池、储能电池和超级电容器等,直流母线供电系统近年来逐渐成为了许多应用领域的首选。相比于交流配电系统,直流母线供电系统通常具备更少的电能变换环节,从而能够减小能量变换过程中产生的损耗,从而具备更高的整体效率^[3-7]。随着负载设备和功能的拓展,负载端消耗的功率增加,传输线缆上的电流大小和传输导致的线缆损耗迅速增加。为了减少传输线缆成本并降低传输损耗,行业逐渐采用了相比于传统 12V、48V 等低压母线更高电压的高压母线直流供电架构^[8,9]。在这些高压直流母线供电架构中,需要相应的 DC-DC 模块将传输至用电设备的电能变化为负载能够直接使用的低压直流电压。图 1.1 中给出了现有行业中典型的高压直流供电系统应用场景。



(a) 电源模块板上集成的
高压直流母线供电架构



(b) 空中走行式无人搬运车
^[10,11]OHT (Overhead Hoist Transport)



(c) 系留无人机^[12]Tethered UAV
(Unmanned Aerial Vehicle)



(d) 系留水下机器人^[13]

图 1.1 高压直流母线供电系统的应用场景

图 1.1 (a) 中为服务器应用场景中的分式高压直流供电架构。为了应对云计算、人工智能的快速增长带来的庞大计算需求，数据中心的规模和柜式服务器的能耗不断增加^[14]。与传统交流供电架构中的 12V 低压母线相比，48V 或 400V 高压直流母线供电架构可以显著提高供电效率，降低成本并减少碳排放，成为未来数据中心供电架构的发展趋势。该架构中，DC-DC 模块将接入机柜的高压直流母线高降压比变换为低压中间母线，同时保证高低压母线间的电气隔离；低压母线连接至以低压 Buck 全集成功率芯片为代表的多组片上集成的负载点（Point-of-Load, PoL）变换器，由多组负载点变换器分别提供 CPU、GPU、风扇、硬盘等不同负载所需的不同供电电压。由于所有负载功率会全部流经 DC-DC 模块，该 DC-DC 模块需要具备高效率的需求，以减少散热并提高整个系统的供电效率。同时，为了减小低压中间母线传输至负载点变换器的传输距离与损耗，DC-DC 模块需要具备高功率密度的特点，从而能够直接集成到空间有限的主板上。而考虑电能中断后的保持时间需求，该模块还需要具备较宽的工作电压范围。

图 1.1 (b) 为空中走行式无人搬运车 OHT（Overhead Hoist Transport），这是一种能在空中轨道上行驶的自动化搬运系统，常应用于半导体工厂。OHT 由升降装置马达驱动皮带，自动抓取设置在晶圆加载机的前开式晶圆传送盒，实现晶圆在各加工区间快速稳定的搬运，且不占用洁净室地面空间，被广泛的使用在 12 寸半导体前段晶圆厂内的物料搬运，以及机台和晶圆缓存器之间的传输作业^[10]。OHT 通常采用高功率的非接触式高压供电，通过无线线圈感应传输电能，整流后得到 300V 左右的高压直流电压，再通过 DC-DC 模块将高压直流电压转化为 OHT 可直接使用的 24V 低压直流供电。为了实现 OTH 设备的小体积与高可靠性需求，为其供电的 DC-DC 模块需要同时具备高效率和高功率密度的特点。

图 1.1(c) 为系留无人机（Tethered Unmanned Aerial Vehicle, Tethered UAV），这是一种能够长时间滞空且荷载能力强大的无人机，可以在长达 24 小时、高达 200 米的高度和大多数天气条件下保持运行，它们的长时间飞行能力使其适合在人道主义危机期间提供应急电信网络与照明，监控大型工业园区的消防情况等。这类无人机由地面电源通过系线供电并控制，通过一根线缆实现电能传输。为了减小长系留线缆传递功率导致的传输损耗以支持更长、更细的线缆，通常采用高压直流系线，比如 400V。无人机内部的 DC-DC 模块需要将高压电降压转换为

24V 的稳压直流母线。该 DC-DC 模块需要同时具备高效率和高功率密度的特征，以减小对无人机有效荷载的占用，同时需要具有宽的输入电压范围能力，以适应线缆长度扩展和线缆进一步减小直径增加的压降。图 1.1 (d) 中的系留水下机器人的供电架构与系留无人机应用类似。

在上述典型应用中，为了保证整体的安全性与电能传输效率、减小占用的空间体积以及拓宽应用范围等需求，往往要求使用的 DC-DC 模块需要同时具备电气隔离、高效率、高功率密度以及宽电压范围的特征。此外，该类型的 DC-DC 模块还广泛应用于通信电源供电、新能源汽车、相控雷达阵列和各类复杂的工业设备供电等多种应用领域，在工业生产和日常生活中发挥着重要作用。

1.2 宽电压范围隔离稳压型 DC-DC 变换器研究现状

如前所述，具备宽电压范围的高效率和高功率密度的 DC-DC 模块能够广泛应用于各种领域，同时涵盖多种需求。为了分析宽电压范围高效率高功率密度 DC-DC 模块的设计难点，本小节统计了目前学术界和工业界最新产品和研究成果的调压范围、满载效率和功率密度指标，如图 1.2 所示，其中横坐标定义为评价调压范围的指标 K ， K 的值为输入、输出电压各自的最大最小值之比的乘积；纵坐标为最高满载功率密度。

$$K = \frac{V_{in.min}}{V_{in.max}} \cdot \frac{V_{o.max}}{V_{o.min}} \quad (1-1)$$

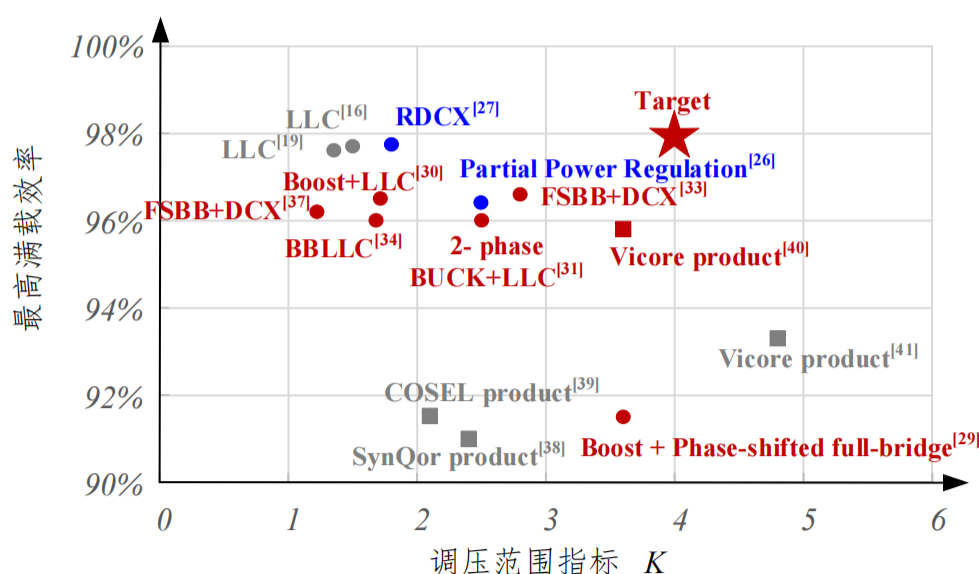


图 1.2 宽电压范围隔离稳压型 DC-DC 研究现状

从图中可以看出，整体符合电压范围越宽，其最高满载效率越低的规律，这说明调压范围越宽，越难实现高效率的目标。图 1.2 中圆形符号代表学术界研究，方形符号代表工业界产品；灰色、蓝色和红色分别代表单级方案、部分功率调整方案和两级方案。下面分别介绍这些方案在需求宽电压范围、高效率和高功率密度的应用场景中的可行性以及优缺点。

1.2.1 单级方案

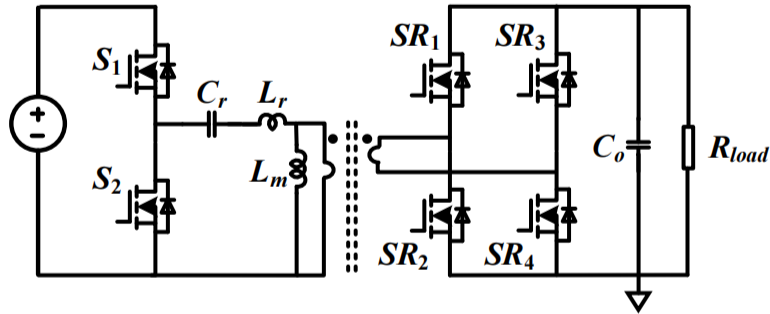


图 1.3 LLC 拓扑结构

首先是单级方案。在高效率和高功率密度要求较高的应用场合，LLC 拓扑被广泛采用^[15-18]，因为其具备非常好的软开关特性：能够在全负载范围内轻松实现原边开关管的零电压开通（Zero Voltage Switching, ZVS）和小电流关断，以及整流管自然的零电流开关（Zero Current Switching, ZCS）。借助其优良的软开关特性，有研究^[19]通过推高 LLC 的频率到几百 kHz，再加上磁集成等技术进一步提高功率密度，实现了 97.6% 的满载效率以及 1.5kW/in³ 的功率密度。但是同时也可以注意到，其调压范围并不宽，调压范围指标 K 的值仅为 1.35。这是因为 LLC 谐振电路通常通过调节频率实现增益的变化，为了实现很宽的电压增益，频率的变化范围会很大。而 LLC 谐振变换器当开关频率偏离谐振频率时，效率会快速下降：当电路开关频率高于谐振频率时，原边开关管中的谐振电流提前关断，大的关断电流会导致关断损耗增加；当开关频率低于谐振频率时，变压器需要承担更大的伏秒，并且变压器中的励磁电流增加，导致电路的导通损耗和磁损增加。有研究通过改变谐振腔的谐振元件以及通过辅助开关管等方式改变谐振电路结构，从而改变增益曲线，在窄频率的范围内实现较宽的增益范围^[20,21]。然而，这些方案的电路增益与开关频率之间的非线性关系，会导致输入电压或者负载电压跳变时无法及时调整。也有研究使 LLC 变换器在部分电压工况始终工作在接近谐振频率的固定开关频率，以保证样机工作在最佳效率点，此时 LLC 变换器增

益固定；而对于超出固定电压增益范围外更宽的电压工作区间，再使 LLC 变换器工作在升压或者降压的状态^[16]。虽然这种方式一定程度上兼顾了效率和调压范围，但是该方案在部分电压区间工作类似于母线转换器，无法实现输出电压区间的连续稳压可调，并且由此拓宽的电压范围有限。

1.2.2 准两级方案

有研究为了充分利用 LLC 这类串联谐振变换器（Series Resonant Converter, SRC）高效率和高功率密度的特性，使其始终工作在开关频率与谐振频率接近的状态，此时变换器不再具备电压调节能力，近似于直流变压器（DC Transformer, DCX）的特性^[22-24]。此时，谐振电感可以直接利用变压器的漏感实现，实现磁元件数量的最小化。此时，为了实现电压调节的功能，同时减少流过调压级的功率从而减小电能转换损耗，有研究通过组合 SRC-DCX 变换器和 PWM（Pulse Width Modulation）变换器，提出了具备电压调节能力的 DCX（Regulated DC Transformer, RDCX）拓扑和部分功率调整方案^[25-28]，如图 1.4。该方案可以根据电压范围设置合适的电压比例，使 PWM 调压级只流过一小部分功率，从而有希望实现较高的效率和功率密度，例如研究^[27]中的 RDCX 拓扑在调压级承担功率最小的最高输入电压工况，实现了接近 98% 的满载效率，以及 $1\text{kW}/\text{in}^3$ 的功率密度。同时，通过 PWM 调压部分拓展实现了比单级 LLC 更宽的电压调节能力。但是，PWM 调压级处理的功率是与输入、输出电压范围相关的，PWM 调压级分配的功率比例也会随着电压范围的增大而增大，这会降低电路的效率并增大调压级变压器的尺寸。

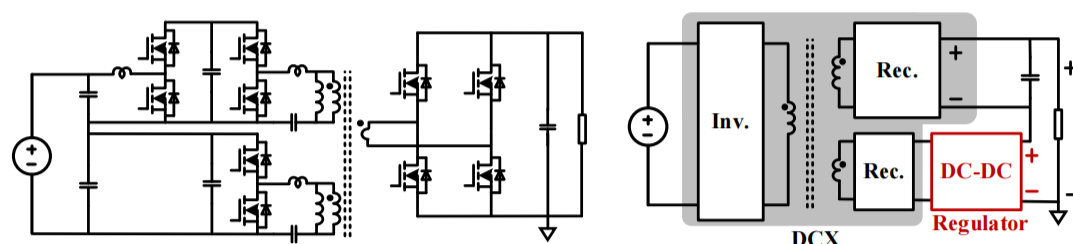


图 1.4 部分功率调整拓扑（左）与 RDCX 拓扑（右）

1.2.3 两级方案

为了适应宽的电压范围，更常见的是两级方案，两级分别实现电压调节和电气隔离的功能，或者各自承担一部分的电压调节需求。通常情况下，使用谐振拓扑作为隔离级，额外连接一个 PWM 电路用于调压，常用的 PWM 电路包括 Buck

拓扑、Boost 拓扑和四开关升降压（Four-switch Buck-boost, FSBB）拓扑，如图 1.2 中的红色符号所示。从图中可以看出，采用两级方案后，变换器能够实现比单级方案和 RDCX 方案更宽的电压调节范围。

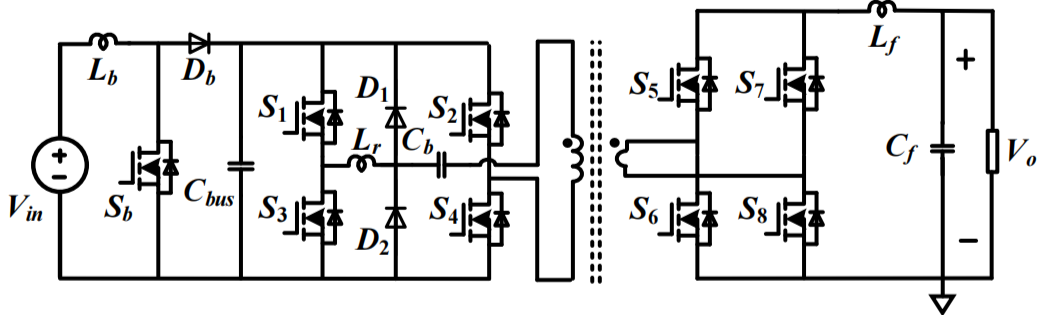


图 1.5 Boost 调压、移相全桥调压与隔离的两级方案

以图 1.5 中的 Boost 级联移相全桥谐振变换器^[29]为例，分析两级方案在宽电压应用场景下的优势。该方案通过前级的 Boost 调压级，将输入的较宽的电压范围（200-450V）输出为中间母线电压较窄的电压范围（410-450V），移相全桥处理这个窄范围的中间母线电压，输出负载所需的低压直流电压（9-14.4V）。经过 Boost 调压级处理后，移相全桥所需的电压增益范围大幅减小。因此，与移相全桥单级方案直接处理宽的输入、输出电压相比，其磁性元件设计得以简化；副边侧器件的电气应力减小，从而能够选取更低耐压和更低导通电阻的器件；而移相全桥原边侧的器件电流有效值也相应减小，从而实现更小的导通损耗。可见，当采用两级方案后，尤其是面对输入电压和输出电压均为较宽的电压范围时，能够更加灵活的调整电路参数实现优化设计，电路中元器件的电压应力和电流应力也能够降低。在类似的研究中，也有方案同样采用 Boost 作为调压级，但是隔离级采用 LLC-DCX 拓扑^[30]。

然而，在两级方案中由于多了一级功率处理级，其功率密度往往低于单级方案和 RDCX 方案。为了实现高功率密度的目标，通常会提高开关频率来降低无源元件以及变压器的尺寸。文献^[31]中采用了 Buck 电路实现调压、LLC-DCX 隔离的两级方案，利用 GaN（Gallium-Nitride）器件能快速开关的特性，将 Buck 电路的频率提高到了 400kHz 以上，而 LLC-DCX 的频率则推高到了 2MHz。在调压范围指标 $K > 2.5$ 的情况下，该方案实现了 96% 左右的最高满载效率，以及 130W/in³ 的功率密度。然而该指标与目前窄调压范围单级 LLC 方案和 RDCX 方案能实现的最高指标（98% 的最高满载效率，1~1.5kW/in³）相比，仍然存在非

常明显的差距。可见，宽电压范围的设计对效率和功率密度提高限制很大。

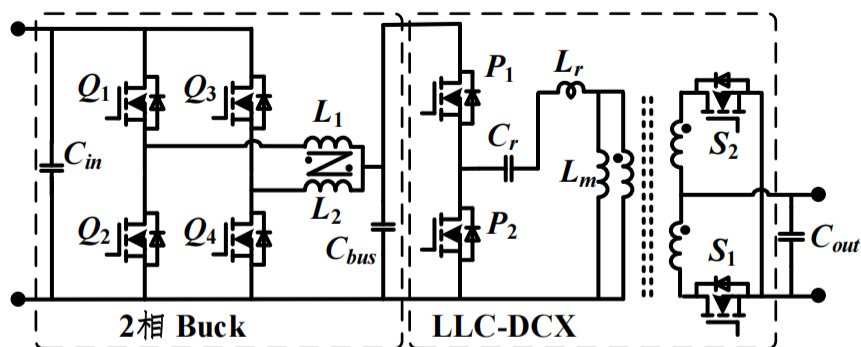
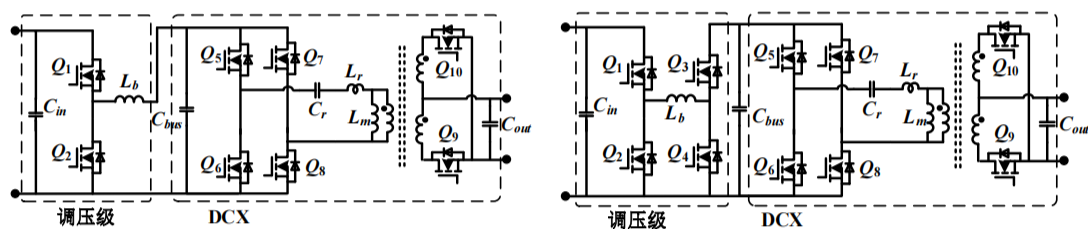


图 1.6 两相 Buck 调压、LLC-DCX 隔离的两级方案

在另外的一些两级方案中^[32,33]，为了降低宽电压范围的影响，使用了具备升降压调节能力的 Buck-Boost 拓扑作为调压级，通过其升降压的能力进一步降低宽电压范围带来的电气应力，如图 1.7。其中，图 (a) 的调压级为两电平 Buck-boost 拓扑，图 (b) 为 FSBB 拓扑，两者均可以通过控制电感电流反向实现所有器件的软开关，从而能够进一步提高 PWM 电路的开关频率。FSBB 调压级与两电平 Buck-boost 相比，还能通过分别控制两个桥臂来将电感电流调制为四边形的形状，降低电感电流的有效值，提高效率。研究^[34-37]中为了减小该两级方案中的开关管数量，进一步的将隔离级的桥臂与四开关拓扑中的一组桥臂集成，如图 1.8。



(a) 两电平 Buck-boost 实现调压

(b) FSBB 实现调压

图 1.7 升降压拓扑调压、SRC-DCX 隔离的两级方案

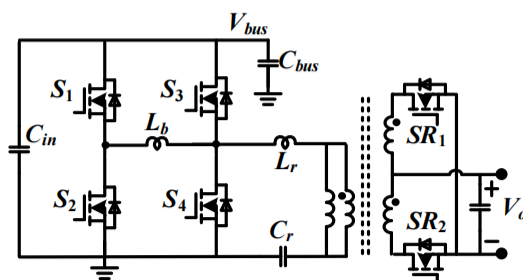


图 1.8 Buck-Boost 集成 LLC 变换器的两级方案

上述两级方案都一定程度上对宽电压范围的 DC-DC 进行了效率和功率密度的优化。其中,文献[33]中的 FSBB 调压、SRC-DCX 隔离的方案将两级的开关频率均提高到了兆赫兹级别,在调压范围评价指标 K 接近于 3 的情况下实现了 96% 以上的功率密度,以及 $240\text{W}/\text{in}^3$ 的功率密度。然而,由于功率完整的经过调压级,即使采取了软开关拓扑,PWM 电路部分的损耗仍然较大。仔细分析这些研究中的样机损耗分解与电路原理,可以发现主要有两个原因:其一为此类拓扑虽然能够依靠软开关推高开关频率,减小电感体积的同时不太增加开关损耗,但是对于输入电压较高(400V)的应用场合时,尤其是开关频率提高到兆赫兹级别,其循环电流带来的损耗增加问题将十分严重;其二,宽电压范围给器件带来的电气应力问题能够通过升降压拓扑解决,但是调压级功率电感的伏秒变化仍然很大,这会导致很大的电感电流峰峰值。而高的电流峰峰值,会明显增加电感的铜损以及磁损,影响效率,尤其是电路高频工作时。虽然 FSBB 拓扑在输入电压和输出电压较为接近时,能够实现四边形的电感电流以减小电流峰峰值,但是当调压范围变宽时,四边形电流又将退化为与两电平 Buck-boost 接近的三角形电流。

由此不难发现,单独通过不断提高开关频率来实现功率密度的大幅提高是不可行的。并且,要在宽电压范围的条件下实现效率的突破,调压级功率电感大的伏秒需要想办法解决。

1.3 宽电压范围 DC-DC 高效高密度设计的关键挑战总结

通过上一节的调研和目前宽电压范围 DC-DC 常用的拓扑分析,可以发现宽电压范围对高效率和高功率密度实现的关键挑战,主要有两个方面:其一,开关器件高的电气应力带来的器件损耗;其二,较大的伏秒变化范围导致大的磁性元件体积和损耗。

首先来看开关器件高的电气应力问题,其具体表现为,选择器件时需要按照最高的工作电压确定器件耐压,同时又必须兼顾较低电压输出时的电流应力。对于相同材料、结构和工艺的器件,耐压值较高的器件通常具备更厚的漂移区,从而导致更大的导通电阻和更大的 $\text{NFoM}^{[2]}$ 。而更大的导通电阻意味着更大的器件导通损耗,这点在低电压工况时由于更大的工作电流,对效率的影响将会更加明显。此外,这也会造成更大的散热压力,为了保障电路的正常工作,DC-DC 模块往往需要更大的散热器,这也制约了功率密度的提高。从上述分析来看,电源模

块在兼容宽电压范围时,选择的器件在低电压时会出现电压耐压值的过设计,而在高电压输出时存在通流能力的过设计,器件利用率不足,从而限制了效率和功率密度。

磁性元件主要包括隔离级的磁性元件,以及调压级的功率电感。对于隔离级来说,考虑高效率和高功率密度的需求,仅考虑谐振型拓扑,因此其磁性元件主要为谐振电感和变压器。

对于隔离级的谐振电感来说,如果隔离级需要承担调压功能,以调节开关频率来实现调压功能的 LLC 为例,谐振腔中通常需要较大的谐振电感来实现不同频率下电感两端较大的电压变化,也就是较大的伏秒,谐振电感的尺寸难以减小。通过磁集成的方式将其与变压器集成到一起可以减小体积,但是会引入较大的高频涡流损耗,尤其是采取了兆赫兹高频和平面变压器后。使隔离级不承担电压调节功能能很好的解决这个问题,谐振电感直接利用漏感实现也减小了磁性元件的数量和体积。而对于变压器来说,兼容最高输出电压时的伏秒需要变压器磁芯具有较大的磁芯中柱有效截面积,这也意味着更长的绕组长度和更大的绕组阻抗,也以为着更大的磁芯体积和磁芯损耗;兼容低压输出时的载流能力,则要求绕组具备更多的有效导流面积。因此,宽电压范围也会导致变压器难以实现高功率密度,大的磁损则会影响电路的轻载和峰值效率。

宽电压范围对调压级的功率电感的影响,主要体现在较大的伏秒变化范围,从而导致功率电感的体积和损耗难以优化。硬开关型 PWM 电路中,提高电路的开关频率虽然能够降低电感伏秒中的秒,但是在会显著增加器件开关损耗;而在软开关型 PWM 电路中,电感电流的纹波很大,尤其是在宽电压范围中低电压工况下,很大电流峰峰值会导致电感很大的最大磁通变化量,进而导致严重的电感磁损。同时,大的电流峰峰值也会造成电流交流分量和均方根值增加,造成更大的电感绕组损耗和器件导通损耗。值得注意的是,软开关型 PWM 电路通过提高开关频率能够降低电感伏秒,然而传输功率较大的情况下,电感电流峰峰值较大,这会造成大的开关损耗,以及高频电流下较大的电感铜损和磁损。

1.4 样机规格与方案确定

为了覆盖更多的应用场景,比如 1.1 小节提到的系留无人机、OHT 应用、通信供电电源和各类复杂的工业设备供电等,形成通用的高压直流功率转换模块以

降低研发成本、提高泛用性，同时应对未来对电源模块更加严苛的轻量化、小型化需求，迫切需要同时具备宽输入输出电压范围、高效率、高功率密度特点的隔离稳压型 DC-DC 方案。

结合对调研与本章的分析可知，宽电压范围对实现高效率以及高功率密度存在非常明显的制约，本文希望突破该限制，尽可能的综合提升宽电压范围 DC-DC 模块的调压范围、效率和功率密度指标。为此，本文的预期指标以目前窄调压范围方案能实现的最高指标为目标，根据调研可确定为：两级最高满载效率 98%，同时实现 $1\text{kW}/\text{in}^3$ 的功率密度。结合现有产品^[38-41]以及需求分析，确定研制的宽电压范围 DC-DC 模块输入电压范围为 200-400V (270V)，稳压隔离输出 17-34V (28Vdc)，额定功率 2.5kW。

考虑到很宽的输入电压范围和输出电压范围，本文仍然采用两级的拓扑结构，以减小宽电压范围带来的高电气应力影响。并且，确定采用两级结构后，使用一级 PWM 拓扑完整承担调压功能；另一级采用 SRC-DCX 方案，只负责高降压比输出与隔离，不再参与调压，以简化磁元件的设计并减小变压器的电气应力。此时，1.3 小节提到的两点宽电压范围带来的主要挑战中，器件利用率不足导致器件损耗大、调压级功率电感伏秒大导致电感体积损耗大的问题仍然存在。通常来说，同系列器件中更低耐压的器件具有更低的 NFoM 特性。因此，通过使用更低耐压的器件能够实现更小的最低器件损耗^[1,2,27,42]，可以利用这一特性来减少器件部分的损耗。而对于调压级功率电感伏秒大的问题，提升开关频率难以进一步优化的情况下，多电平技术是一个很好的思路：通过载波移相控制能够实现电感电流纹波频率的倍频，能够以较低的开关频率实现电感较高的纹波频率，降低电感伏秒中的秒；同时，电感上变化的电压也会大幅减小，从而降低电感伏秒的伏，并且多电平单元数越多，伏减小的程度也越大^[1,43-45]。因此，多电平拓扑作为调压级后，能够轻松的解决宽电压范围应用中功率电感的大伏秒问题。值得一提的是，采用多电平技术后，也能够使用低压器件代替原本的高压器件，实现器件损耗的优化。由此，提出了本文所采用的两级元胞化拓扑：级联多电平升压 (Cascaded Multilevel Boost, CMBo) 电路实现调压，元胞化 DCX 隔离，如图 1.9 所示。两级均采用低压器件。

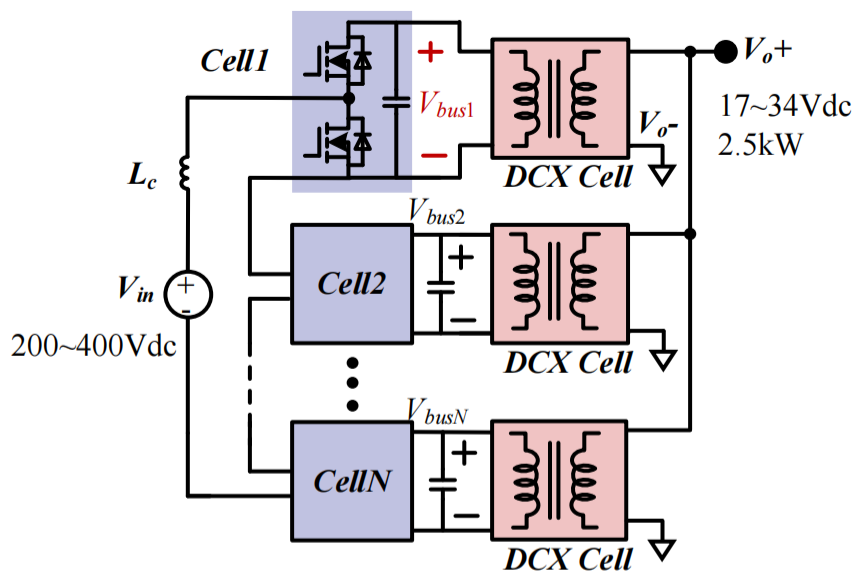


图 1.9 本文提出的元胞化两级结构（CMB0 调压、元胞化 DCX 隔离）

1.5 本文主要研究内容

本文在系留无人机、OHT 应用、通信供电电源和各类复杂的工业设备供电等多元需求的应用背景下，针对宽输入、输出电压范围带来的器件利用率不足和功率电感伏秒大的问题，基于多电平技术和元胞化技术提出了一种全部使用低压器件的元胞化两级方案，并结合器件损耗模型给出了两级各自的优化设计方法。对于调压级 CMB0，给出了基于预期效率目标下电路总体积最小的电路参数设计方法；对于元胞化 DCX，基于损耗模型给出了电路结构、器件选型的优化设计方法，结合有限元仿真工具完成了高频平面变压器的设计，给出了 DCX 励磁电感值的设计方法。根据设计结果，搭建了第一版实物样机，测试发现了 DCX 在低电压输出时 ZVS 丢失以及开关频率与谐振频率不匹配的问题，并分析了问题产生的原因。为了同时解决这两个问题，提出了宽电压范围应用下匹配谐振电容值非线性特性的 DCX 变频控制方法，以提高全电压范围和全负载范围的效率。针对兆赫兹工作的元胞化 DCX 驱动损耗严重影响电路效率的问题，提出了一种频率可调节的变频谐振驱动变压器，实现多路隔离驱动的同时回收驱动能量，减小了 80% 的驱动损耗，以及 70% 的驱动电路占板面积。

本文的主要内容如下：

第一章介绍了宽电压范围高效率、高功率密度 DC-DC 模块在服务器供电架构、OHT、系留无人机和水下机器人等多元的应用需求，调研了目前学术界和工

业界常用的方案,分析它们在宽电压范围应用中的优缺点后,总结了宽电压范围 DC-DC 模块实现高效率和高功率密度的关键挑战,结合调研确定了本文研制的 DC-DC 模块的参数规格与预期指标。针对宽电压范围带来的器件利用率不足器件损耗大的问题,以及调压级功率电感伏秒大的问题,提出了一种全部使用低压器件的元胞化两级方案。

第二章利用多电平电路和 SRC-DCX 谐振电路各自基于 NFoM 特性的器件损耗模型,完成了所提出两级方案主电路的优化设计。首先,分别介绍了前级调压级 CMB_o 电路和后级元胞化 DCX 的基本工作原理,根据两级元胞的电路增益关系,确定了中间母线电压的取值范围。之后,结合已有研究提出的损耗模型对两级分别进行优化设计。对于 CMB_o 电路,基于多电平电路器件的最小损耗模型,在预期效率目标下提出了电路总体积最小的参数设计方法,根据设计结果搭建了 12 单元 CMB_o 的实物样机,并完成了功能验证与效率测试,验证了 CMB_o 参数优化设计方法的可行性。对于元胞化 DCX 电路,基于 NFoM 的器件统一损耗模型,完成了电路拓扑结构和电路参数的设计,通过分析 DCX 实现软开关的原理,给出了 DCX 变压器励磁电感的设计方法。根据设计的结果,搭建了元胞化 DCX 恒频率 1MHz 工作的第一版实物样机。测试了元胞化 DCX 在额定电压工况和最低电压工况下的效率,额定电压下实测效率与预期基本一致。同时,发现了第一版样机元胞化 DCX 低电压输出时实测效率远低于预期。

第三章测试了第一版样机中元胞化 DCX 在额定电压工况和最低电压工况的关键波形,通过对比发现了最低电压工况时存在软开关丢失,以及开关频率大于谐振频率导致大关断电流的问题,并详细分析了问题产生的原因。为了解决软开关丢失的问题,首先分析了按传统思路减小励磁电感值的弊端。之后,进一步定量地分析了过大的励磁电流对宽电压范围 DCX 效率的影响,说明了过大的励磁电流会显著影响全负载范围的效率,并通过第一版样机完成了实验验证。针对上述问题,建立了宽电压范围 DCX 的变频控制数学模型,巧妙地利用谐振电容的直流偏置衰减特性,提出了一种优化宽电压范围 DCX 效率的方法:匹配谐振电容值非线性特性的 DCX 变频控制方法。

第四章主要考虑了驱动部分应该如何配合 DCX 主电路去实现上一章节提出的宽电压范围 DCX 变频控制方法,并针对兆赫兹频率工作的元胞化 DCX 驱动

方案完成了优化设计。首先,分析了传统电压型驱动芯片方案存在过大的驱动损耗问题,简单说明了电流型谐振驱动能降低驱动损耗的原因,并由此提出了一种频率可调节的高频低损谐振驱动变压器方案。然后,分析了所提出变频谐振驱动电路的工作原理,在此基础上建立了所提出的谐振驱动电路的数学模型,针对元胞化 DCX 主电路的工作特性和对死区时间的需求,给出了理想情况下的谐振驱动电路参数设计方法,之后分析了电路参数一致性的影响,给出了实际应用中推荐的谐振电路参数取值区间选取方法。最后,搭建了所提出的变频谐振驱动的实际电路,测试了变频谐振驱动的关键工作波形,验证了其基本工作原理,并测试了多路驱动波形之间的一致性,以及变频谐振驱动电路的损耗。对比传统的电压型驱动芯片方案,驱动损耗降低了 80%,驱动总占板面积减小 70%,验证了其高频低损和占板面积小的良好特性。

第五章根据第二、三、四章中对主电路和驱动电路的优化设计结果,在第一版样机的基础上,完成了第二版实物样机的搭建与测试,输入 200-400V(270V),稳压输出 17-34V (28V), 2.5kW。通过该样机验证了变频元胞化 DCX、变频谐振驱动变压器的电路功能。之后测试了不同工况下变频元胞化 DCX 的效率,验证了所提出的宽电压范围变频控制的效率优化方法的可行性和良好的效率优化效果。最后,对两级效率进行了测试,实现了额定电压工况 97.5%的满载效率,以及 1kW/in³ 的功率密度,验证了本文提出两级方案在宽电压范围应用中的高效率、高功率密度优势。

第六章对本文的工作进行了总结,并展望未来的研究方向。

2 基于器件 NFoM 的宽电压范围 DC-DC 高效高密设计与验证

2.1 电路规格与拓扑结构

本文确定研制的宽电压范围 DC-DC 模块输入电压范围为 200-400V(270V)，稳压隔离输出 17-34V (28V)，额定功率 2.5kW，设计的目标为：最高满载效率 98%，同时实现 1kW/in³ 的功率密度。结合第一章的方案调研以及对宽电压范围制约效率和功率密度的原因分析，确定了如下的两级方案：CMB0 电路作为调压级；元胞化 DCX 实现隔离和高降压比输出。

其中调压级部分，拓扑结构如图 2.1 所示。通过载波移相调制（Phase Shift Pulse Width Modulation, PSPWM）能够实现电感电流纹波的倍频，同时将电感上的伏降低为相同电压工况下两电平拓扑的 $1/N_{cells}$ 。由于同时降低了调压级功率电感 L_c 的伏和秒，其所需的电感量能够大幅减小，从而实现更小的电感体积和损耗。另一个方面，在该拓扑中能够使用性能更良好的低压器件，并且可以通过增加级联单元数量来降低高电压应力的影响，即使在宽电压范围的情况下也能实现较小的器件损耗。

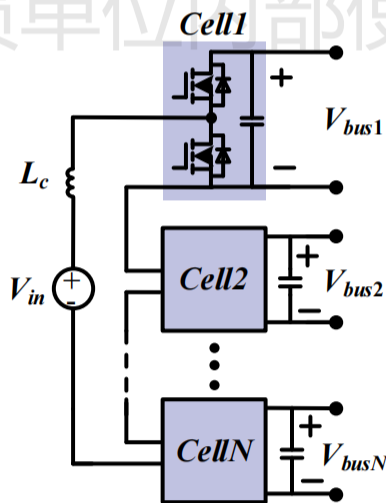


图 2.1 CMB0 调压级拓扑结构

而对于隔离级，始终工作在定频状态的 SRC 的电压增益保持恒定，近似于直流变压器（DC Transformer, DCX）的特性，能够充分发挥其全负载范围内器件软开关的优势：原边所有开关管的 ZVS 和低电流关断；副边所有整流管自然的 ZCS。进一步地，由于不需要承担电压调节的功能，其谐振电感可以直接利用变压器的漏感来实现，从而实现磁性元件数量的最小化。良好的软开关特性和集成的谐振

电感，使得兆赫兹级别开关频率的 SRC-DCX 尤其适合对高效率和高功率密度要求严苛的应用场景。图 2.2 给出了 SRC-DCX 的拓扑结构图。

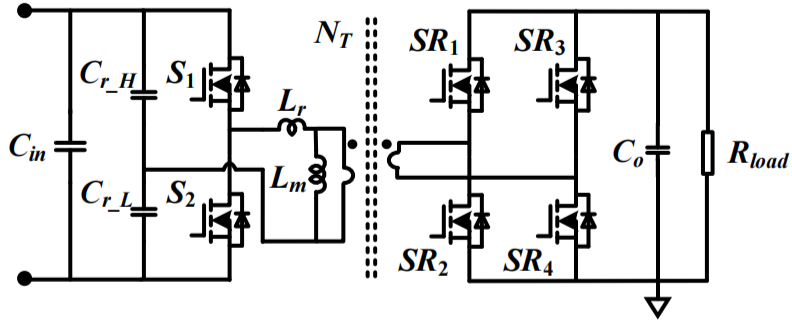


图 2.2 SRC-DCX 拓扑图

两级完整的拓扑结构在上一章的图 1.9 已经给出。其中，CMB_o 具有多个独立的输出端口，每一个端口均直接连接到一个 SRC-DCX 单元的输入。每个 SRC-DCX 单元都可以看做一个元胞电路，所有的元胞电路输出并联。这种元胞化 DCX（Cellular DCX）电路由于每个元胞均采用低压器件，和传统方案采用的高压器件相比，能够实现更小的器件导通损耗，有利于实现高效率。另一个方面，采用元胞化结构之后，能实现所有级联元胞的自然均压：每一个元胞电路均采用平面变压器设计，依靠 PCB（Printed Circuit Board）工艺能够保证良好的参数一致性，从而保证元胞电路的电压增益一致性，在输出并联的情况下，元胞电路的电压增益一致也就实现了多个中间母线电压的自然均压。CMB_o 的各个级联单元串联，保证了元胞间平均电流相等，而元胞化 DCX 保证了单元间的均压，因此也自然保证了多个单元自然的功率均衡。

综上所述，自然的均压和功率均衡，以及每个单元完全一致的电路结构，使得该方案能够灵活的拓展级联的单元数以适应不同的电压规格。整个方案均采用性能良好的低压器件，多电平技术大幅降低了调压级功率电感的伏秒，定频工作的元胞化 DCX 简化了高频隔离变压器的设计复杂度，并利用变压器漏感作为谐振电感来减少磁性元件数量，无论器件还是磁性元件都能够较为解耦地实现优化设计，因此有希望解决宽电压范围带来的问题，同时实现高效率和高功率密度的目标。下面本文将结合此前定下的指标，对前后级分别进行分析和优化设计。

2.2 基于多电平电路最小损耗模型的 CMB0 参数设计与验证

2.2.1 CMB0 电路的工作原理

为了实现优化设计，首先需要分析其工作原理。这里以两个单元为例，说明多电平升压电路 CMB0 的工作模态，更多单元的模态可以由两单元推广得到，不再赘述。在该拓扑中，所有开关器件均工作在高频开关状态，并采用载波移相调制充分降低电感的伏秒，每个单元移相角度为 $360^\circ / N_{cells}$ ， N_{cells} 为单元数。图 2.3 为两个单元 CMB0 的电路原理图，为简化分析，电路中的电感、电容、开关管均为理想器件，且暂不考虑实际电路中存在的器件结电容、杂散电感等寄生参数。在此前的分析中提到，所有中间母线电压 V_{bus} 都能够实现自然均压，假设稳定后的单个母线电压值为 E ，即 $V_{bus1}=V_{bus2}=E$ 。每个单元的开关频率 f_{s_c} 和占空比保持一致，定义每个桥臂下管的占空比为 D 。图 2.4 给出了 $D<0.5$ 和 $D\geq 0.5$ 两种情况下的稳态工作波形，两种占空比下电路的工作模态略有区别。

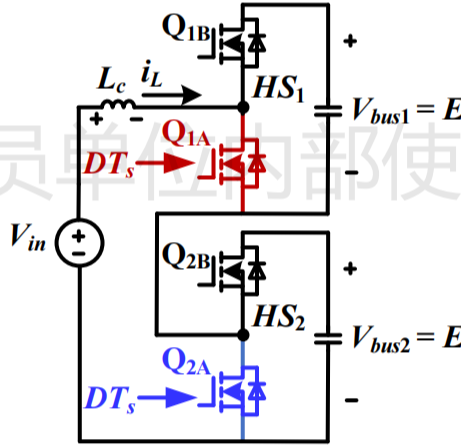


图 2.3 两单元 CMB0 电路原理图

功率电感 L_c 一端连接输入电压源 V_{in} ，另一端连接第一个单元的桥臂中点 HS_1 。对于每一个桥臂，定义下管为主动开关管，对应的上管为其整流管，整流管驱动信号与各自的主管互补。

当 $0<D<0.5$ 时，桥臂中点 HS_1 的电压被控制在 E 和 $2E$ 之间变化，稳态时电感 L_c 满足伏秒平衡，因此输入电压 V_{in} 满足如下关系：

$$E < V_{in} < 2E \quad (2-1)$$

如图 2.4 (a) 所示，可以将一个开关周期分为如下四个模态：

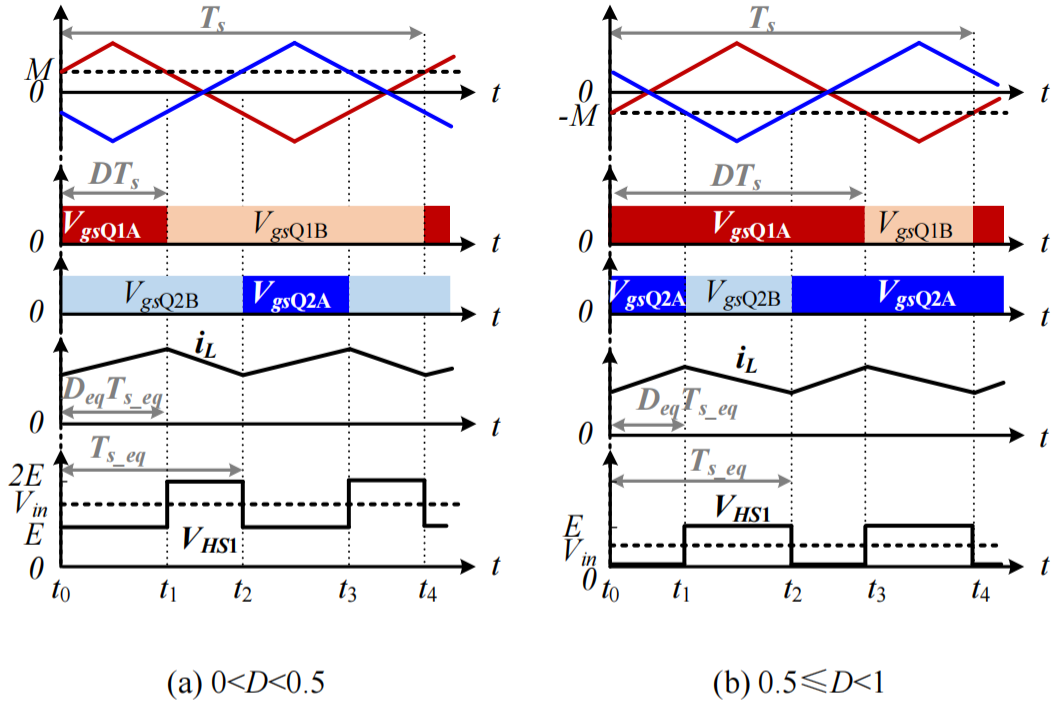


图 2.4 两单元 CMB0 电路关键波形图

模态 1 ($t_0 < t < t_1$): 开关管 Q_{1A} 开通时刻开始, Q_{1A} 关断时刻结束。在该模态中, Q_{1A} 和 Q_{2B} 导通, Q_{1B} 和 Q_{2A} 关断, 其等效电路如图 2.5 (a) 所示。此时功率电感 L_c 右侧电压 HS_1 为 E , 小于输入电压 V_{in} , 电感伏秒为正, 电感电流线性上升;

模态 2 ($t_1 < t < t_2$): Q_{1A} 关断时刻开始, Q_{2A} 开通时刻结束。在该模态中, Q_{1B} 和 Q_{2B} 导通, Q_{1A} 和 Q_{2A} 关断, 其等效电路如图 2.5 (b) 所示。此时功率电感 L_c 右侧电压 HS_1 为 $2E$, 大于输入电压 V_{in} , 电感伏秒为负, 电感电流线性下降;

模态 3 ($t_2 < t < t_3$): Q_{2A} 开通时刻开始, Q_{2A} 关断时刻结束。在该模态中, Q_{1B} 和 Q_{2A} 导通, Q_{1A} 和 Q_{2B} 关断, 其等效电路如图 2.5 (c) 所示。此时功率电感 L_c 右侧电压 HS_1 为 E , 小于输入电压 V_{in} , 电感伏秒为正, 电感电流线性上升;

模态 4 ($t_3 < t < t_4$): Q_{2A} 关断时刻开始, Q_{1A} 开通时刻结束。在该模态中, Q_{1B} 和 Q_{2B} 导通, Q_{1A} 和 Q_{2A} 关断, 其等效电路如图 2.5 (d) 所示。此时功率电感 L_c 右侧电压 HS_1 为 $2E$, 大于输入电压 V_{in} , 电感伏秒为负, 电感电流线性下降。

根据电感伏秒平衡和模态分析, 可以得到式 (2), 进一步可以求得每个母线单元电压 E 与占空比 D 和输入电压 V_{in} 的关系, 如式 (2-3) 所示。式中, $Volt\text{-}sec$ 为功率电感 L_c 的伏秒, T_{s_c} 为单元电路的开关周期。

$$\text{Volt-sec} = (V_{in} - E)DT_{s_c} = (2E - V_{in})\left(\frac{1}{2} - D\right)T_{s_c} \quad (2-2)$$

$$E = \frac{V_{in}}{2(1-D)} \quad (2-3)$$

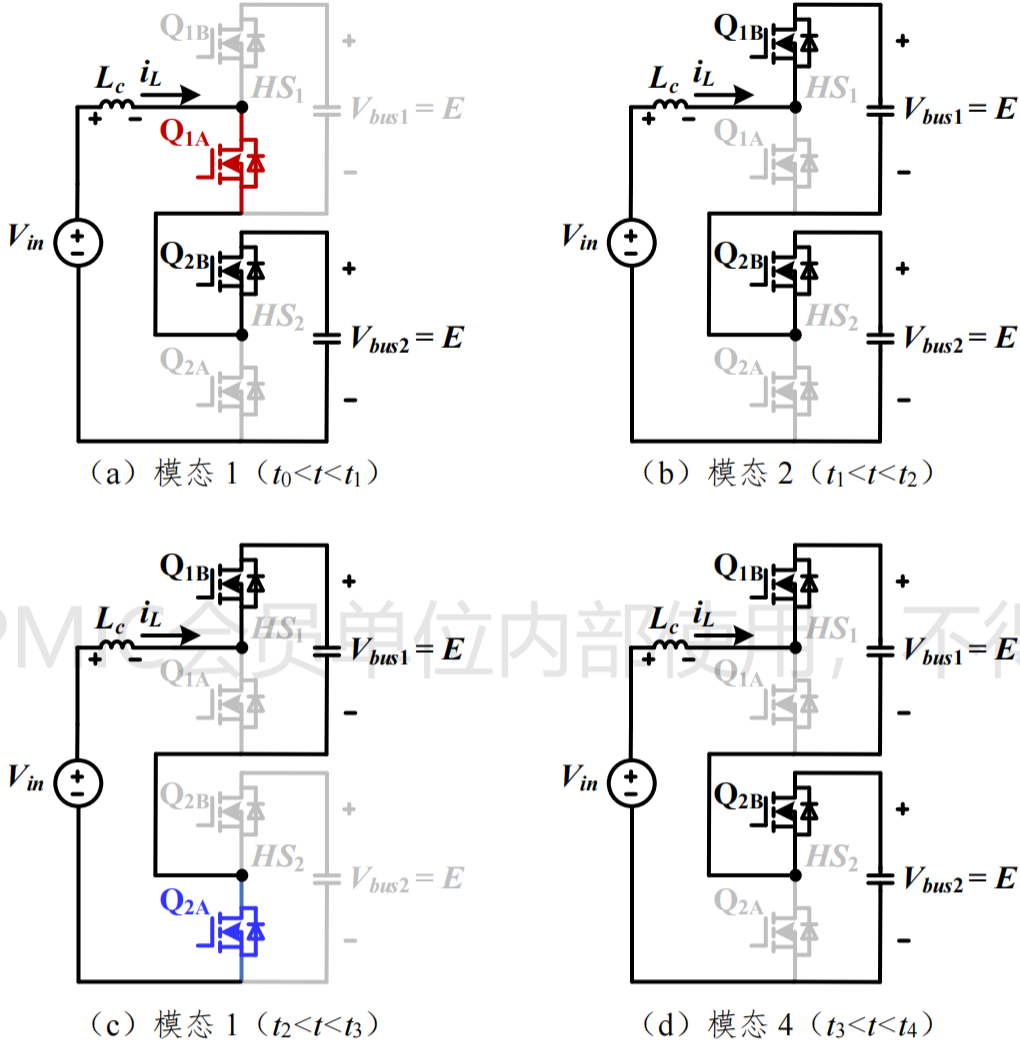


图 2.5 $0 < D < 0.5$ 时，两单元 CMB0 工作模式

当 $0.5 \leq D < 1$ 时，桥臂中点 HS_1 的电压被控制在 0 和 E 之间变化，稳态时电感满足伏秒平衡，因此输入电压 V_{in} 满足如下关系：

$$0 < V_{in} < E \quad (2-4)$$

如图 2.4 (b) 所示，同样可以将一个开关周期分为如下四个模式：

模式 1 ($t_0 < t < t_1$)：开关管 Q_{1A} 开通时刻开始， Q_{2A} 关断时刻结束。在该模式中， Q_{1A} 和 Q_{2A} 导通， Q_{1B} 和 Q_{2B} 关断，其等效电路如图 2.6 (a) 所示。此时功

率电感 L_c 右侧电压 HS_1 为 0，小于输入电压 V_{in} ，电感伏秒为正，电感电流线性上升；

模态 2 ($t_1 < t < t_2$): Q_{2A} 关断时刻开始， Q_{2A} 开通时刻结束。在该模态中， Q_{1A} 和 Q_{2B} 导通， Q_{1B} 和 Q_{2A} 关断，其等效电路如图 2.6 (b) 所示。此时功率电感 L_c 右侧电压 HS_1 为 E ，大于输入电压 V_{in} ，电感伏秒为负，电感电流线性下降；

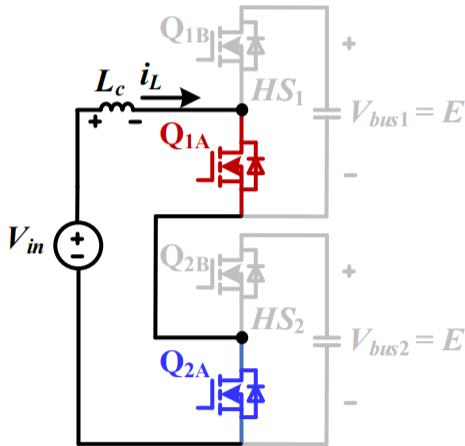
模态 3 ($t_2 < t < t_3$): Q_{2A} 开通时刻开始， Q_{1A} 关断时刻结束。在该模态中， Q_{1A} 和 Q_{2A} 导通， Q_{1B} 和 Q_{2B} 关断，其等效电路如图 2.6 (c) 所示。此时功率电感 L_c 右侧电压 HS_1 为 0，小于输入电压 V_{in} ，电感伏秒为正，电感电流线性上升；

模态 4 ($t_3 < t < t_4$): Q_{1A} 关断时刻开始， Q_{1A} 开通时刻结束。在该模态中， Q_{1B} 和 Q_{2A} 导通， Q_{1A} 和 Q_{2B} 关断，其等效电路如图 2.6 (d) 所示。此时功率电感 L_c 右侧电压 HS_1 为 E ，大于输入电压 V_{in} ，电感伏秒为负，电感电流线性下降。

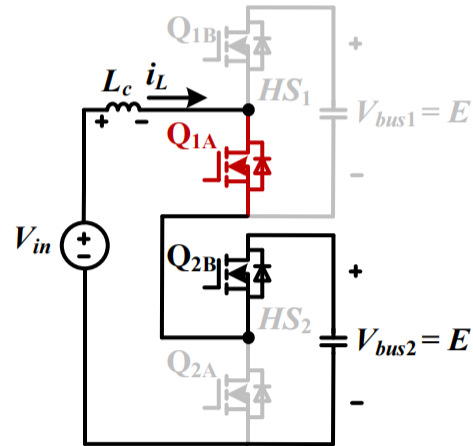
根据电感伏秒平衡和模态分析，可以得到式 (2)，进一步可以求得每个母线单元电压 E 与占空比 D 和输入电压 V_{in} 的关系，如式 (2-6) 所示。

$$\text{Volt-sec} = V_{in} \left(D - \frac{1}{2} \right) T_{s-c} = (E - V_{in})(1 - D) T_{s-c} \quad (2-5)$$

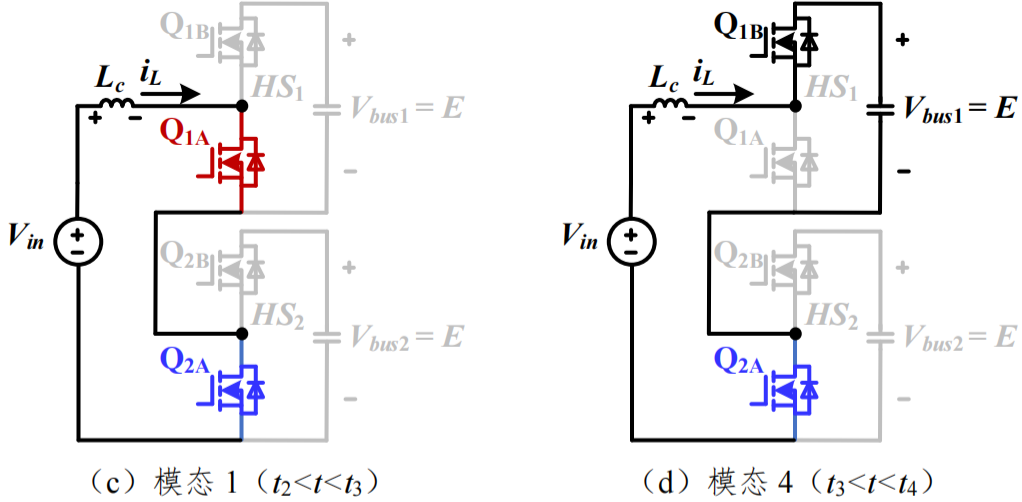
$$E = \frac{V_{in}}{2(1 - D)} \quad (2-6)$$



(a) 模态 1 ($t_0 < t < t_1$)



(b) 模态 2 ($t_1 < t < t_2$)

图 2.6 $0.5 \leq D < 1$ 时，两单元 CMB0 工作模式

从上述模式分析可以看出，两单元 CMB0 电路中每次开关动作时，桥臂中点 HS_1 都会发生一次电位改变，因此实现了电感侧等效开关频率 f_{eq} 相对单元开关频率 f_{s_c} 的倍频，提高了一倍。此外，每次开关动作时变化的电压仅为一个中间母线的电压 E ，与相同工作状态下的普通两电平 Boost 相比（相同开关频率、占空比和输入电压，此时 Boost 输出电压为 $2E$ ），电压跳变幅值减小一半。因此，两单元 CMB0 能够减小电感的伏秒为两电平 Boost 电路的 $1/4$ 。相似的，当级联的单元数为 N_{cells} 时，同样采用载波移相和共同占空比控制，电感侧等效开关频率 f_{eq} 为相同工作状况下两电平 Boost 电路的 N_{cells} 倍，电压跳变幅值为其 $1/N_{cells}$ ，电感的伏秒减小到 $1/N_{cells}^2$ 。 N_{cells} 个单元 CMB0 电路的电压增益和电感伏秒分别见式 (2-7) 和式 (2-8) 所示。

$$V_{bus} = E = \frac{V_{in}}{N_{cells}(1-D)} \quad (2-7)$$

$$Volt-sec = V_{bus}(1-D_{eq})D_{eq} \frac{1}{N_{cells}f_{s_c}} \quad (2-8)$$

其中， D 为每个单元下管的占空比， D_{eq} 为图 2.4 中的等效占空比， D_{eq} 与 D 的关系式由式 (2-9) 给出。这是一个分段函数，对于 N_{cells} 个级联单元的 CMB0 电路，需要分 N_{cells} 段来进行讨论，式中用不同的自然数 k 表示不同段。

$$D_{eq} = N_{cells}D - k + 1, \frac{k-1}{N_{cells}} \leq D \leq \frac{k}{N_{cells}}, k=1, 2, \dots, N_{cells} \quad (2-9)$$

如果定义 N_{cells} 个中间母线电压的总和为 V_{bus_total} ，有：

$$V_{bus_all} = N_{cells} V_{bus} = \frac{V_{in}}{(1-D)} \quad (2-10)$$

可见 V_{bus_all} 与输入电压 V_{in} 的电压增益关系与两电平 Boost 电路是一致的。我们将本文所采用的两级结构简化为图 2.7 所示电路示意图, 并由此设计合适的 V_{bus_all} 的取值。其中, 第二级元胞化 DCX 因为电压增益始终保持固定, 可以看做一个电压增益为 M 的直流变压器, 其输入、输出电压成比例。由于 DCX 的输出电压是一个范围, 因此 DCX 的等效输入电压, 也就是 V_{bus_all} 也应当是一个电压范围。而 CMBo 是一个升压电路, 因此 V_{bus_all} 的取值应当不低于输入电压 V_{in} 的最大值 $V_{in,max}$, 这里 $V_{in,max} = 400V$ 。对于升压型电路来说, 升压比越高, 器件所承受的电压应力越大, 功率电感承担的伏秒也会越大, 不利于效率提升。因此将 V_{bus_all} 的范围下限确定为略高于 400V。对于 DCX 来说, 400V 输入对应 17V 输出, 可以确定 DCX 总的电压变比为 24:1, 即 $M=24$, 由输出电压范围可以进一步确定完整的 V_{bus_all} 的电压范围为 408-816V。图 2.8 给出了前级 CMBo 的正常电压工作范围。

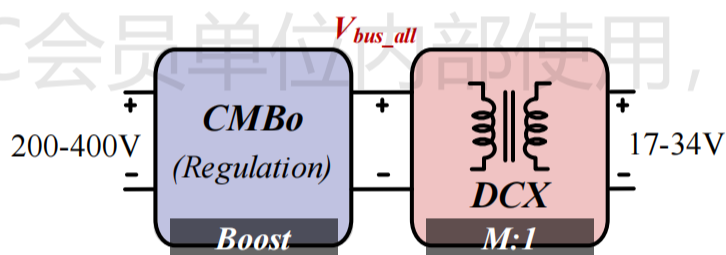


图 2.7 CMBo + Cellular DCX 两级简化等效电路

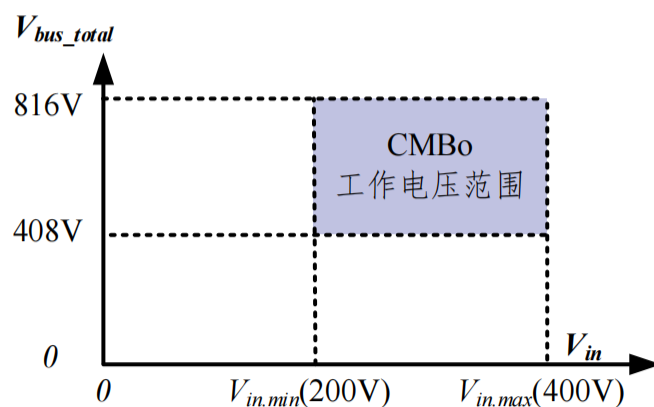


图 2.8 CMBo 的电压工作范围

2.2.2 预期效率下电路总体积最小的参数设计方法

前一节介绍了 CMB0 的工作原理，也确定了本文中前级的电压范围：输入电压 200-400V (270V)，输出电压 408-816V (672V)，输出功率 2.5kW。为了实现两级满载 98%的目标效率，本文确定了前级 CMB0 的设计目标：额定输出电压满载效率 99.5%。

电压范围给定的情况下，考虑一定的裕量，可以得到 CMB0 的器件需要承受的总耐压，如果要确定最终每个单元选用的器件耐压值，还需要明确级联的单元数 N_{cells} 。而器件耐压值 V_{BR} 、单元数 N_{ells} 和单元开关频率 f_{s_c} 都会影响损耗和体积。研究[1]以基于氮化镓器件的级联 H 桥 (Cascaded H-bridge, CHB) 拓扑为例，给出了统一的器件最小损耗模型，适用于以图 2.9 所示基本单元的多电平变换器。该器件模型忽略了占比很小的驱动损耗以及死区时间内的反向沟道损耗，包含导通损耗、开关损耗以及容性损耗。

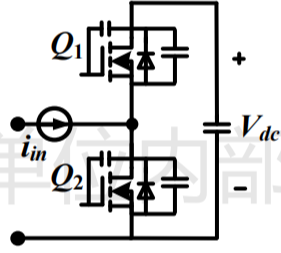


图 2.9 多电平电路的基本单元

本文中的 CMB0 基本单元与 CHB 相同，且工作在硬开关的状态，因此可以使用该模型进行损耗评估以及参数设计。应用该模型后可得：

$$P_{GaN_Loss} = k_{temp} k_{dyn} I_{in}^2 N_{cells} R_{dson} + \frac{V_{bus_total}^2 (k_{sw} NFoM_{sw} I_{in} + NFoM_{oss}) f_s}{N_{cells} R_{dson}} \quad (2-11)$$

其中， P_{GaN_Loss} 为 CMB0 的器件损耗， k_{temp} 和 k_{dyn} 分别是氮化镓器件工作时的温度系数和动态电阻系数， I_{in} 是输入电流平均值， N_{cells} 是级联的单元数， R_{dson} 是器件的导通电阻， k_{sw} 是与器件门极相关的系数，而 $NFoM_{sw}$ 和 $NFoM_{oss}$ 是表征开关损耗和容性损耗的品质因数，等于器件的导通电阻和器件寄生电容的乘积：

$$\begin{cases} NFoM_{sw} = R_{ds_on} \cdot C_{gd(tr)} \\ NFoM_{oss} = R_{ds_on} \cdot C_{oss(er)} \end{cases} \quad (2-12)$$

其中 $C_{gd(tr)}$ 为器件栅-漏电容的电荷等效容值， $C_{oss(er)}$ 为器件输出电容的能量等

效容值。对于相同材料、结构和工艺的器件，同一个耐压下不同器件的 NFoM_{sw} 和 NFoM_{oss} 均可以看做一个常数，如图 2.10 所示^[1]。

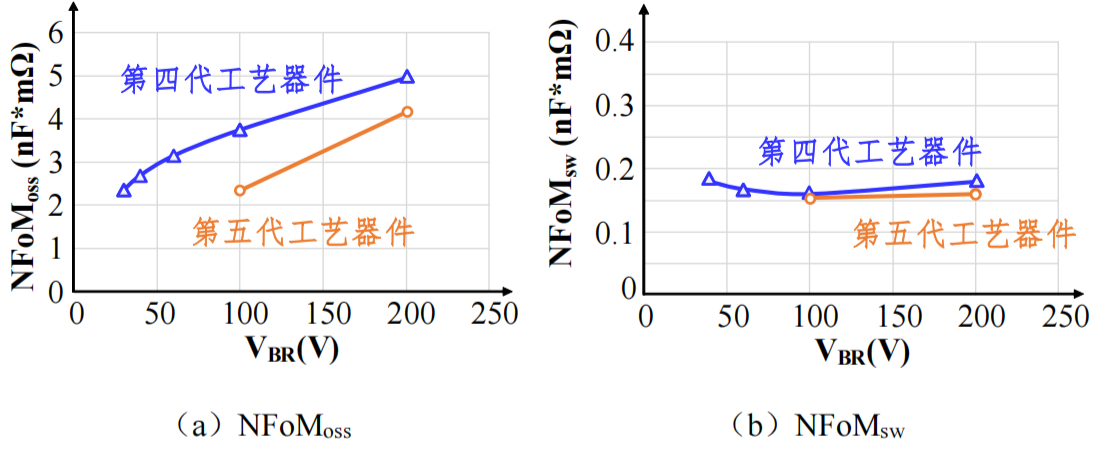


图 2.10 GaN 器件品质因数统计

可以发现的是，耐压已经确定的情况下，除开 R_{dson} 以及单元数 N_{cells} ， $P_{\text{GaN_Loss}}$ 的表达式中其余参数均为常数，这是一个对勾函数，因此存在一个最小的器件损耗值 $P_{\text{GaN_Loss_min}}$ ，此时器件的导通损耗和开关型损耗达到平衡，此时对应的器件导通电阻取值 $R_{\text{dson_min}}$ 和最小的半导体损耗值 $P_{\text{GaN_Loss_min}}$ 如下式所示：

$$\begin{cases} P_{\text{GaN_Loss_min}} = 2V_{\text{bus_total}} I_{\text{in}} \sqrt{k_{\text{temp}} k_{\text{dyn}} (k_{\text{sw}} \text{NFoM}_{\text{sw}} I_{\text{in}} + \text{NFoM}_{\text{oss}}) f_s} \\ R_{\text{dson1}} = \frac{V_{\text{bus_total}}}{N_{\text{cells}} I_{\text{in}}} \sqrt{\frac{(k_{\text{sw}} I_{\text{in}} \text{NFoM}_{\text{sw}} + \text{NFoM}_{\text{oss}}) f_s}{k_{\text{temp}} k_{\text{dyn}}}} \end{cases} \quad (2-13)$$

不难看出，给定工况下 CMB0 的最小的半导体损耗值 $P_{\text{GaN_Loss_min}}$ 此时与单元数无关，只与 NFoM_{sw} 和 NFoM_{oss} 有关。根据之前的调研 NFoM_{sw} 和 NFoM_{oss} 与器件耐压有关，因此对于相同系列下的不同耐压的器件，都可以确定出一个对应的最小的半导体损耗值 $P_{\text{GaN_Loss_min}}$ 。以本文中的额定电压工况为例，输入电压 270V，输出电压 672V，根据式 (2-13) 可以得到满载 2.5kW 下不同耐压值器件对应的 CMB0 器件的最小损耗，如图 2.11 所示。开关频率相同的情况下，所使用的器件耐压越低，其 NFoM_{oss} 越小，CMB0 器件的最小损耗也就越小。

在本文中，器件的最高总电压应力为 816V，考虑 30% 的裕量，由此可以确定器件的总耐压需求。选用的器件耐压值不同时，所需要的单元数也不同，图 2.11 标注了不同耐压器件相对应的单元数，可以发现单元数越多，CMB0 器件的最小损耗越小。为了实现 99.5% 的满载效率目标，可以将期望的 CMB0 器件损耗

比例限制在 0.4% 以下，图 2.11 中黑色的期望损耗限制线以下即为可选的单元数与开关频率的组合。以红色实线对应的开关频率 $f_{s_c}=50\text{kHz}$ 为例，可以选择 100V 及以下的器件，若为 100V 器件则对应需要 12 个单元。此外，开关频率为 30kHz 和 70kHz 的最小器件损耗曲线同样给出，如图 2.11 中蓝色和橙色曲线所示。

当开关频率提高时，最小损耗曲线整体向上偏移，损耗增大；开关频率降低时，最小损耗曲线整体向下偏移，损耗减小。可以发现，每个耐压的器件都存在一个最大的开关频率 $f_{s_c_max}$ ，使其刚好满足设计的器件损耗预期。通过式 (2-13) 所示的最小器件损耗表达式，可以直接反解出给定损耗预期下，最高开关频率与预期损耗之间的关系，如式 (2-14)。图 2.12 绘制出了期望器件损耗分别为 0.3%、0.4%、0.5% 时，不同耐压器件对应的最大的开关频率 $f_{s_c_max}$ 。以 100V 器件为例，0.4% 器件损耗期望损耗下，其最大的开关频率约为 52kHz，当开关频率低于最大开关频率 $f_{s_c_max}$ 时，器件损耗都能满足损耗预期。

$$f_{s_max} = \frac{P_{GaN_Loss_min}^2}{4k_{temp}k_{dyn}V_{bus_total}^2I_{in}^2} \frac{1}{(k_{sw}NFoM_{sw}I_{in} + NFoM_{oss})} \quad (2-14)$$

从上述分析来看，当预期器件损耗为 0.4% 时，通过选用更低耐压的器件或者降低开关频率，存在很多可以选取的器件耐压、开关频率组合。从电路结构简单的角度，单元数量越少越好，但是单元数越少，需要选择的器件耐压越高，满足损耗预期的最大开关频率越小，从而导致功率电感和中间母线电容的体积越大。因此，为了优选出合适的单元数，还需要把电感和电容的体积与单元数的关系表示出来。为了实现高功率密度的目标，在保证效率的前提下，选定每一个耐压的器件选用的开关频率为其对应的最大开关频率 $f_{s_c_max}$ 。

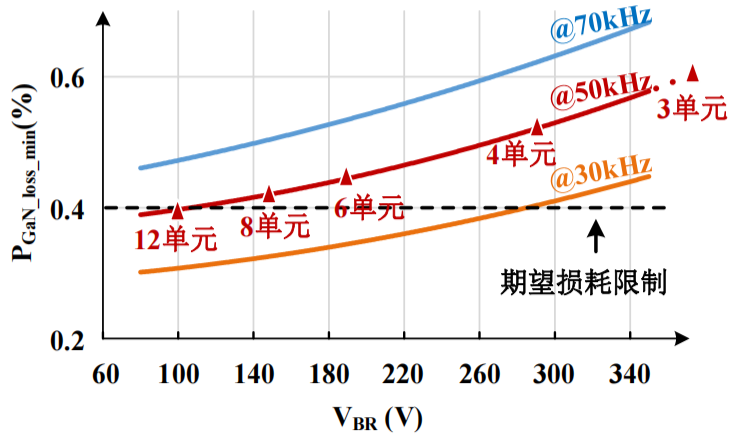


图 2.11 不同耐压器件对应的 CMB0 器件最小损耗

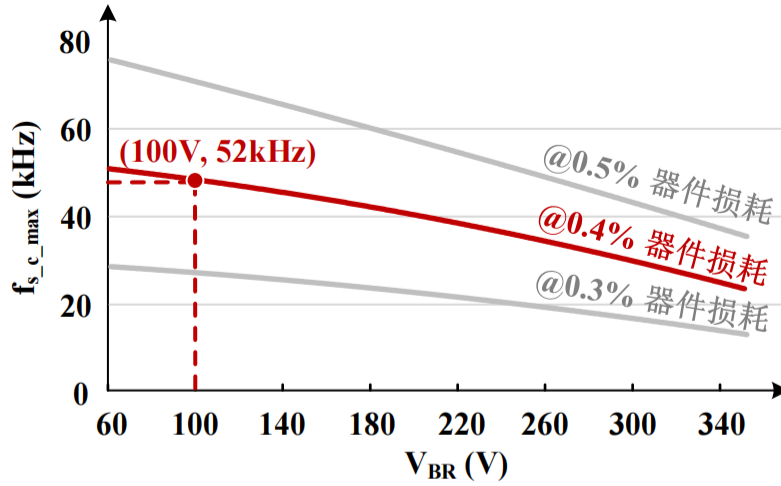


图 2.12 给定预期器件损耗下不同耐压器件对应的最大开关频率

对于功率电感来说，首先确定电感量。电感量与电感上的最大伏秒有关，电感上的伏秒由上一节原理分析中的式（2-8）给出。对于本文中的宽电压范围工况， D_{eq} 可取的范围为 $0 < D_{eq} < 0.75$ ，不难得出当 $D_{eq}=0.5$ 时，功率电感伏秒取得最大值 $Volt-sec_{max}$ ，其值为：

$$Volt-sec_{max} = \frac{V_{bus_total_max}}{4N_{cells}f_{s_c_max}} \quad (2-15)$$

假设电感电流纹波峰峰值的最大值取为最大输入电流的 40%，即

$$\Delta i_{pk_pk} = 40\% I_{in_max} \quad (2-16)$$

根据电感上的最大伏秒以及允许的电感电流纹波峰峰值的最大值，即可确定所需的电感量随选用器件耐压的关系，如式（2-17）。进一步的，通过对线艺（Coilcraft）公司的 XAL 系列成品模压电感的调研，可以将电感量随选用器件耐压的关系映射为电感体积随选用器件耐压的关系，如图 2.13 所示。

$$L = \frac{Volt-sec_{max}}{\Delta i_{pk_pk}} = \frac{V_{bus_total_max}}{4N_{cells}f_{s_c_max}(V_{BR})\Delta i_{pk_pk}} \quad (2-17)$$

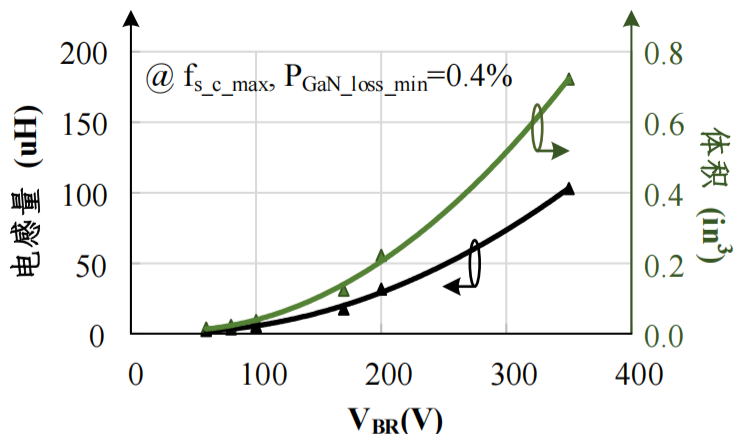


图 2.13 不同耐压器件对应的电感量与电感体积

对于中间母线电容 C_{bus} 来说，同样先确定其容值需求，再映射为电容体积与选用器件耐压的关系。考虑器件高度后，中间母线电容选用封装为 1206 的瓷片电容，以 TDK 公司的瓷片电容产品为评估依据。在本文中，确定额定电压工况时中间母线电容的电压纹波不超过 3%，有：

$$C = \frac{\Delta Q_{\max}}{3\%V_{bus}} = \frac{I_{ripple}(1/2f_{s_c})}{3\%V_{bus}} \quad (2-18)$$

式中 $\Delta Q_{\max}$ 为电容上每个开关周期变化的最大电荷量， V_{bus} 为中间母线电压值， I_{ripple} 为流过电容的纹波电流幅值， f_{s_c} 为单元开关频率。由此得到的中间母线电容值与电容总体积随选用的器件耐压值的关系如图 2.14 所示。

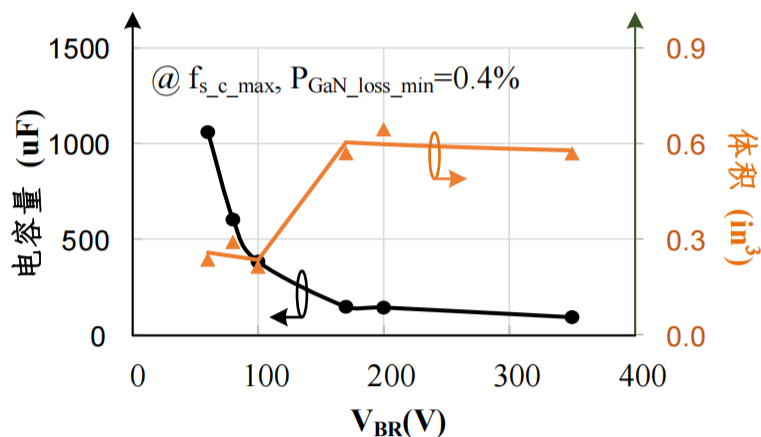


图 2.14 不同耐压器件对应的电容量与电容体积

将上述得到的功率电感体积、中间母线电容体积相加，再考虑上单元电路的体积，即可得到预估的总体积随选用器件耐压的关系，如下图所示：

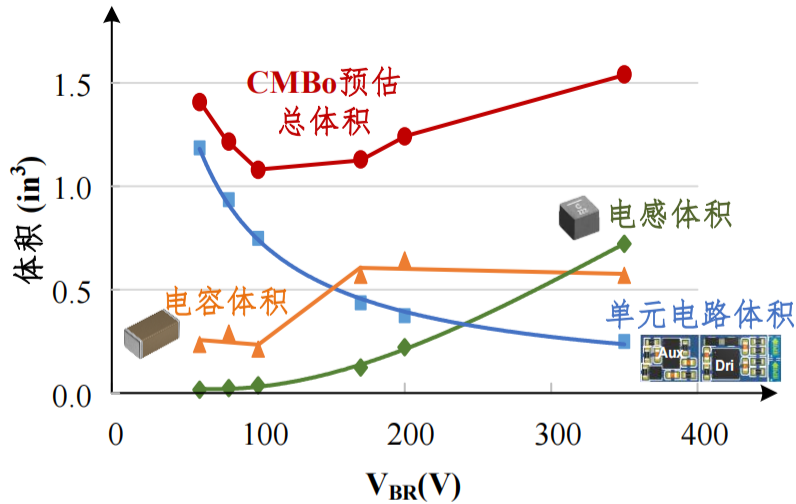
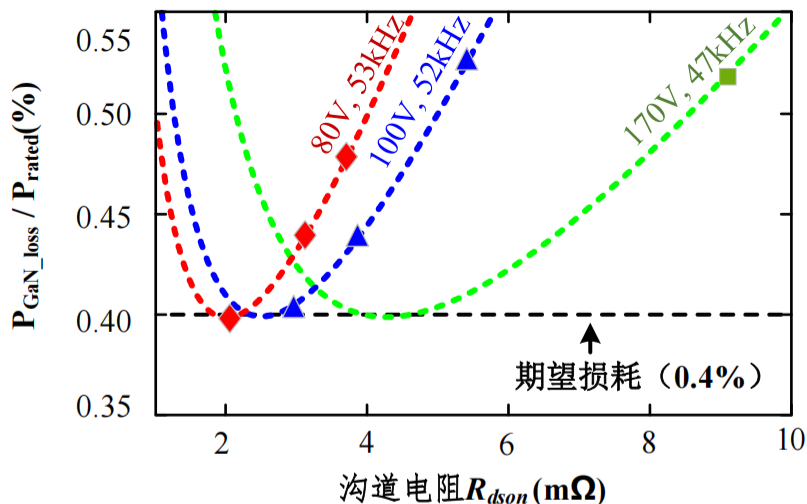


图 2.15 不同耐压器件对应的 CMB0 预估总体积

从上图中可以发现，当选用 100V 和 170V 器件时，在 0.4% 预期最小器件损耗的条件下，CMB0 能够实现最小的总体积。下面结合现有的商业器件，确定具体的器件，以及沟道电阻 R_{dson} 取值。图 2.16 分别给出了选用 80V、100V 和 170V 器件耐压，开关频率取各自的最大开关频率时对应的器件损耗与沟道电阻 R_{dson} 的关系，线上的标号代表现有商业器件可选的 R_{dson} 值。可以看出，选用不同耐压的器件时各自的谷底损耗都为 0.4%，但在不考虑器件并联的情况下，80V 和 100V 的器件能够选择到合适的 R_{dson} 的器件，而 170V 耐压器件并没有合适的 R_{dson} 可选择。170V 耐压的器件目前最低 R_{dson} 值为 $9\text{m}\Omega$ ，按照其谷底器件损耗为 0.4% 对应的 47kHz 的开关频率工作时，仅器件损耗占比已经大于 0.5%，无法实现 CMB0 满载效率 99.5% 的目标。如果要采取 170V 的器件，需要使用两颗 $9\text{m}\Omega$ 的器件进行并联，使器件损耗能够取得谷底损耗。这种方式需要考虑器件并联的驱动一致性、开关一致性问题。而当选择 100V 器件时，选用 R_{dson} 为 $3.2\text{m}\Omega$ 的器件就能够满足我们的预期损耗限制，且其接近损耗曲线的谷底值，实现了器件的最优化设计。因此，可以确定 CMB0 调压级选用 100V 的开关器件， R_{dson} 为 $3.2\text{m}\Omega$ ，单元开关频率 f_{s_c} 为 52kHz 左右，单元数 N_{cells} 为 12。

图 2.16 选用不同耐压器件时器件损耗与 R_{dson} 的关系

在器件、单元数、开关频率和电感、电容均确定的情况下，可以给出计算得到的预期效率曲线，如图 2.17 所示。并根据设计结果，得到了图 2.18 所示的 12 单元 CMB0 实物样机。样机输入电压 200-400V (270V)，输出电压为 12 路 34-68V (56V) 的中间母线电压 V_{bus} , 2.5kW。等效的总中间母线 V_{bus_all} 为 400-800V。

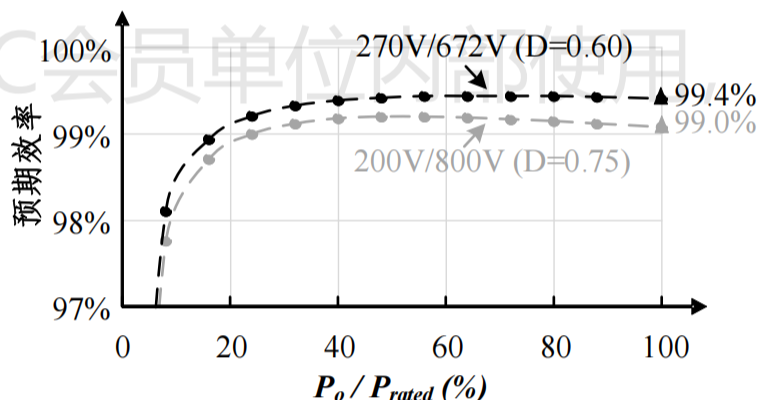


图 2.17 CMB0 调压级预期效率曲线

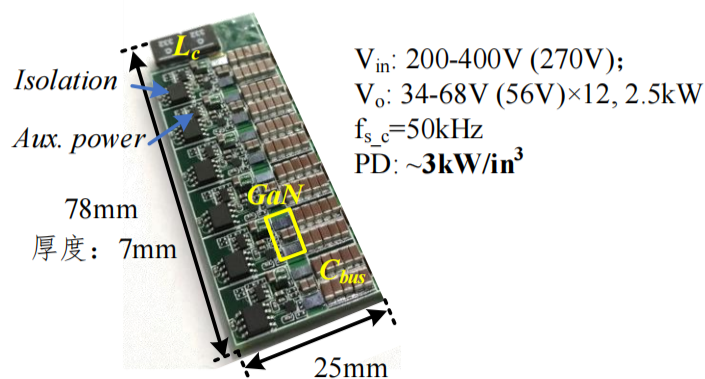
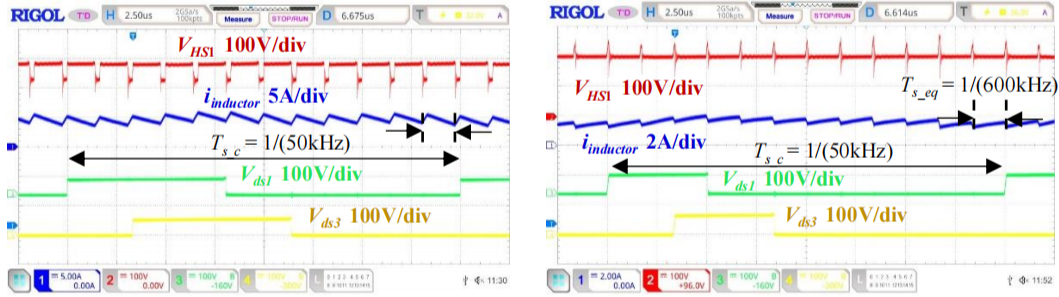


图 2.18 CMB0 调压级实物样机图

2.2.3 CMB0 载波移相控制与电感电流纹波倍频的样机验证

接下来对图 2.18 所示的 12 个单元的 CMB0 样机进行功能验证。前级 CMB0 电路中，存在多个单元的级联，为了保证电路的正常工作与安全性，需要验证其级联单元间的均压。同时，在该电路中通过载波移相的控制方式来降低电感伏秒以减小电感的体积和损耗，因此也需要测试电感电流纹波的倍频效果。

图 2.19 中分别给出了占空比 0.60、0.75 两种占空比下 12 个单元 CMB0 电路的关键波形，CMB0 采用共同占空比的载波移相控制。其中，红色波形为电感连接级联半桥的桥臂中点 V_{HS1} 对输入源的地电压波形，蓝色为功率电感电流波形，绿色和黄色波形分别为单元 1 和单元 3 的下管漏源极 V_{ds} 波形。



(a) 270V/672V, D=0.60 (b) 200V/800V, D=0.75

图 2.19 调压级 CMB0 关键波形

由于 V_{HS1} 波形每次开关动作都会使某一路低压中间母线接入/旁路，因此可通过观察 V_{HS1} 波形每次跳变的电压幅值来间接验证级联单元间的均压效果，也可以通过观察每个单元的 V_{ds} 波形的电压幅值直接验证。对于 D=0.60 的波形，可以看出 V_{HS1} 每次电压跳变幅值均相等，由此可证明良好的均压。D=0.75 时，通过测试两路 V_{ds} 电压也验证了均压效果。但是从 V_{HS1} 波形可以发现，此时其电压跳变幅值似乎并不一致。分析原因，结合式 (2-9) 所示的等效占空比 D_{eq} 的计算以及 V_{HS1} 波形，可知这是由于在该电压工况下 D_{eq} 已经接近于 0 导致的。

测量 V_{HS1} 波形可知，其电压跳变幅值为此时电压工况对应的一个中间母线电压 V_{bus} 的值。电感的另一端连接直流输入源 V_{in} ，并且输入源的电压值介于 V_{HS1} 波形的高低电平之间， V_{in} 与 V_{HS1} 之间的电压差即为功率电感 L_c 上的伏秒变化。因此，电感伏秒变化中的伏稳态时将小于一个中间母线电压。这验证了多电平技术减小电感伏秒中伏的作用。

此外，从图中可以看出采用载波移相控制后，成功实现了电感电流纹波频率

的倍频：每个单元的开关频率 f_{s_c} 为 50kHz，测得的电感伏秒和电感电流频率为 600kHz，12 倍频。由此，验证了多电平技术减小电感伏秒中秒的作用。

总而言之，在该 12 单元 CMB0 样机中，由于多电平技术同时减小了功率电感的伏和秒，仅靠较小的功率电感值，6.6uH，就实现了 200-400V 输入到 400-800 输出很宽的电压变换范围。而小电感值，意味着小的电感体积和电感损耗。

2.2.4 CMB0 设计方法可行性验证与效率测试

在验证了样机正常工作的情况下，对图 2.18 所示样机进行效率测试，并与理论分析比较，以验证所提出的基于多电平电路最小损耗模型的参数设计方法可行性，以及 CMB0 的高效率和高功率密度优势。

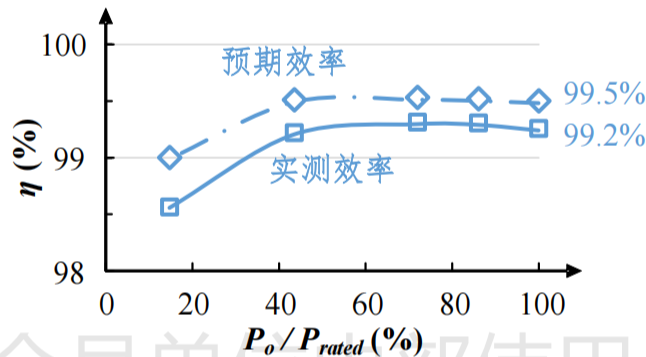


图 2.20 额定电压工况下 CMB0 效率测试结果

图 2.20 给出了额定电压工况下 CMB0 电路的效率随负载比例的变化曲线。其中，实线为实测效率，虚线为设计时的预期效率。从图中可以看出，CMB0 电路峰值效率达到了 99.3%，满载效率为 99.2%，在 40%-100% 负载范围内都能够实现 99% 以上。

可见，设计时考虑了很宽的电压范围，即使高电气应力导致器件利用率不足的问题还存在，CMB0 仍然在额定电压工况实现了非常良好的效率。这是因为使用多电平技术后，一方面，电感伏秒大幅降低，电感损耗很小；另一方面，器件能够使用 NFoM_{oss} 更低的低压 GaN 器件，而根据本文提到的多电平统一的器件最小损耗模型可知，NFoM_{oss} 越低，器件损耗越小，由此优化了器件利用率导致的器件损耗问题。

然而，通过对比实测效率和预期效率也可以发现，实测与预期之间仍然存在一定的偏差，全负载范围内实测效率比预期效率低 0.3%-0.4%。图 2.21 给出了前级 CMB0 电路初步的损耗分解，其中，器件损耗占据比例最大。图 2.22 给出

了额定电压工况下的满载热图。

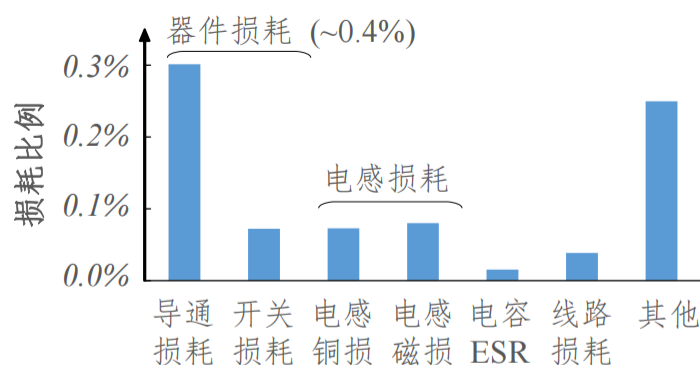


图 2.21 额定电压工况 CMBo 的满载损耗分解

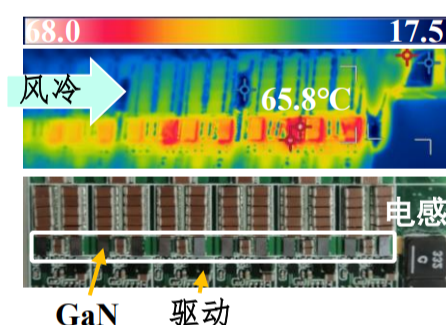


图 2.22 额定电压下 CMBo 满载热图

分析实测效率与预期效率之间的误差，可能有如下几个原因。其一，GaN 器件实际开关工作时存在沟道电阻增大的现象，虽然在设计时考虑了动态电阻系数来进行修正，但是可能取值比实际情况偏小；其二，电感器在流过较大电流时其电感值会衰减，从而导致更大的电感电流纹波，进而导致更大的电感磁损；其三，线路中存在的其他欧姆性损耗，因为器件本身沟道电阻已经很小， $3.2\text{m}\Omega$ ，线路中其他的寄生电阻损耗已经不可忽略。关于寄生电阻部分，主要有两个部分有待进一步的验证，一个是采用的 GaN 器件采用的 LGA (Land Grid Array) 封装较小，自行焊接时可能由于部分焊点接触不良，从而导致明显的接触电阻；另一个是在本文的设计中为了方便调试与拆卸，每一个级联的单元均采用了子板的形式，子板与母板之间由包边连接，焊锡连接质量较差，从而可能造成不可忽略的连接损耗。对于实测效率与预期效率仍存在较大偏差的情况，后续有待进一步研究。

2.3 元胞化兆赫兹 DCX 的高效高密度设计与验证

2.3.1 DCX 电路的工作原理与 NFoM 损耗模型

对于 SRC-DCX 电路，为方便分析，暂定原边逆变结构为半桥，副边整流单元为全桥，以单个单元的结构为例简单介绍工作原理，电路拓扑结构如图 2.23 所示，并做出如下假设：

- 1) 图 2.23 中，电感、电容、变压器和开关管等元器件均为理想器件；
- 2) DCX 的输入电容 C_{in} 和输出电容 C_o 足够大，输入电压和输出电压可以近似看做电压源；
- 3) 该谐振电路工作在理想的谐振点，且处于稳定状态；
- 4) 为简化分析，忽略同步整流管 SR_{1-4} 的结电容、变压器层间电容和线路杂散电感等寄生参数。

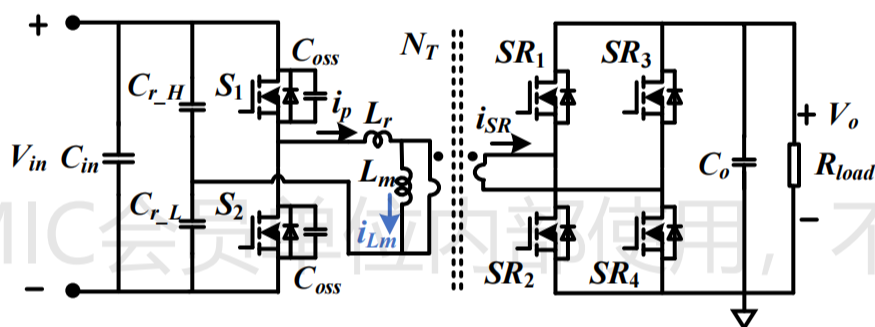


图 2.23 SRC-DCX 拓扑结构

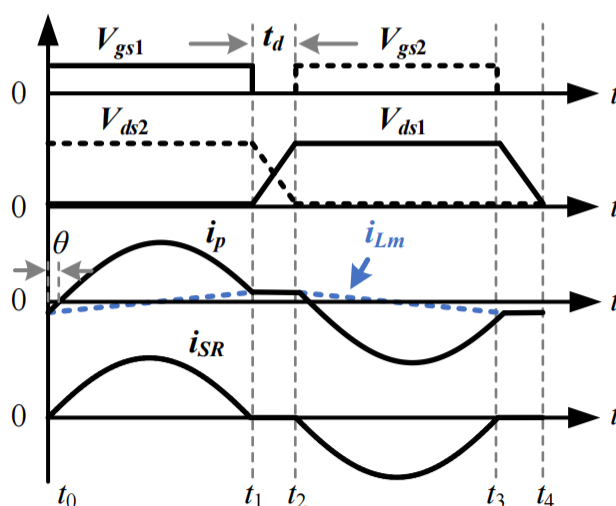


图 2.24 SRC-DCX 电路的关键波形图

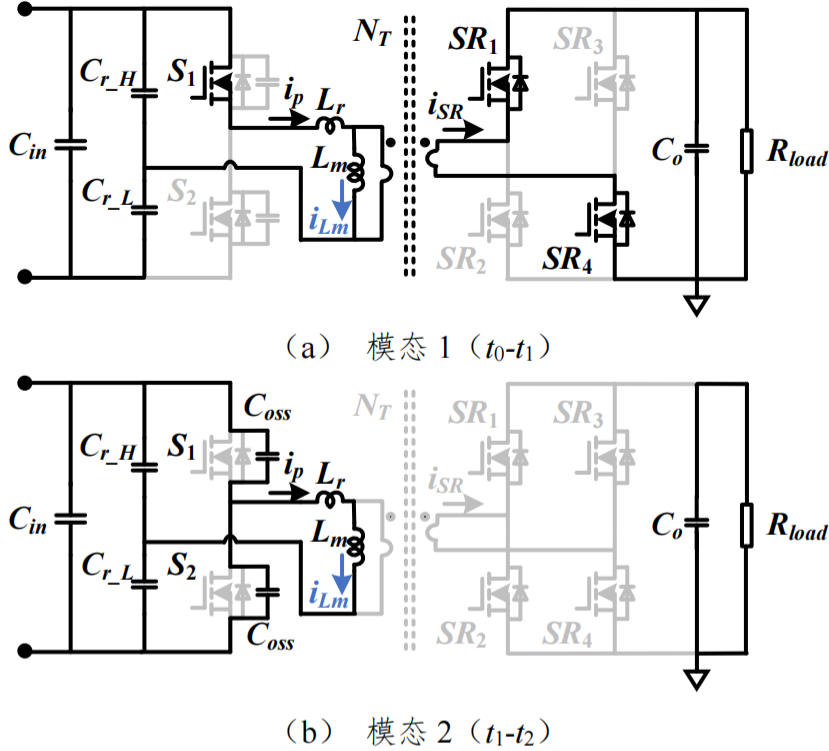


图 2.25 SRC-DCX 模态等效电路图

在一个开关周期内，可以将电路分为四个模态：

模态 1 (t_0-t_1)：谐振阶段，开始时刻为原边开关管 S_1 沟道导通，整流管 SR_1 、 SR_4 同步导通， S_2 、 SR_2 、 SR_3 关断，此时的等效电路图如图 2.25 (a) 所示。在这个模式下，变压器两端的电压被副边电压箝位，此时励磁电流 i_{Lm} 线性上升。由于输入电容 C_{in} 的电容值远大于谐振电容 C_{r_H} 和 C_{r_L} ，因此这三个电容可以等效看做 C_{r_H} 与 C_{r_L} 并联，共同作为谐振电容。在该模式下谐振电容与谐振电感 L_r 进行谐振，谐振电流为 i_p ，直至半个谐振周期 $T_r/2$ 后的 t_1 时刻，谐振电流 i_p 与励磁电流 i_{Lm} 大小相等，副边电流 i_{SR} 电流到零。此时关断开关管 S_1 的驱动信号，整流管 SR_{1-4} 均关断，该模态结束。

模态 2 (t_1-t_2)：死区阶段，开始时刻为原边开关管 S_1 沟道关断，此时 S_2 、整流管 SR_{1-4} 关断。因为整流管 SR_{1-4} 没有电流流过，整流结构和变压器从电路中断开连接，变压器原边不再向副边侧传递能量。该模态为励磁电流对开关管结电容 C_{oss} 进行充放电，实现软开关的过程。通常情况下，励磁电感 L_m 远大于使用变压器漏感作为谐振电感的 L_r ，该模式下励磁电感与谐振电感串联，因此主要为励磁电感 L_m 与管子结电容 C_{oss} 进行谐振，其谐振周期远大于该模态时间也就是死区时间 t_d 。所以，励磁电流 i_{Lm} 在该模式下可以近似看做电流大小不变，幅值为 I_{Lm} 。

将励磁电流等效为恒流源后，很容易发现结电容 C_{oss} 的电压将线性变化，对应器件的 V_{ds} 电压线性变化，直到下管的 V_{ds2} 的电压下降为 0 的 t_2 时刻，此时开关管 S_2 驱动信号置高， S_2 沟道导通，整流管 SR_2 、 SR_3 同步导通，进入下一个模态。

由于负半周的两个模态分析类似正半周，这里不再赘述。对于模态 1，由于电路工作在谐振点，谐振腔上的压降为 0。因此，正半周工作时，变压器两端的电压与 C_{r_H} 保持一致；负半周工作时，变压器两端的电压与 C_{r_L} 保持一致。由于变压器正常工作时会进行磁复位，正负伏秒保持一致，因此电容 C_{r_H} 和 C_{r_L} 电压相等。而 C_{r_H} 和 C_{r_L} 的电压之和等于输入电压，因此，谐振电容 C_{r_H} 和 C_{r_L} 上的电压以及变压器两端的电压均为输入电压的一半。根据图 2.24 和上述分析，有：

$$V_{Cr_H} = V_{Cr_L} = \frac{V_m}{2} \quad (2-19)$$

$$V_m = 2N_T V_o \quad (2-20)$$

$$T_s = T_r + 2T_d \quad (2-21)$$

$$I_{Lm} = \frac{V_m T_r}{8L_m} \approx \frac{V_m T_s}{8L_m} \quad (2-22)$$

从模态分析来看，SRC-DCX 电路所有开关管都能实现零电压开通和小电流关断，整个电路开关损耗很小，其器件损耗主要为导通损耗。文献[46]推导并给出了 SRC-DCX 电路原、副边的器件导通损耗的模型，可以将其应用在图 2.23 所示结构，并得到相应表达式。

对于原边器件导通损耗，可得如下式子：

原边电流表达式 $i_p(t)$ 为：

$$i_p(t) = I_p \sin\left(\frac{2\pi}{T_r}t - \theta_p\right) \left(t_0 < t < t_0 + \frac{T_r}{2}\right) \quad (2-23)$$

式中， I_p 为原边电流的峰值， θ_p 为原边电流的相移角，满足如下关系式：

$$I_p = \sqrt{\frac{4C_{o(tr)-p}^2 V_m^2}{t_d^2} + \frac{\pi^2 P_o^2 T_s^2}{4V_m^2 T_r^2}} \quad (2-24)$$

$$I_{Lm_p} = \frac{2C_{o(tr)-p}V_{in}}{t_d} \quad (2-25)$$

$$\theta_p = \arcsin\left(\frac{I_{Lm_p}}{I_p}\right) = \arcsin\left(\frac{2C_{o(tr)-p}V_{in}}{t_d I_p}\right) \quad (2-26)$$

式中, $C_{o(tr)-p}$ 为单颗原边器件的时间等效结电容。上述原边电流 $i_p(t)$ 的表达式, 可求得原边电流的有效值 i_{prms} 以及原边器件导通损耗为 P_{pcon} :

$$I_{prms} = \sqrt{\frac{\int_{t_o}^{t_o + \frac{T_r}{2}} i_p^2(t) dt}{T_s / 2}} = \sqrt{\frac{T_r}{T_s}} \cdot \frac{I_p}{\sqrt{2}} \quad (2-27)$$

$$P_{pcon} = I_{prms}^2 R_{dson_p} = \left(\frac{2C_{o(tr)-p}^2 V_{in}^2 T_r}{t_d^2 T_s} + \frac{\pi^2 P_o^2 T_s}{8V_{in}^2 T_r} \right) \cdot R_{dson_p} \quad (2-28)$$

式中, R_{dson_p} 为原边器件的沟道电阻。对于式 (2-28) 所示的损耗公式, 我们可以将其整理为如下的形式:

$$P_{pcon} = A \cdot C_{o(tr)-p}^2 \cdot R_{dson_p} + B \cdot P_o^2 \cdot R_{dson_p}, \quad A = \frac{2V_{in}^2 T_r}{t_d^2 T_s}, \quad B = \frac{\pi^2 T_s}{8V_{in}^2 T_r} \quad (2-29)$$

式中 A 和 B 均为常数。可以看出该电路中, 器件导通损耗可以分为两个部分, 系数 B 对应的部分与输出功率以及器件沟道导通电阻 R_{dson} 有关, 这部分可以通过选用更低 R_{dson} 的器件来降低损耗。但是, 对于相同材料、结构和工艺的器件, 同一个耐压相同系列的器件中, 其时间等效输出结电容 $C_{o(tr)}$ 与沟道导通电阻 R_{dson} 的乘积也近似为一个定值^[2], 也就是 NFoM, 如式 (2-30) 所示。当选用更低 R_{dson} 的器件时, 其结电容 $C_{o(tr)}$ 将会增大, 从而导致导通损耗公式中系数 A 对应的部分损耗增大, 这是因为更大的结电容会导致更大的励磁电流。由于式 (2-29) 所示损耗公式同时存在两个变量, 没办法根据损耗公式优选出合适的器件, 为了简化设计流程, 可以将式 (2-30) 代入式 (2-29) 中, 进一步得到式 (2-31) 所示的原边器件导通损耗表达式。DCX 副边侧的器件导通损耗同理, 如式 (2-32) 所示。

$$\text{NFoM} = R_{dson} C_{o(tr)} \quad (2-30)$$

$$P_{pcon} = \frac{2\text{NFoM}_p^2 V_{in}^2 T_r}{t_d^2 T_s} \cdot \frac{1}{R_{dson_p}} + \frac{\pi^2 P_o^2 T_s}{2V_{in}^2 T_r} \cdot R_{dson_p} \quad (2-31)$$

$$P_{scon} = 2 \cdot \left(\frac{8NFoM_s^2 V_o^2 T_r}{t_d^2 T_s} \cdot \frac{1}{R_{dson_s}} + \frac{\pi^2 P_o^2 T_s}{8V_o^2 T_r} \cdot R_{dson_s} \right) \quad (2-32)$$

给定器件耐压和系列的情况下，NFoM 的值可以由统计得知，此时器件的导通损耗将只与导通电阻 R_{dson} 有关。因此，可以使用该损耗公式来评估不同耐压器件的导通损耗表现，以及选择出合适的 R_{dson} 。观察上述损耗公式，可以发现这是一个对勾函数，其存在一个最小导通损耗值：

$$P_{pcon_min} = \frac{2\pi P_o NFoM_p}{t_d} \quad (2-33)$$

$$P_{scon_min} = \frac{4\pi P_o NFoM_s}{t_d} \quad (2-34)$$

可以看出，功率确定的情况下，最小器件导通损耗与死区时间 t_d 和 NFoM 参数有关。其中，死区时间 t_d 受限于开关频率，通常无法灵活调节：固定开关频率与输出功率的情况下，死区越大，输入源向输出传递功率的时间占比越小，流过变压器绕组的电流有效值越大，从而导致更大的绕组损耗。为了平衡器件导通损耗和绕组导通损耗，通过不断增大死区时间 t_d 来降低器件最小导通损耗的方法是不可行的。在本文中，死区时间固定为 80ns。相对的，可以考虑选用 NFoM 值更低的器件来优化器件的导通损耗。通常来说，器件耐压越低，其 NFoM 值越小。以英飞凌现有的商业化器件为例，不同耐压器件的 NFoM 值如图 2.26 所示。

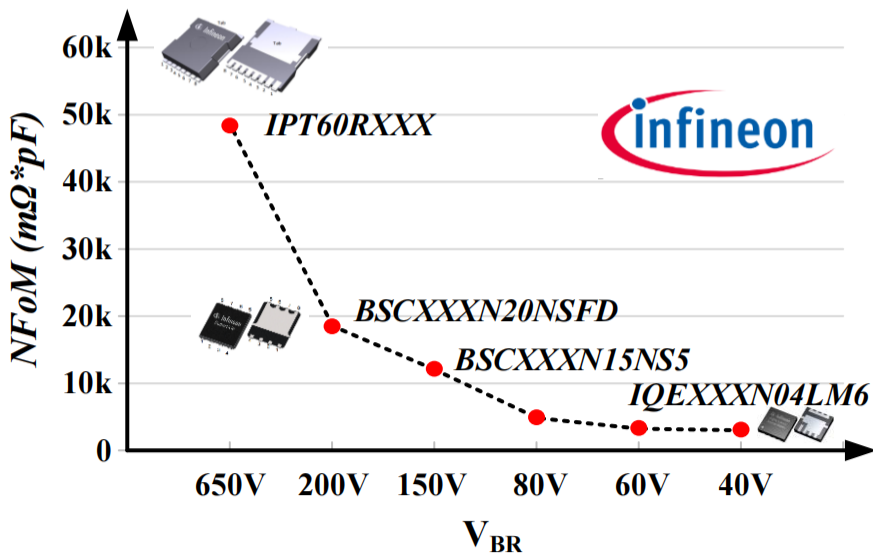


图 2.26 产品化硅器件 NFoM 值与耐压的关系^[47]

更低耐压的器件，因其 NFoM 值更低，能够取得更低的最小导通损耗，但是需要通过器件串联的方式来承担更高的电压。文献[2]已经推导证明了器件串联或电路串联之后，上述损耗模型同样成立，且串联器件之后其等效 NFoM 值与单颗器件的 NFoM 值保持一致。下面利用该模型分别进行原、副边器件的优化设计。

2.3.2 基于器件 NFoM 损耗模型的元胞化 DCX 优化设计方法

本文采取的两级结构中，每个 DCX 元胞各自连接一个中间母线，由于 CMB 电路本身为级联关系，因此可以将图 1.9 所示后级 DCX 结构等效为元胞直接串联的电路来进行设计，如图 2.27 所示，等效的输入电压与所有中间母线电压的总和 V_{bus_total} 相等，为 408-816V (672V)，输出 17-34V (28V)，2.5kW。为了实现两级 98% 的满载效率目标，可以 DCX 的预期效率目标设置为 98.5%，结合调研和初步的损耗分析，将损耗占比最大的原边器件导通损耗、整流管导通损耗和变压器损耗的预期损耗限制分别确定为 0.3%、0.3% 和 0.8%，按照额定电压工况满载进行设计。DCX 部分采用英飞凌公司的商业化硅基器件进行评估设计。

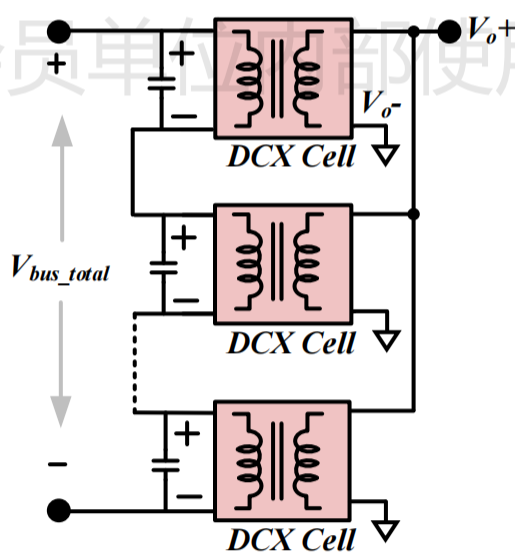


图 2.27 等效的元胞化 DCX 电路结构

在高电压输入、低电压输出的情况下，将 DCX 原边侧逆变部分确定为半桥结构。对于副边侧，全桥整流对比中抽整流来说，能够使用耐压更低 NFoM 特性更良好的器件，且绕组利用率高，因此选择了全桥整流结构。应用上一节中所提及的损耗模型，可得原边器件导通损耗比例的表达式为：

$$P_{pcon} / P_o = \frac{2NFoM_p^2 V_{in}^2 T_r}{t_d^2 T_s P_o} \cdot \frac{1}{R_{dsonp_eq}} + \frac{\pi^2 P_o T_s}{2V_{in}^2 T_r} \cdot R_{dsonp_eq} \quad (2-35)$$

式中, R_{dsonp_eq} 为器件 n_p 颗串联之后的等效沟道电阻, 与单颗器件 R_{dson} 的关系为:

$$R_{dsonp_eq} = n_p R_{dson} \quad (2-36)$$

器件串联需要的最小数量 n_p , 由需要承担的总电压并考虑一定裕量来确定。例如在本文中, 选用 600V 的器件时, $n_p=2$; 选用 200V 器件时, $n_p=5$; 选用 80V 器件时, $n_p=12$ 。根据式 (2-35) 和调研得到的不同耐压的 NFoM 值, 可以绘制出不同耐压下的器件导通损耗比例与器件 R_{dson} 的关系, 如图 2.28 所示。

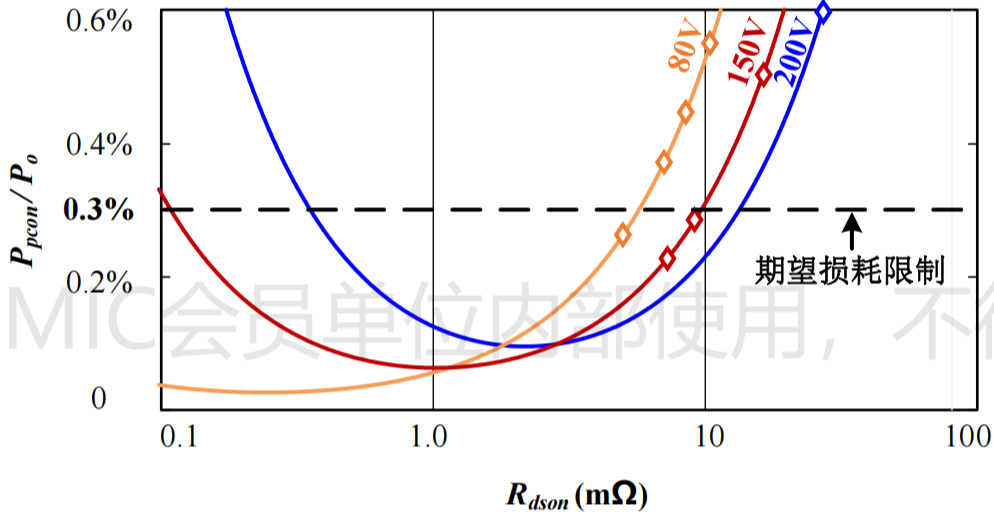


图 2.28 各耐压下器件导通损耗比例与沟道电阻的关系

上图给出了英飞凌 BSCxxx 系列和 IQExxx 系列的 80V、150V 和 200V 器件应用在本文工况下对应的器件导通损耗曲线。由于低压器件具备更低的 NFoM, 所以对应的谷底损耗更小, 与上一节的分析一致。曲线上的标号处代表现有商业器件可选的 R_{dson} 值。对于 200V 耐压的器件来说, 虽然其谷底损耗能够满足 0.3% 预期器件导通损耗的限制, 不考虑器件并联的情况下, 该系列最小 R_{dson} 值为 22mΩ, 对应的损耗约为 0.6%。而对于 150V 耐压的器件, 已经存在可选的商业器件使导通损耗满足要求, 因此可以选择 150V 及以下的器件。考虑到前级为 12 个单元, 且 DCX 的每个元胞需要各自连接一个中间母线, 所以这里 DCX 的原边选择了 12 个单元对应的 80V 器件, R_{dson} 的值选择为 5mΩ。

对于副边侧整流管的损耗, 同样可以应用上一节得到的损耗模型。由于 DCX

能够在全电压范围内都实现软开关，开关时产生的电压尖刺几乎可忽略，因此对于 17-34V 的输出电压范围，全桥整流结构中选择 40V 的器件即可。为了应对大电流输出，可以选择多组器件并联以降低等效沟道电阻 R_{dson_eq} ，其导通损耗占比表达式为：

$$P_{scon} / P_o = 2 \cdot \left(\frac{8NFoM_s^2 V_o^2 T_r}{t_d^2 T_s P_o} \cdot \frac{1}{R_{dsons_eq}} + \frac{\pi^2 P_o T_s}{8V_o^2 T_r} \cdot R_{dsons_eq} \right) \quad (2-37)$$

式中， R_{dsons_eq} 为器件 n_s 颗并联之后的等效沟道电阻，与单颗器件 R_{dson} 的关系为：

$$R_{dsonp_eq} = \frac{R_{dson}}{n_s} \quad (2-38)$$

器件串联需要的最小数量为 n_s 。根据式 (2-37) 所示表达式，可以绘制出不同器件并联数量下的器件导通损耗比例曲线，如图 2.29 所示。副边侧器件导通损耗比例预期为 0.3%。

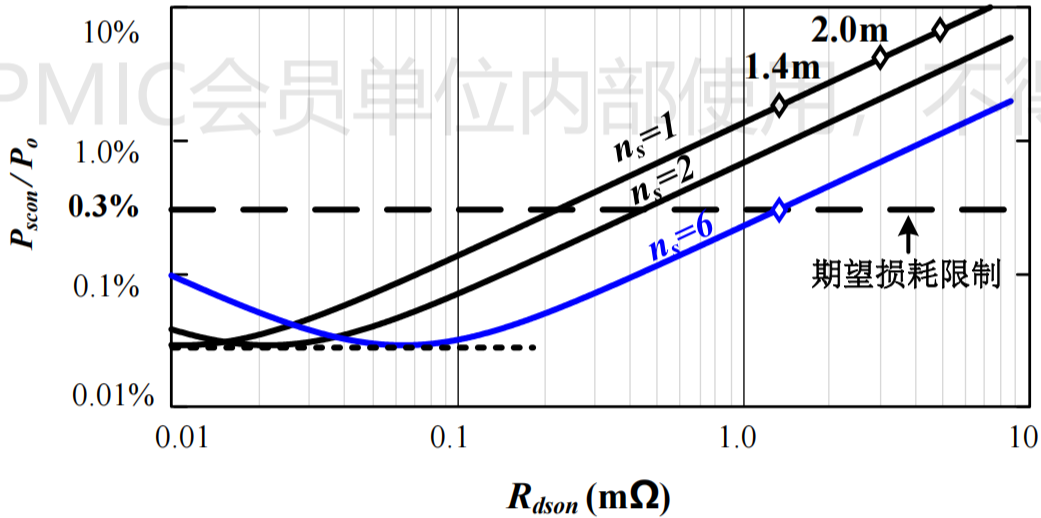


图 2.29 不同并联数量时器件导通损耗比例与沟道电阻的关系

对于 40V 的器件，该系列商业器件最小的 R_{dson} 值为 1.4mΩ，当并联数量 $n_s=1$ 时，其对应的器件导通损耗比例约为 2%，远大于期望损耗限制。当增大并联数量 n_s 时，器件的谷底损耗保持不变，这是因为器件的 NFoM 不变；同时，整体损耗曲线会向右偏移，对于 R_{dson} 为 1.4mΩ 的器件来说，此时导通损耗比例会先下降。当并联数量达到 6 颗并联时，可以发现 R_{dson} 为 1.4mΩ 的器件对应的导通损耗比例已经符合了期望损耗限制，因此确定副边侧器件并联数量为 6，且选用

40V, 1.4mΩ 沟道电阻的器件。为了实现更好的并联均流效果以及可靠性, 使用电路并联代替器件直接并联, 因此 DCX 副边侧为 6 组并联的全桥整流。

2.3.3 高频平面变压器设计

DCX 等效输入电压为 408-816V, 输出电压为 17-34V, 因此总的电压变比 M 为 24:1。根据上一节的设计, DCX 原边侧为 12 组半桥, 由此可以确定变压器的匝比 $N_T=1$, 每个元胞电路原边对应的绕组匝数为 1 匝。副边侧有 6 组全桥整流, 每组全桥各自对应一组副边绕组, 副边绕组匝数也为 1。为了简化高频平面变压器的设计, 选择了副边侧每个整流结构每两匝绕组进行并联, 这样每匝原副边绕组上的电流大小较为接近, 能够取得更理想的交错效果, 以充分降低磁动势 (Magnetomotive Force, MMF) 和绕组电流分布的不均匀。由此, 确定了变压器总的原边匝数 N_p 和 N_s 为:

$$N_p = N_s = 12 \quad (2-39)$$

此时, 可以发现变压器的总绕组数量达到了 24 匝, 在总输出电流较大, 一层 PCB 绕一匝绕组的情况下, 变压器的层数会过多, 不利于成本和设计, 过高的磁芯也不利于功率密度。为此, 可以将其拆分为两个磁芯, 每个磁芯对应 12 匝绕组。磁芯选用 EI 型磁芯, 材料为 DMR51W, 如图 2.30 所示。PCB 每层铜厚 3oz。

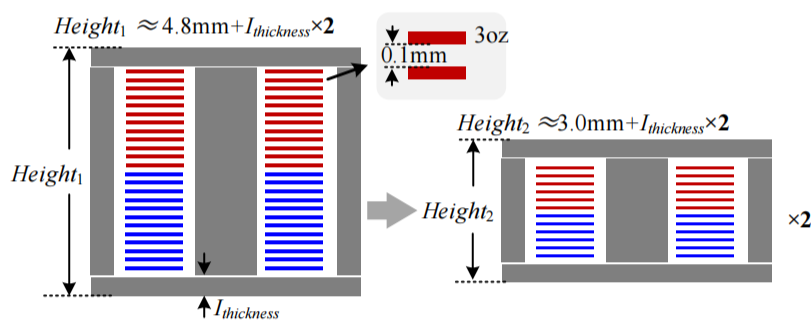
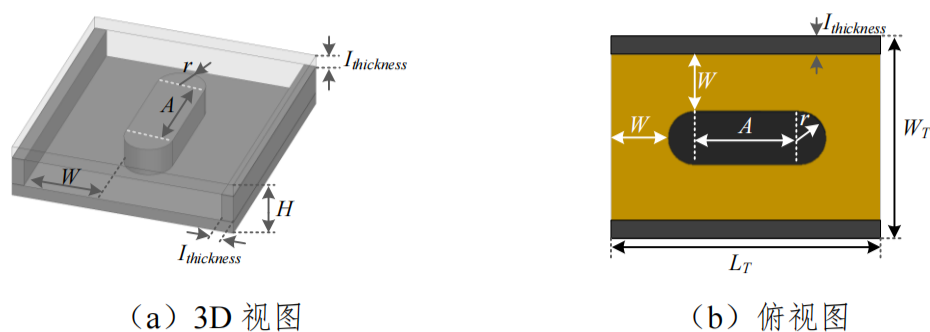


图 2.30 拆分为两个磁芯示意图



(a) 3D 视图

(b) 俯视图

图 2.31 磁芯形状与磁芯尺寸参数定义

定义磁芯的 I 片厚度为 $I_{thickness}$ ，为保证 I 片与边柱的磁通密度一致，磁通方向上 I 片的截面积与边柱截面积应当相等，由此确定边柱的宽度也为 $I_{thickness}$ ；中柱截面为跑道型，定义跑道长度为 A ，跑道圆弧半径为 r ；整个磁芯高度为 H ，绕组宽度为 W 。为了充分利用垂直方向上的空间，可以令 I 片厚度与 PCB 板上最高的器件高度保持一致，以实现更高的功率密度，如图 2.32 所示，由此可以确定的 $I_{thickness}$ 值为 1.7mm。

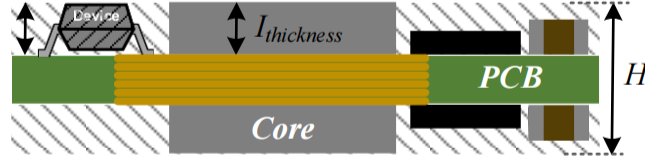


图 2.32 根据 PCB 上器件最大高度选取 I 片厚度

变压器的预期损耗限制为 0.8%，主要损耗为变压器磁芯的磁损 P_{core} ，以及绕组部分的铜损 P_{Cu} 。

对于变压器的磁损，假设磁芯中磁通均匀分布，磁损可以由下式计算得到：

$$P_{core} = k_{core} \cdot P_v \cdot V_{core} \quad (2-40)$$

式中， V_{core} 表示磁芯的有效体积， P_v 为磁芯的损耗密度，通常与磁芯的材料、磁芯中的磁通变化频率与变化量 ΔB 有关， k_{core} 为考虑磁通分布不均匀等因素导致的实际磁损偏大的修正系数。材料的磁损密度曲线可由磁芯厂商提供的数据手册中数据拟合得到，例如 DMR51W 在 1MHz 频率下磁损密度 P_v 随最大平均磁通密度 ΔB 变化的拟合公式为：

$$P_v = 0.216 \cdot \Delta B^{3.465} \quad (2-41)$$

式中， P_v 的单位为 W/m³， ΔB 的单位为 mT。 ΔB 与变压器上的最大伏秒有关，根据本章 2.3.1 小节的模态分析和波形可得：

$$\Delta B = \frac{V_{lot} - \sec_{trans.}}{A_e} = \frac{N_T V_o (T_s - t_d)}{4 A_e} \quad (2-42)$$

其中， A_e 为磁通有效截面积，与磁芯中柱截面积相等，有：

$$A_e = 2\pi r + 2r \cdot A \quad (2-43)$$

同时，磁芯的边柱截面积为 $A_e/2$ ，因此有：

$$A_e / 2 = L_T \cdot I_{thickness} = (2r + 2W + A) \cdot I_{thickness} \quad (2-44)$$

联立式 (2-43) 和式 (2-44) 可以发现, 参数 A 可以用磁芯中柱跑道半径 r 和绕组宽度 W 表示:

$$A = \frac{4I_{thickness}(r+W) - \pi r^2}{2(r-D)} \quad (2-45)$$

经过上述分析, 在限制如图 2.31 所示 EI 型磁芯中柱、边柱以及 I 片的平均磁通一致, 边柱厚度与 I 片宽度一致的情况下, 整个变压器的形状可以由 r 和 W 唯一确定。因此变压器的磁损也应当是一个只与 r 和 W 有关的函数。

$$P_{core}(r, W) = k_{core} \cdot P_v(r, W) \cdot V_{core}(w, W)$$

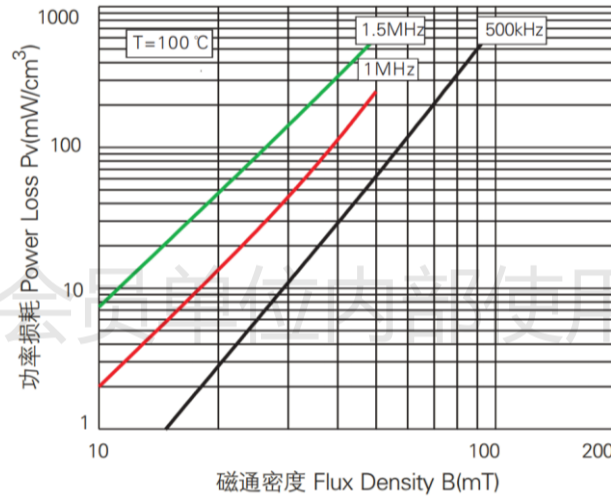


图 2.33 DMR51W 材料的磁损密度随磁通密度的变化曲线

对于变压器的铜损, 可由绕组电流有效值和绕组交流等效电阻 R_{ac} 计算求得。以原边绕组为例, 其电流有效值在式 (2-27) 中已经给出。对于图 2.31 的绕组形状, 可以通过微元积分的方式求出其直流电阻 R_{dc} 。由于高频电流和磁场变化的影响, 实际上绕组上的电流会因为趋肤效应、邻近效应以及气隙附近漏磁等因素导致电流分布不均匀, 从而增大绕组损耗。因此, 直流电阻还需要乘以一个经验系数 k_{ac} , 此时, 绕组 i 的等效交流电阻 $R_{ac,i}$ 为:

$$R_{ac,i} = k_{ac} R_{dc,i} = k_{ac} \cdot \left(\frac{\rho}{h} \cdot \frac{1}{\ln[2\pi(r+W)+2A] - \ln(2\pi r + 2A)} \right) \quad (2-46)$$

式中, ρ 表示铜的电阻率, h 为 PCB 每层铜厚。将式 (2-45) 代入上式, 可以发现变压器的铜损同样可由参数 r 和 W 表示。

因此，变压器部分的损耗 P_T 主要由 r 和 W 决定。图 2.34 分别以 r 和 W 为横纵坐标，绘制出了不同 (r, W) 组合下的变压器损耗等高线和变压器封装面积 S_T 等高线。

$$P_T(r, W) = P_{core}(r, W) + P_{Cu}(r, W) \quad (2-47)$$

$$S_T(r, W) = W_T \cdot L_T = (2I_{thickness} + 2r + 2W) \cdot (2r + 2W + A(r, W)) \quad (2-48)$$

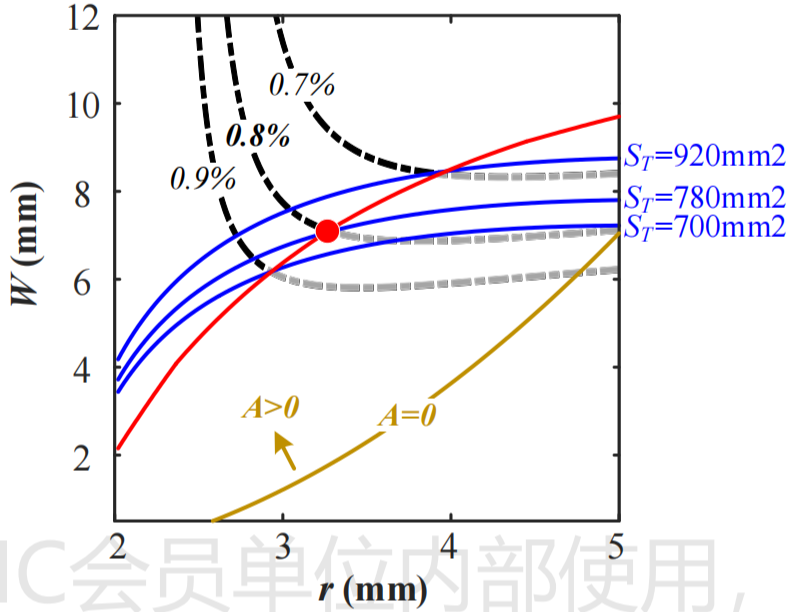
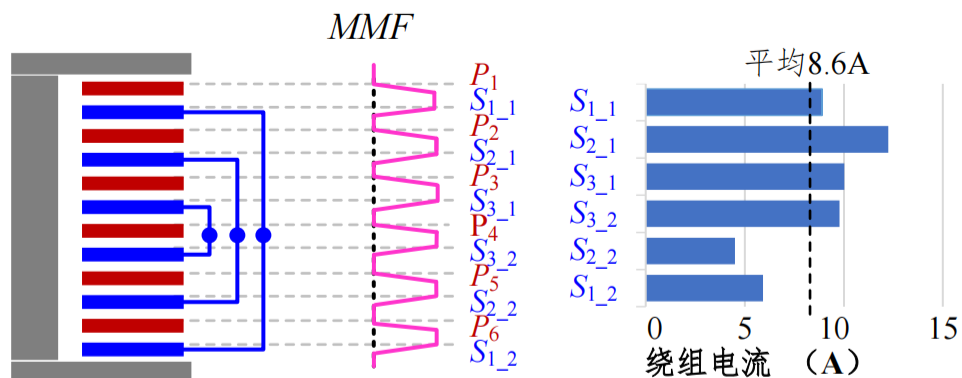


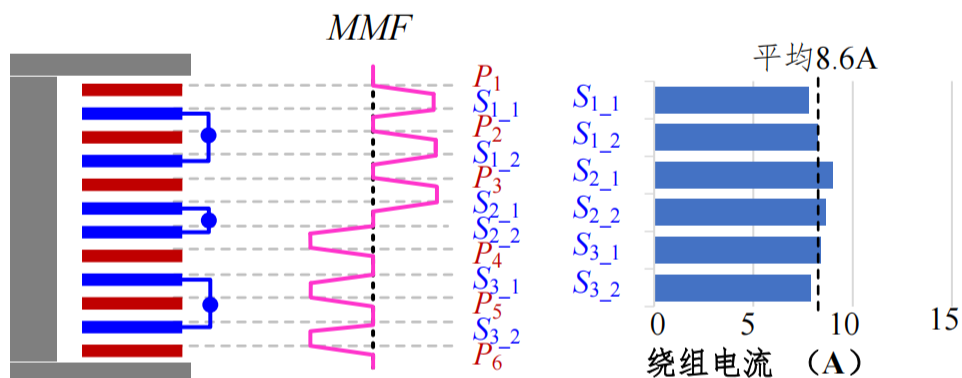
图 2.34 不同 (r, W) 组合下的变压器损耗与封装面积等高线

在本文中，根据磁芯材料的损耗密度曲线，限制最高输出电压 34V 时对应的 ΔB 不超过 70mT，那么在额定电压输出时，最大平均磁通密度 ΔB 应当小于 58mT，如图中的红色线所示。变压器中柱的跑道长度 A 应当大于 0，如图中黄色曲线所示。结合本文 0.8% 变压器损耗的限制，确定了如下的磁芯参数：中柱跑道半径 $r=3.2\text{mm}$ ，绕组宽度 $W=7\text{mm}$ 。

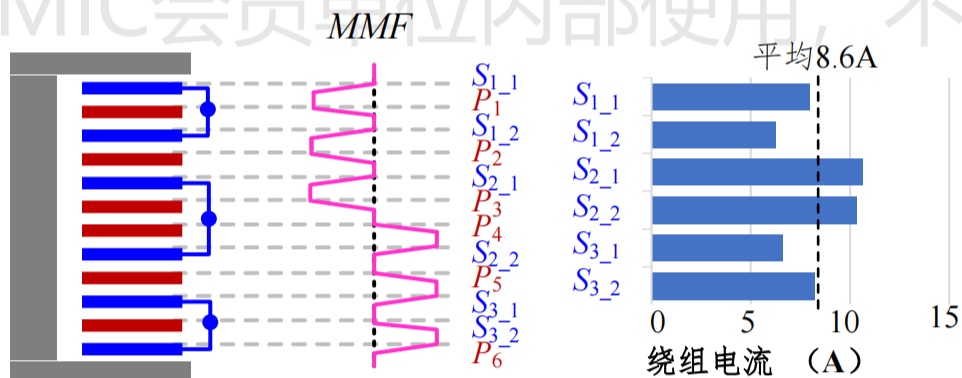
确定了变压器和绕组的尺寸参数的情况下，下面结合 MAXWELL 磁仿真软件的 3D 有限元仿真分析 (3DFEA)，确定绕组的排布情况。在本文的 DCX 结构中，变压器的副边侧存在绕组直接并联和整流结构的并联，绕组的排布方式会显著影响绕组的均流效果。不均流现象会导致电流的有效值增加，从而增加绕组的导通损耗。下图给出了 3 种 MMF 较小的排布方式，以及它们对应的副边绕组电流分布情况。其中，蓝色线相连的两匝绕组代表绕组的直接并联。



(a) 排布 1 及其副边绕组电流分布



(b) 排布 2 及其副边绕组电流分布



(c) 排布 3 及其副边绕组电流分布

图 2.35 绕组排布方式对绕组均流的影响

对于上图三种绕组排布方式，观察可以看出第二种电流分布情况是最均匀的。为了能够定量的分析，可以计算各副边绕组电流的有效值平方之和 $\sum I_{rms}^2$ 来判断导通损耗的增加情况。上述三种排布下，与平均值相比， $\sum I_{rms}^2$ 分别增加了 9%、0.3%和 4%。因此，选择了第二种绕组排布方式。

2.3.4 DCX 变压器励磁电感值设计方法

对于 DCX 来说，还需要对其励磁电感的值进行设计，因为励磁电感会影响

软开关的实现。为了分析软开关的过程，以一个元胞电路为例，将 DCX 主电路原边侧等效为下图所示的等效电路。

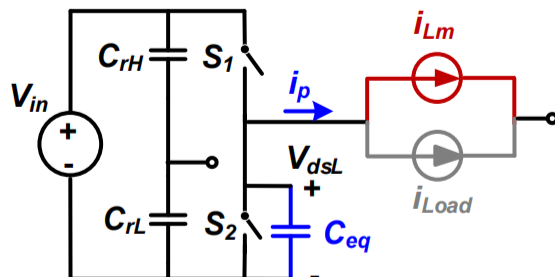


图 2.36 DCX 主电路等效电路图

图中， C_{eq} 为等效结电容； C_{rH} 和 C_{rL} 为谐振电容，其值远大于等效电容 C_{eq} ，死区时间内可等效为电压源； V_{dsL} 为下管的漏源极电压； i_p 为 DCX 原边谐振腔的电流，由励磁电流 i_{Lm} 和负载电流 i_{Load} 组成。其中，励磁电流可以近似看做一个三角波，负载电流接近正弦波。

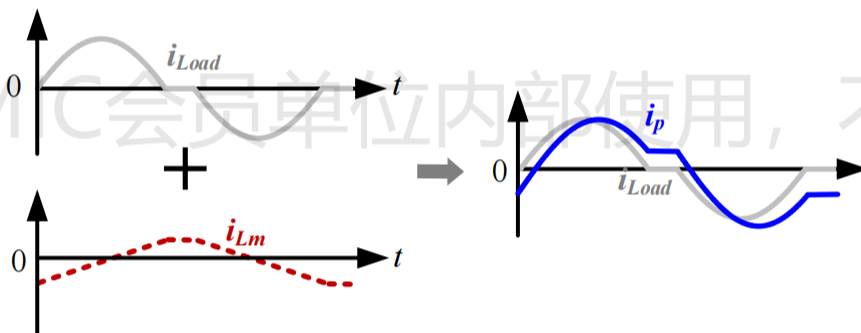


图 2.37 DCX 谐振腔电流分解示意图

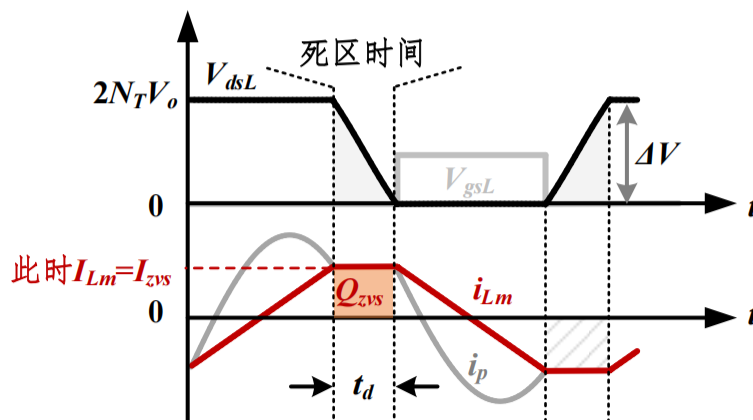


图 2.38 DCX 的 ZVS 关键波形图

ZVS 的实现发生在死区时间内。可以发现当进入死区时间后，负载电流 i_{Load} 已经下降为 0，此时谐振腔电流 i_p 与励磁电流 i_{Lm} 相等，由励磁电流对等效结电容 C_{eq} 进行充放电。励磁电流在死区时间内电流大小几乎不变，其幅值为 I_{Lm} ，式 (2-22) 已经给出了 I_{Lm} 与输入电压 V_{in} 、励磁电感 L_m 之间的关系。理想情况下，当 V_{ds} 电压下降为 0 之后，驱动信号 V_{gs} 立刻置高，死区时间时长为 t_d ，此时为恰好实现 ZVS 的情况，对应的励磁电流幅值定义为 I_{zvs} ，等效结电容 C_{eq} 上变化的电荷为 Q_{zvs} 。不难得出：

$$\begin{cases} Q_{zvs} = C_{eq} \cdot \Delta V = C_{eq} \cdot (2N_T V_o) \\ I_{zvs} = \frac{Q_{zvs}}{t_d} = \frac{2N_T C_{eq} V_o}{t_d} \end{cases} \quad (2-49)$$

为了保证实现 ZVS，实际的励磁电流幅值应当不小于 I_{zvs} ，即：

$$I_{Lm} \approx \frac{N_T V_o}{4f_s L_m} \geq I_{zvs} \quad (2-50)$$

将式 (2-49) 代入式 (2-50)，可直接求解出为了实现软开关所需要励磁电感的边界条件为：

$$L_m \leq \frac{t_d}{8f_s C_{eq}} \quad (2-51)$$

从上述表达式可以看出，为了保证 ZVS 的实现，励磁电感的取值边界与死区时间 t_d 、开关频率 f_s 和等效结电容 C_{eq} 有关。在本文中，死区时间 t_d 为 80ns，开关频率约为 1MHz，因此还需要知道 C_{eq} 的值。

为此，图 2.39 给出了死区时间内的等效电路图。等效电容 C_{eq} 主要可以分为三个部分：原边开关管的结电容、整流管的结电容以及变压器的层间电容。

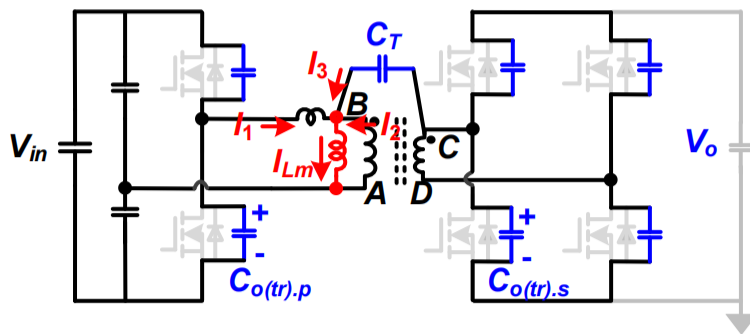


图 2.39 死区时间内 DCX 的等效电路图

对于器件的结电容部分，可以通过器件厂商提供的器件数据手册中的 C_{oss} 结电容特性拟合提取。以原边器件 IQE050N08NM5 为例，其 C_{oss} 特性曲线如下：

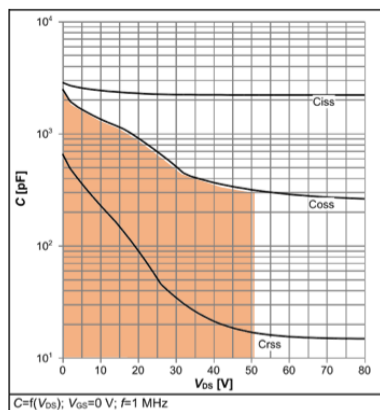


图 2.40 IQE050N08NM5 器件的结电容特性

这是静态测试的结果，对于分析 ZVS 的过程，需要对该曲线进行积分并求平均得到时间等效结电容 $C_{o(tr)}$ ，积分的区间为器件工作的电压范围，如图 2.40 中的橙色阴影区域。阴影区域的面积即为一次开关动作时器件结电容上变化的电荷量。所求出来的时间等效结电容 $C_{o(tr)}$ 即为所需要的 C_{eq} 中器件部分的电容。积分的电压区间不同， $C_{o(tr)}$ 也不同。因此器件部分的电容 $C_{o(tr).p}$ 、 $C_{o(tr).s}$ 是一个与输出电压 V_o 有关的值。

$$C_{o(tr).p}(V_o) = \frac{\int_0^{2N_T V_o} C_{oss}(V_{DS}) dV_{DS}}{2N_T V_o} = f_1(V_o) \quad (2-52)$$

$$C_{o(tr).s}(V_o) = \frac{\int_0^{V_o} C_{oss}(V_{DS}) dV_{DS}}{V_o} = f_2(V_o) \quad (2-53)$$

对于变压器部分的原副边层间电容部分，可通过分析绕组 dv/dt 分布得到。

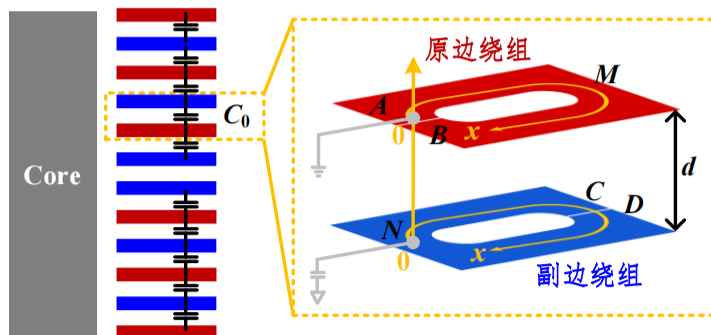


图 2.41 变压器相邻绕组的 3D 模型

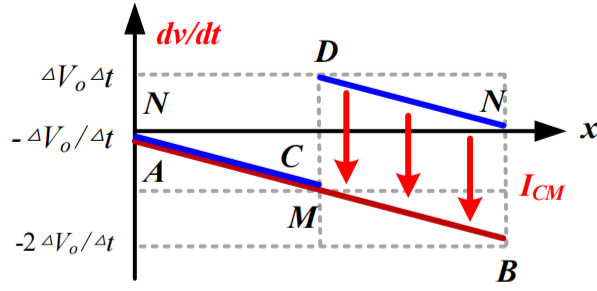
图 2.42 变压器相邻绕组的 dv/dt 分布

图 2.41 给出了相邻原副边绕组的 3D 模型图。根据电容极板公式，可以确定出两匝绕组间的物理电容 C_0 的值为：

$$C_0 = \frac{\epsilon_r \epsilon_0 S}{d} \quad (2-54)$$

式中， ϵ_r 为材料的相对介电常数， ϵ_0 为真空介电常数， S 为一匝绕组的面积， d 为两匝绕组的垂直间距。按照本文设计的变压器参数，单个物理电容 C_0 的值约为 250pF。观察图 2.42 的变压器原副边绕组 dv/dt 分布可以发现，只有半匝绕组在传递共模电流，因此有：

$$I_{CM} = 0.5C_0 \cdot \frac{2V_o}{\Delta t} \quad (2-55)$$

$$C_T = 0.5C_0 \quad (2-56)$$

仅分析共模电流的路径时，死区时间内 DCX 的等效电路如图 2.43 所示。从共模电流的路径可以看出，变压器原副边层间电容 C_T 与励磁电感 L_m 为并联关系。因此，对于图 2.41 所示的耦合在一个变压器上的所有原副边层间电容来说，都可以看做与励磁电感并联，等效的总变压器层间电容 $C_{T.eq}$ 为：

$$C_{T.eq} = 10 \cdot C_T \quad (2-57)$$

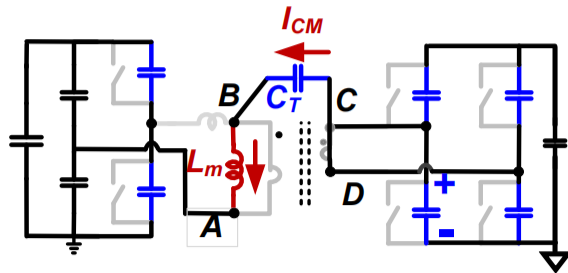


图 2.43 死区时间内共模电流路径示意图

类似的，所有原边器件和副边器件的结电容，在死区时间内也可以等效为与励磁电感并联，因此可以将死区时间内的 DCX 等效电路简化为恒流源 I_{Lm} 对等效电容 C_{eq} 进行充放电的电路。

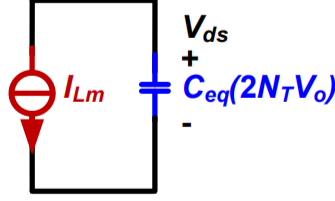


图 2.44 简化的死区时间内 DCX 等效电路图

在本文中，根据 DCX 的结构以及元胞数量，可以确定 C_{eq} 的表达式为：

$$C_{eq}(V_o) = 12C_{o(tr),p}(V_o) + 3C_{o(tr),s}(V_o) + C_{T,eq} \quad (2-58)$$

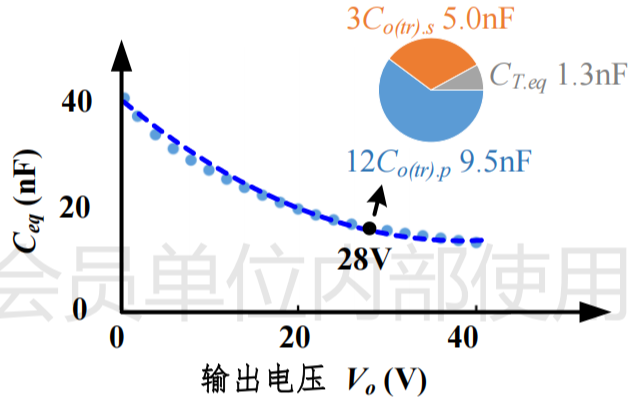


图 2.45 等效电容 C_{eq} 与输出电压 V_o 的关系

可见，等效电容 C_{eq} 是非线性的电容，随输出电压增加而减小。这里将其拟合为如下函数：

$$C_{eq}(V_o) = 0.0186V_o^2 - 1.387V_o + 40.1 \quad (2-59)$$

将其代入式 (2-51) 所示的励磁电感设计边界条件，可得：

$$L_m(V_o) \leq \frac{t_d}{8f_s C_{eq}(V_o)} \quad (2-60)$$

可见励磁电感的设计边界也是一个随输出电压变化的量，如图 2.46 所示。在本文中，DCX 的输出电压是一个范围：17-34V，而励磁电感本身是一个硬件参数，只能针对一个电压工况进行设计使其恰好 ZVS。在本章中，主要针对额定电压工况的满载进行效率优化和设计，因此暂时按额定电压 28V 确定励磁电感。

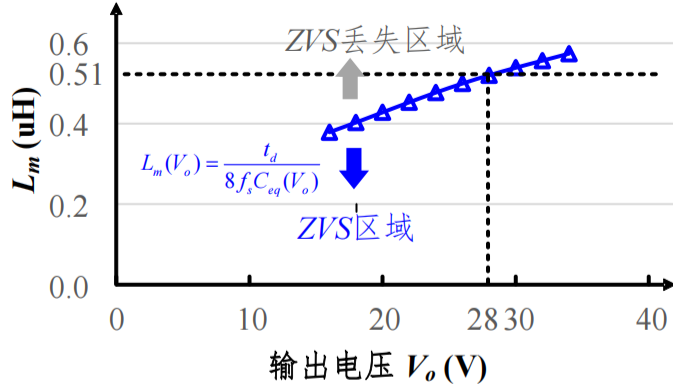


图 2.46 保证 ZVS 的励磁电感设计边界（蓝色线）与输出电压的关系

根据式 (2-60) 可计算出在额定电压输出时恰好实现 ZVS 对应的励磁电感 L_m 设计边界为 0.51uH，小于等于的 0.51uH 的 L_m 均能保证额定电压输出时能够实现 ZVS。因此，在本章节中将 L_m 暂时选定为 0.51uH。观察图 2.46，可以发现一个问题：输出电压比 28V 更低时，0.51uH 的励磁电感处于 ZVS 丢失的区域，也就是不满足式 (2-60)，可能产生额外的损耗，需要实验验证对效率的影响。

2.3.5 恒频元胞化 DCX 的样机效率测试

通过此前几个小节的设计与分析，元胞化 DCX 主电路的详细参数已经设计完成。在电路结构、器件型号、PCB 和其他电路参数均确定的情况下，结合电路仿真、磁仿真和理论计算，可以得到电路工作在效率最佳点时不同电压工况下元胞化 DCX 的预期效率曲线，如图 2.47 所示。

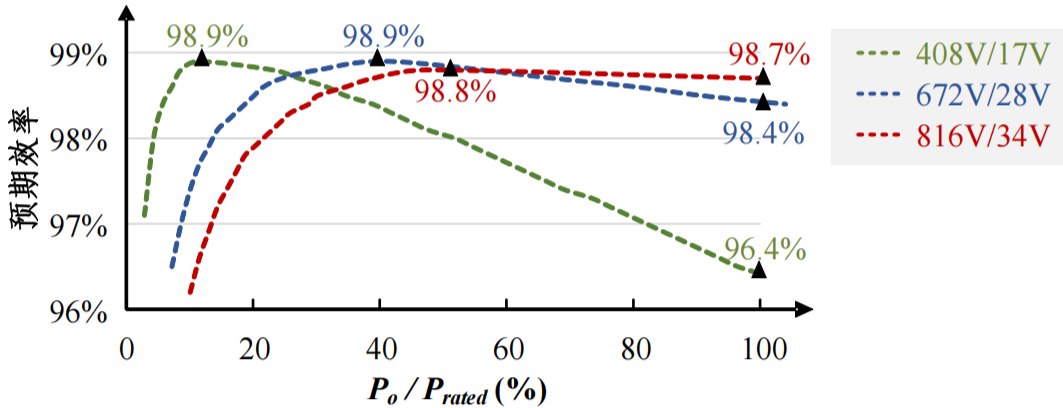


图 2.47 元胞化 DCX 理想工作时的预期效率曲线

根据本章的设计结果，搭建了如图 2.48 所示的第一版两级元胞化 DC-DC 实物样机，输入电压范围 200-400V，输出电压 17-34V 稳压，2.5kW。这里主要针对后级元胞化 DCX 进行测试，以验证本章中对元胞化 DCX 主电路的分析与设

计。元胞化 DCX 的输入电压范围为 12 路 34-68V (56V) 中间低压母线，总的等效输入为 408-816V (672V)，2.5kW。

该样机中,为降低驱动损耗,采用了驱动变压器^[59]来驱动 DCX 所有的器件。

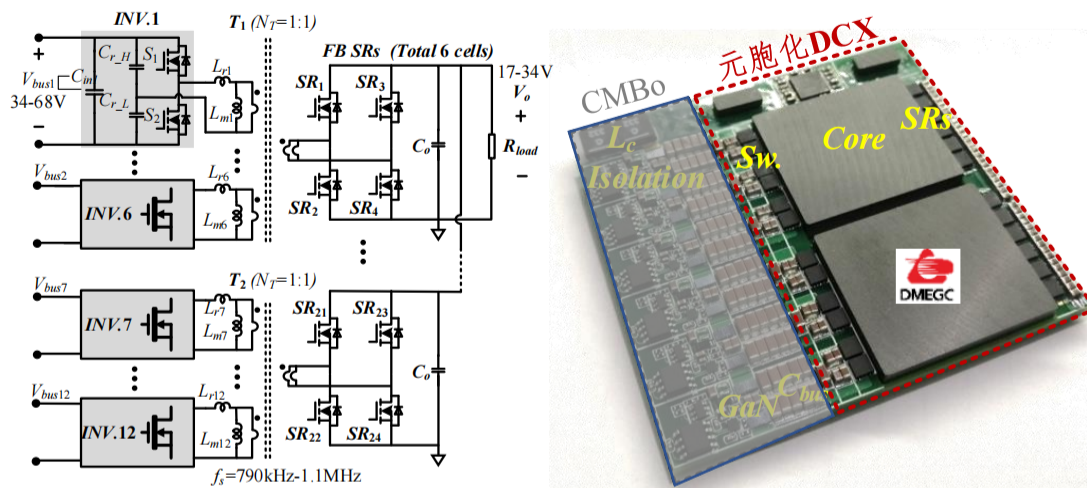


图 2.48 元胞化 DCX 拓扑结构与第一版样机实物图

在额定电压和最低输出电压两种工况下，对元胞化 DCX 分别进行了效率测试，测试结果如图 2.49 所示。其中实线为实测效率，虚线为元胞化 DCX 理想工作时的预期效率。

在额定电压工况 28V 输出时，全负载范围内实测效率与预期效率都较为接近，实现了 98.8%的峰值效率和 98.2%的满载效率。由此，验证了所提出的基于器件 NFoM 损耗模型的元胞化 DCX 优化设计方法的可行性。

而在最低电压 17V 输出时，实测效率显著低于预期效率，在 20%-60%的负载范围内实测效率低了 1%以上。在下一章节中，将对最低电压时实测效率远低于预期的原因进行详细分析，并给出优化宽电压应用中 DCX 的效率优化方法。

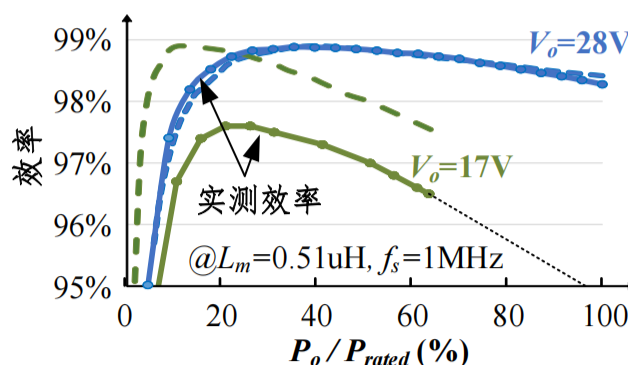


图 2.49 元胞化 DCX 实测效率（实线）与预期效率（虚线）对比

2.4 本章小结

本章确定了中间母线电压的范围，分别完成了调压级 CMB_o 和元胞化 DCX 主电路的高效高密度优化设计，并给出了所提出两级方案基于器件 NFoM 特性和损耗模型的电路参数设计方法。完成主电路参数设计后，搭建了第一版两级元胞化 DC-DC 实物样机并进行了效率测试，验证了所提出的 CMB_o 预期效率目标下电路总体积最小的设计方法可行性，以及元胞化 DCX 基于器件 NFoM 损耗模型的优化设计方法的可行性。

首先，介绍了级联多电平调压级 CMB_o 电路的工作原理和多电平电路统一的器件最小损耗模型，并应用该模型给出了预期效率目标下最小电路总体积的电路参数设计方法，确定了 CMB_o 选用的级联单元数、开关管耐压及导通电阻、开关频率、功率电感和中间母线电容，并给出了 CMB_o 的预期的效率曲线。根据设计结果，搭建了 12 单元 CMB_o 实物样机，验证了 CMB_o 能够实现电感电流纹波频率的倍频效果。之后对测试了样机效率，实现了 99.2% 的满载效率，以及 3kW/in³ 的功率密度，验证了所提出的 CMB_o 预期效率目标下电路总体积最小的设计方法可行性，以及 CMB_o 电路的高效率和高功率密度。

然后，分析了 SRC-DCX 电路的基本工作原理，基于 NFoM 的器件统一损耗模型给出了元胞化 DCX 电路参数的优化设计方法。结合 3D 有限元仿真工具辅助设计，完成了高频平面变压器的设计。通过分析 DCX 在死区时间内的工作模态，给出了考虑变压器原副边绕组层间电容的励磁电感设计方法，并按照额定电压工况恰好实现 ZVS 确定了励磁电感 L_m 为 0.51 μ H。至此，完成了元胞化 DCX 主电路所有参数的优化设计，根据设计结果搭建了第一版两级元胞化样机，并给出了不同电压工况下元胞化 DCX 的理论预期效率。经过效率测试，第一版样机中的元胞化 DCX 额定电压工况下实现了 98.2% 的满载效率，且实测效率与预期效率接近，验证了元胞化 DCX 基于器件 NFoM 损耗模型的优化设计方法的可行性。同时，发现了 DCX 恒定 1MHz 开关频率工作时，最低电压工况下实测效率远低于预期的现象。

3 宽电压范围 DCX 变频控制的效率优化方法

在上一章的电路参数优化设计完成后,按设计结果搭建了第一版样机,并分别对 CMB₀ 和元胞化 DCX 完成了功能验证和效率测试。根据测试结果,发现元胞化 DCX 在额定电压工况实测效率与预期基本接近,但是最低电压输出时实测效率远低于预期。并且,低压输出时由于大电流输出,该样机的满载预期效率设计中就会比高电压输出工况低,是散热压力最恶劣的情况,而实测效率比预期效率更低,进一步增大了散热压力。以额定工况为例,其预期满载效率为 98.4%;而最低电压工况仅为 96.4%,而根据测试结果,实际满载效率不超过 95%。为保证电路正常工作,需要增加额外的散热器,不利于功率密度的提高。

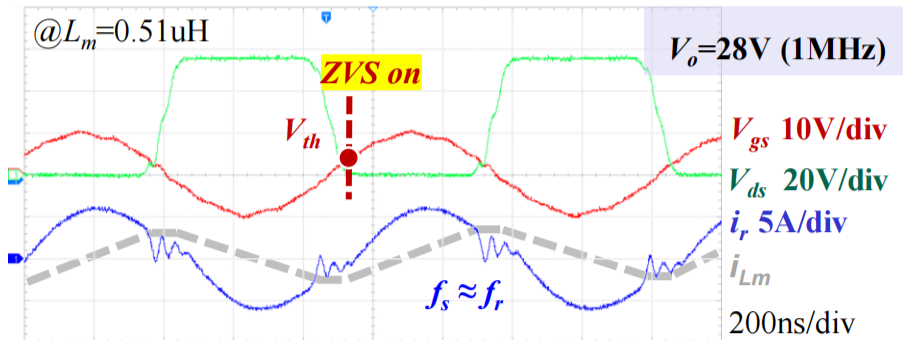
为了优化宽电压范围的效率,尽可能地提高样机的效率和功率密度指标,需要优化宽电压范围时 DCX 最低电压输出工况的效率。

3.1 第一版样机中恒频 DCX 的波形对比与结果分析

3.1.1 不同电压工况的关键工作波形对比

为了分析最低电压工况实测效率远低于预期的原因,测试了最低电压和额定电压两种工况下元胞化 DCX 的关键工作波形。测试条件与效率测试时一致,硬件参数与第二章的设计结果一致:开关频率固定为 1MHz,死区时间 80ns,励磁电感为 0.51uH。

图 3.1 给出了第一版样机中元胞化 DCX 在不同输出电压时的关键工作波形。其中,红色波形为 DCX 原边开关管的驱动信号,绿色波形为对应开关管的漏源极 V_{ds} 电压,蓝色波形谐振腔电流,灰色虚线为变压器励磁电流示意。



(a) 额定输出电压: $V_o=28V$

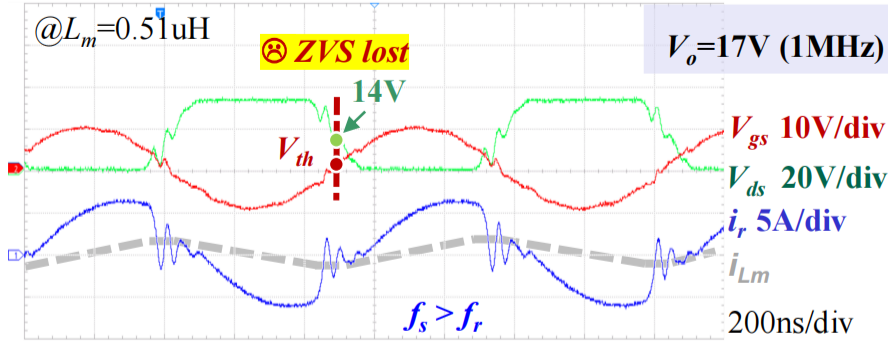
(b) 最低输出电压: $V_o=17V$

图 3.1 元胞化 DCX 不同输出电压下的关键波形 (第一版样机)

观察图(a)额定电压工况的波形可以发现,当驱动波形电压为阈值电压 V_{th} ,也就是图中的圆点时, V_{ds} 电压已经下降到了 0, 能实现 ZVS。并且从谐振腔电流波形可以看出, 开关频率此时与谐振频率基本一致, 样机工作在效率最佳点。

而在相同的硬件参数、开关频率与死区时间的条件下, 图(b)中最低输出电压工况时, 驱动波形达到阈值电压 V_{th} 时, V_{ds} 电压仍然剩余了 14V, ZVS 丢失。ZVS 丢失会产生明显的容性损耗与开通损耗。

并且观察谐振腔电流波形可以发现, 1MHz 的开关频率偏离了谐振频率, 开关频率明显高于谐振频率。这会导致较大的关断电流, 进而产生不可忽略的关断损耗。

因此, 从波形可以得知, 最低电压工况实测效率远低于预期的原因目前可以确定有两个: 软开关丢失, 以及开关频率与谐振频率不匹配。

3.1.2 ZVS 丢失原因分析

在第二章的元胞化 DCX 的励磁电感设计中, 也就是 2.3.4 小节, 详细分析了 DCX 实现软开关的电路原理, 并给出了数学模型。最低电压输出时的软开关现象, 在设计过程中就已经发现, 是由励磁电感的设计选择导致的。具体来说, 在第二章参数设计时主要针对额定电压工况的满载进行效率优化, 因此在 2.3.4 小节中, 将励磁电感确定为额定电压时 DCX 恰好实现 ZVS 的 0.51uH, 而该励磁电感值在最低电压输出时处于 ZVS 丢失区域, 如图 2.46。

更直观的来说, 0.51uH 励磁电感下, 最低电压输出时励磁电流不足, 导致了 ZVS 丢失。将第二章中 C_{eq} 的拟合公式 (2-59) 代入式 (2-49), 可得到不同输出电压下对应的恰好 ZVS 所需要的励磁电流 $I_{zvs}(V_o)$, 如式 (2-61) 和图 3.2 中黑

色实线所示。由于器件结电容 C_{eq} 的非线性特性，电压越高的情况下其结电容越小， $I_{zvs}(V_o)$ 也是一个对输出电压 V_o 非线性的量。

$$I_{zvs}(V_o) = \frac{2N_T C_{eq}(V_o) \cdot V_o}{t_d} \quad (2-61)$$

而根据式 (2-50) 可以计算出给定励磁电感，比如第一版样机元胞化 DCX 的 $0.51\mu\text{H}$ ，在不同输出电压下的励磁电流大小，如图 3.2 的红色线所示。可以看出，此时励磁电流大小与输出电压线性相关。对应第一版样机的参数， $L_m=0.51\mu\text{H}$ ，开关频率 1MHz ，死区 80ns 。

$$\begin{cases} I_{Lm} \approx \frac{N_T V_o}{4f_s L_m} = K_{ILm} \cdot V_o \\ K_{ILm} = \frac{N_T}{4f_s L_m} \end{cases} \quad (2-62)$$

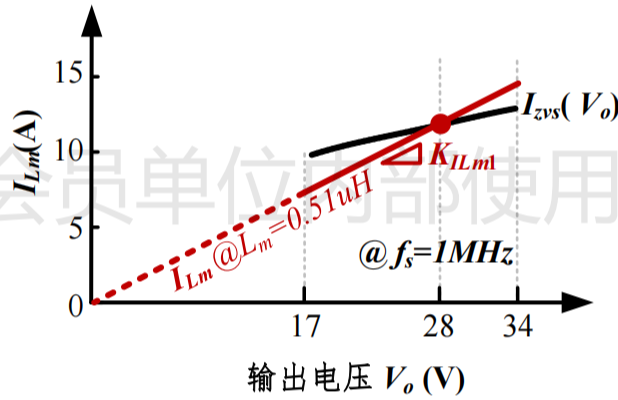


图 3.2 $I_{zvs}(V_o)$ 以及 $I_{Lm}(V_o)$ 与输出电压的关系

观察图 3.2 即可发现， $0.51\mu\text{H}$ 的励磁电感下，在最低电压 17V 输出时对应的励磁电流 I_{Lm} 是小于 I_{zvs} 的，这会导致不变的死区时间内，对 C_{eq} 的充放电电流减小，从而造成 DCX 的 ZVS 丢失现象。

3.1.3 开关频率与谐振频率不匹配原因分析

对于第二个问题是开关频率与谐振频率不匹配，具体来说，是开关频率大于谐振频率，从而造成了大的关断电流和关断损耗。

通过测试波形，可以发现开关频率与设置是一致的，两个电压工况下均恒定为 1MHz 。那么，不同电压工况下发生变化的是谐振频率。谐振频率与谐振电感和谐振电容的值有关。在本文中，谐振电感为了减少磁元件数量，利用了变

压器的漏感作为谐振电感，在变压器设计完成的情况下可以看做一个定值，无法改变。在本文的设计中，谐振电感 L_r 的值约为 9nH。由此，可以思考怎么能实现谐振电容 C_r 的值随输出电压 V_o 非线性变化。

$$f_r = \frac{1}{2\pi\sqrt{L_r C_r}} \quad (2-63)$$

仔细思考电路的工作原理后，本文发现在 DCX 原边半桥结构的情况下，谐振电容上存在一个电压偏置，且该偏置与输出电压有关。而对于材质为 X7R、X7S 等的 2 类电介质瓷片电容来说，其存在一个直流偏置衰减特性：直流偏置电压越高，电容值越小，如图 3.3。因此，在采用了这些类型的瓷片电容后，谐振频率将与输出电压有关，且输出电压越高，谐振频率越高，而这也解释了此前波形测试中最低电压开关频率不匹配的原因：在额定电压 28V 输出时，谐振频率与开关频率接近，为 1MHz；而当输出电压为 17V 时，谐振电容上的直流偏置由 28V 变为 17V，谐振电容值变大，谐振频率变小，从而导致了开关频率明显大于了谐振频率。

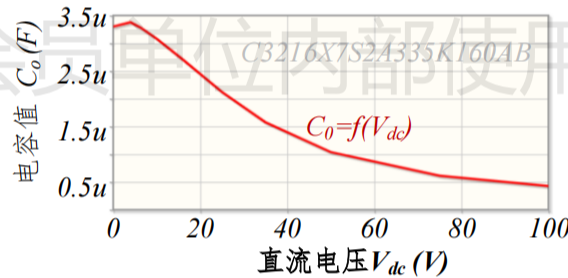


图 3.3 2 类电介质瓷片电容的直流偏置衰减特性

3.2 过大励磁电流对宽电压范围 DCX 效率的影响分析

接下来将分析解决上述问题的方法，以优化宽电压范围。首先是 ZVS 丢失问题。通过上一小节的原因分析，可以很容易的想到按照传统思路，以最恶劣工况重新确定励磁电感。根据式 (2-60) 和图 2.46，可知实现软开关的最恶劣工况为最低输出电压 17V，此时对应的励磁电感边界为 0.39uH。如果将励磁电感确定为 0.39uH，17-34V 整个电压输出范围内都可以实现 DCX 的 ZVS。

但是，如果将励磁电感更改为 0.39uH，会出现新的问题：在较高电压输出时会导致过大的励磁电流，而过大的励磁电流会导致额外的损耗，显著影响效率。为了定量分析，首先需要明确励磁电流过设计量的大小。图 3.4 给出了 DCX 励

磁电感 $L_m=0.39\mu\text{H}$ 和 $L_m=0.51\mu\text{H}$ 时, 全电压范围内的励磁电流大小对比, 以及实现 ZVS 所需的最小励磁电流 $I_{zvs}(V_o)$ 。以额定电压工况 28V 为例, 实现 ZVS 仅需 12.3A 的励磁电流, 但是 $L_m=0.39\mu\text{H}$ 时实际的励磁电流大小为 16.2A。

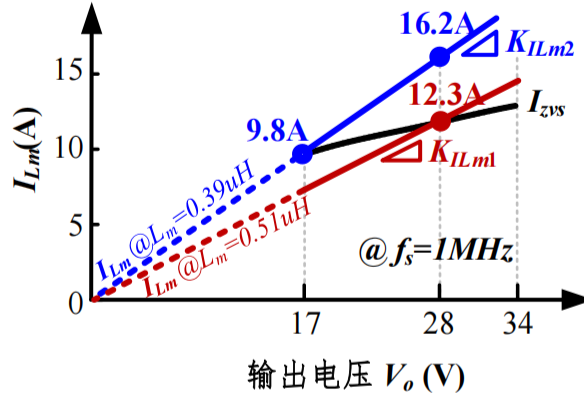


图 3.4 恒频 1MHz 下不同励磁电感时的励磁电流对比

因过大励磁电流产生的额外损耗可以分为器件上的损耗增加, 以及变压器部分的损耗增加两部分, 下面分别进行分析。

过大的励磁电流会增大器件的关断损耗, 以及死区时间内的额外的体二极管导通损耗。对于串联谐振电路, 通常不会考虑其关断损耗, 但这是基于励磁电流较小, 关断电流较小的前提下。当励磁电流较大时, 关断损耗将不可忽略, 且励磁电流越大, 关断损耗越大。这部分损耗具体数值需要结合开关过程的实验波形给出。另一方面, 由于励磁电流过大, 死区时间内 V_{ds} 电压会提前下降到 0, 此时, 电流将通过开关管的寄生二极管产生额外的导通损耗, 此时的关键波形与等效电路图如下所示:

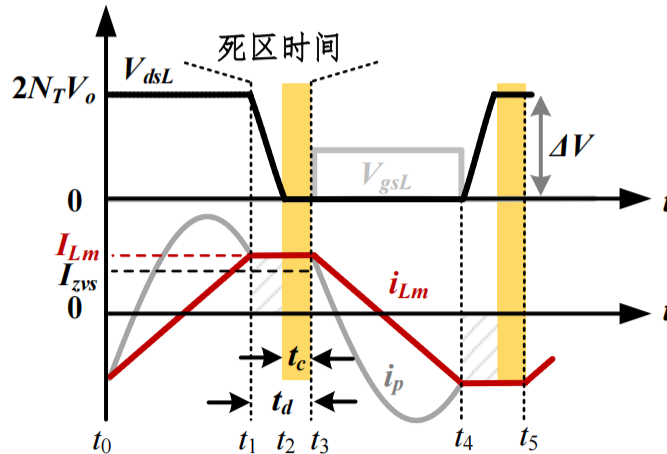
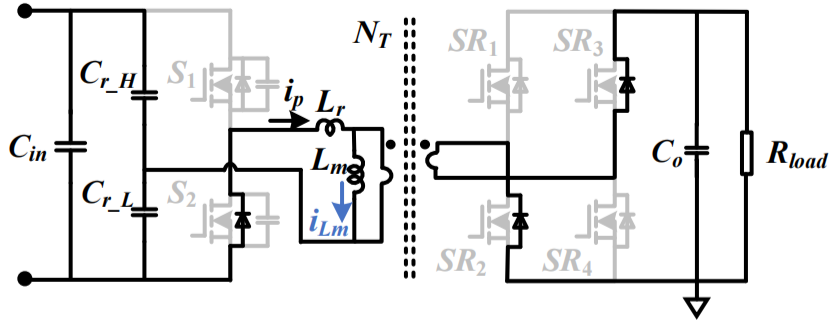


图 3.5 励磁电流过大时 DCX 关键波形

图 3.6 励磁电流过大时体二极管导通模式 ($t_2 < t < t_3$)

该模式下，原边器件体二极管导通还是整流管的体二极管导通依据阻抗和电压关系确定。这里假设励磁电流全部流过原边器件的寄生二极管，二极管的压降 V_F 为 $0.7V$ 。每次开关动作时等效结电容 C_{eq} 变化的电荷量保持一致，因此有：

$$\begin{cases} Q_{zvs} = C_{eq} \Delta V = I_{zvs} t_d \\ Q_{zvs} = I_{Lm} (t_d - t_c) \end{cases} \quad (2-64)$$

式中， t_c 为体二极管导通模式的时长。由此可计算出每个开关周期内，由此额外增加的体二极管导通损耗为：

$$P_{diode} = 2V_F I_{Lm} t_c \quad (2-65)$$

经过计算，在 $0.39\mu H$ 励磁电感、额定电压 $28V$ 输出的情况下，和理想情况相比，额外增加的总体二极管导通损耗约为 $0.5W$ ，关断损耗也将增大 30% 以上。

对于变压器部分，过大的励磁电流会增大变压器内部的磁动势和 H 场强度，导致绕组电流分布更加不均匀，增大绕组损耗。在此前的分析中提到，DCX 谐振腔电流由负载电流和励磁电流组成，当样机空载时，谐振腔电流将只由励磁电流组成，因此可以使用空载的工况来测试这部分损耗。而在设计过程中，可以通过 MAXWELL 进行 3D 有限元仿真评估。图 3.7 给出了单匝绕组下电流分布情况，此时一匝绕组损耗约为 $9mW$ ，可以计算出对应的单匝绕组交流电阻约为 $9.2m\Omega$ 。图 3.8 给出了 12 匝绕组同时仿真时绕组的电流分布情况，模拟实际样机中空载时的变压器。此时，原、副边绕组的电流均为励磁电流，方向一致，变压器工作在电感的模式，这会累计很大的磁动势，造成严重的电流分布不均匀现象。这里分别给出了第 1、5、12 层绕组的电流分布情况，可以看出磁动势较大的第 1 层和第 12 层绕组，电流聚集现象十分恶劣。在 12 层绕组同时仿真的情况下，总铜损约为 $0.93W$ ，计算可得单匝绕组交流电阻约为 $80m\Omega$ ，比单层绕组仿

真时大了接近 9 倍。而这种情况会随着励磁电流增加而变得更加恶劣。

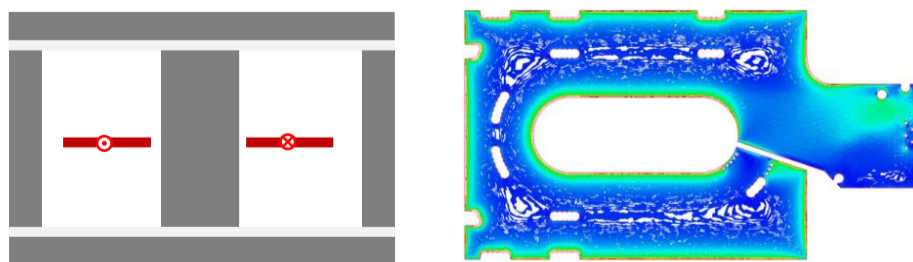


图 3.7 空载下单匝绕组仿真模型及电流分布情况 ($I_{Lm}=1.4A$)

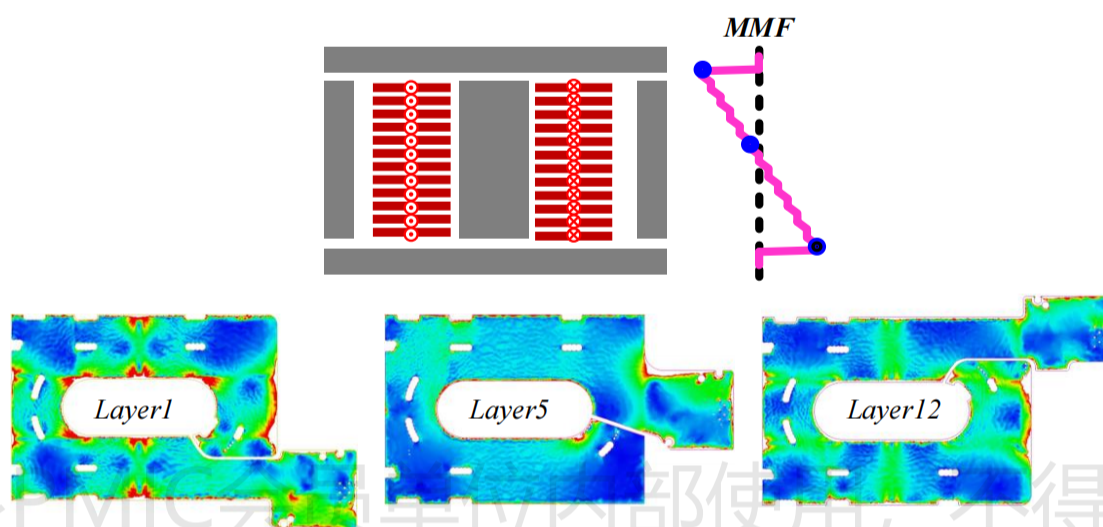


图 3.8 空载下多匝绕组仿真模型及电流分布情况 ($I_{Lm}=1.4A$)

通过上述分析，可以看出过大的励磁电流对实现高效率是十分不利的。值得注意的是，上述分析的与励磁电流密切相关的器件关断损耗、体二极管导通损耗和在变压器上的损耗，都几乎与负载大小关联不大。这也就意味着，过大的励磁电流会严重影响电路轻载时的效率。

3.3 不同励磁电感下的元胞化 DCX 实测效率对比验证

为了验证本章第一、二小节对最低电压输出时实测效率远低于预期的原因分析，以及过大励磁电流对宽电压范围效率的影响分析，对比测试了第一版样机中元胞化 DCX 在不同励磁电感下的效率曲线。开关频率为 1MHz，死区时间 80ns，除开励磁电感外其余电路参数保持一致。

测得的效率曲线如图 3.9 所示。图中，黑色虚线均为预期效率，蓝色实线为此前励磁电感 L_m 为 0.51uH 时的实测效率，黑色实线为励磁电感按最恶劣工况设计为 0.39uH 时的效率曲线。可以看到，当减小励磁电感后，最低输出电压 17V

时效率有了明显提高,更为接近预期效率。但是在额定电压 28V 输出时,实测效率在全负载范围内均明显下降。以 40%负载为例,效率下降了 0.8%。与此前的分析一致。

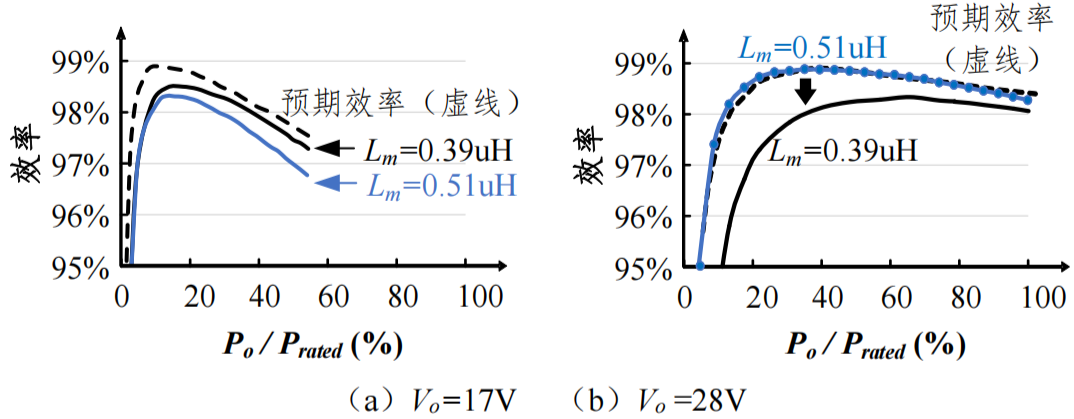


图 3.9 元胞化 DCX 不同励磁电感的效率曲线对比

可见在宽电压范围的应用中,DCX 按照实现 ZVS 的最恶劣工况来设计励磁电感的传统思路是不利于在较高电压输出时实现高效率的,对轻载和峰值效率的影响尤为明显。而影响效率的主要原因是,在较高输出电压时会产生过大的励磁电流。

因此,为了优化宽电压范围下的整体效率,尤其是轻载和峰值效率,仍然需要寻找其他能够降低励磁电流大小的方法。

3.4 宽电压范围 DCX 的变频控制数学模型

在每个输出电压下,DCX 实现 ZVS 需要的最小励磁电流就是 $I_{zvs}(V_o)$,其表达式在上一小节的式 (2-61) 已经给出,这也是降低励磁电流的最优目标。在给定开关频率、死区时间和励磁电感等电路硬件参数的条件下,由于器件结电容的非线性特性, $I_{zvs}(V_o)$ 是一个与输出电压 V_o 非线性的量。而从式 (2-62) 所示的励磁电流 I_{Lm} 的表达式可知, I_{Lm} 是一个与输出电压 V_o 线性的量。这也就导致了此前 DCX 只能针对一个输出电压进行最优化设计,而在其他电压工况下会出现 ZVS 丢失或者过大励磁电流的现象,难以实现宽电压范围内的综合效率优化。

为了优化宽电压范围下的整体效率,可以考虑使励磁电流的幅值 I_{Lm} 与输出电压 V_o 的关系同样变为非线性,在不同输出电压下对应不同的斜率 K_{ILm} 。励磁电感 L_m 本身是一个硬件参数,设计完成后无法更改,在这里仍然确定为 0.51uH,与第二章的设计结果保持一致。观察式 (2-62) 可知,励磁电感给定时,可以通

过调节开关频率，使不同输出电压各自对应不同的开关频率来实现。

例如，0.51μH 励磁电感下，将 17V 输出时的开关频率降低，死区不变的情况下意味着励磁时间的延长，从而达到在低电压输出时补偿励磁电流的目的；同样的，在最高电压 34V 输出时提高开关频率减小励磁时间，从而减小过量的励磁电流。对于每一个输出电压，都存在一个理想的开关频率 f_{zvs} ，使该电压下恰好实现 ZVS。令励磁电流 I_{Lm} 与 I_{zvs} 相等，并联立式 (2-61) 和 (2-62)，可以很容易解出这个理想开关频率 f_{zvs} 的表达式：

$$f_{zvs}(V_o) \approx \frac{N_T V_o}{4L_m I_{zvs}(V_o)} \quad (2-66)$$

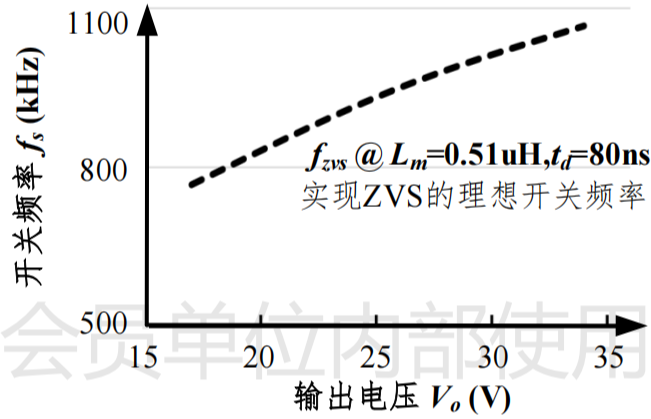


图 3.10 实现 ZVS 的理想开关频率与输出电压的关系

图 3.10 给出了 0.51μH 励磁电感和 80ns 死区下，DCX 在全电压范围内恰好实现 ZVS 对应的理想开关频率与输出电压的关系。不同输出电压工况下，DCX 按照 $f_{zvs}(V_o)$ 设置开关频率后，全电压范围内都能够恰好实现软开关。并且，在该死区时间和励磁电感下，励磁电流幅值 I_{Lm} 为保证软开关实现的最小电流 I_{zvs} ，从而实现效率优化的目的。图 3.11，给出了采用所提出的宽电压范围 DCX 变频控制的效率优化方法后，0.51μH 励磁电感下不同输出电压下的励磁电流幅值 $I_{Lm}(V_o)$ 与 $I_{zvs}(V_o)$ 的大小对比。

综上所述，在宽电压范围的条件下设计 DCX 的励磁电感，常规做法中按照最恶劣工况设计的思路虽然能够解决低电压输出时的软开关丢失问题，但是会导致高电压工况下励磁电流过大，进而显著影响轻载和峰值效率；而按照额定电压设计励磁电感会导致低电压输出时 ZVS 丢失的问题。

为此，提出了一种宽电压范围 DCX 变频控制的效率优化方法，使开关频率

随输出电压非线性变化，来保证全电压范围内 DCX 都能实现软开关的同时，降低励磁电流的大小，以及励磁电流导致的损耗。

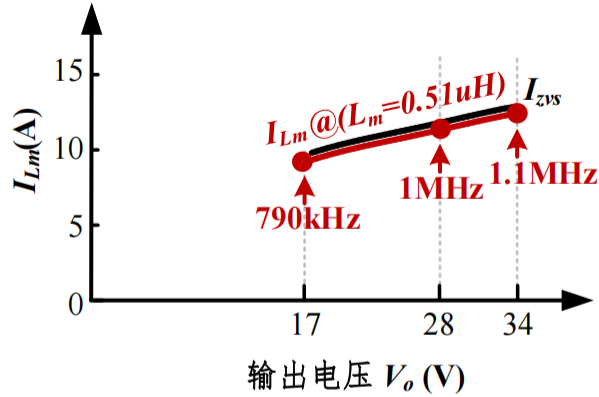


图 3.11 采用变频策略后的励磁电流

3.5 匹配谐振电容值非线性特性的 DCX 变频控制方法

定频工作的 SRC-DCX 的一个突出优势就是，工作频率固定，使其能够始终开关频率与谐振频率接近，工作在效率最佳点。但是上一节提出的宽电压范围变频控制方法，会导致一个问题：DCX 主电路开关频率随输出电压是非线性变化的。为了保证效率，需要解决开关频率与谐振频率匹配的问题。并且，第一版样机中最低电压输出时除开软开关丢失，同样存在开关频率与谐振频率不匹配影响效率的问题。

因此，DCX 采用变频控制的效率优化方法后，为了实现最佳的效率工作点，还需要谐振频率也同样随输出电压非线性。值得一提的是，在分析第一版样机最低电压工作波形的时候，发现了因为谐振电容的非线性特性，存在低电压输出时谐振频率低，高电压输出时谐振频率高的趋势。而这与图 3.10 中采用变频控制测量后，理想的变频开关频率 f_{zvs} 曲线的趋势是一致的，因此本文考虑巧妙地利用这一特性，使 DCX 能够应用变频控制方法优化宽电压范围效率的同时，使 DCX 的谐振频率在工作电压范围始终较为接近。

谐振频率与谐振电感和谐振电容的值有关，而不同的谐振电容具备不同的直流偏置衰减特性，与耐压、材质、封装等因素有关。可以结合数据手册给出的衰减特性曲线，将电容值拟合为直流偏置电压的函数，并代入式 (2-63) 中，就可以得到采用不同谐振电容时能够得到的谐振频率与输出电压的关系。图 3.12 绘

制出了采用三种型号电容时对应的谐振频率，黑色虚线为此前得到的实现 ZVS 需要的理想开关频率 f_{zvs} 曲线。

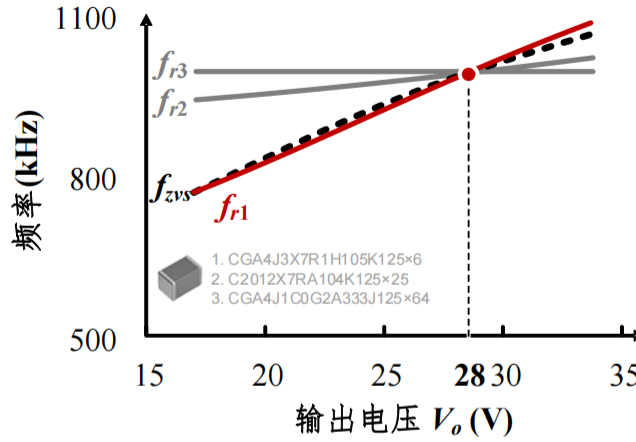


图 3.12 采用不同型号谐振电容对应的谐振频率

可以发现，当采用第一种电容时，得到的谐振频率特性，如图中红色实线所示，最接近实现 ZVS 所需理想的开关频率 $f_{zvs}(V_o)$ 。为此，本文选取了第一种电容作为谐振电容。为保证最优工作点，可以使 DCX 在不同输出电压的开关频率与曲线 f_{r1} 保持一致，也可以为了保证实现全电压范围的恰好 ZVS，使 DCX 在不同输出电压的开关频率与曲线 f_{zvs} 保持一致。在本文中，选择了与 f_{zvs} 保持一致，并依据输出电压开环设置。

经过上述设计，确定励磁电感为 $0.51\mu\text{H}$ ，选取的谐振电容型号为 CGA4J3X7R1H105K125AB，DCX 开关频率 f_s 的范围为 790kHz - 1.1MHz ，分别对应 17V - 34V 的输出电压范围。对于本文提出的两级方案，DCX 不需要承担电压调节功能，且谐振电感 L_r 远小于励磁电感 L_m ，增益曲线非常平缓，变频策略对于该两级电路的功能与设计影响很小，方案可行。DCX 采用变频控制的效率优化方法后，能够同时解决宽电压范围下的 ZVS 实现，以及开关频率与谐振频率匹配的问题。

3.6 本章小结

本章首先测试了第一版样机中元胞化 DCX 在额定电压工况和最低电压工况的关键波形，通过对比发现了最低电压工况时存在软开关丢失，以及开关频率大于谐振频率导致大关断电流的问题。之后，详细分析了问题产生的原因：励磁电流不足导致了低电压输出时的软开关丢失；采用 2 类电介质的谐振电容的直流偏

置衰减特性导致了低电压输出时谐振频率低于开关频率。

为了解决软开关丢失的问题，分析了按传统思路减小励磁电感值的弊端：会导致高电压输出时过大的励磁电流。之后，进一步定量地分析了过大的励磁电流对宽电压范围 DCX 效率的影响，说明了不同电压下励磁电流的变化对 DCX 效率的影响，并通过第一版样机在不同励磁电感下的效率测试完成了实验验证。

为了同时解决软开关丢失，以及开关频率与谐振频率不匹配两个问题，建立了宽电压范围 DCX 的变频控制数学模型，巧妙地利用谐振电容的直流偏置衰减特性，提出了一种优化宽电压范围 DCX 效率的方法：匹配谐振电容值非线性特性的 DCX 变频控制方法。

仅限PMIC会员单位内部使用，不得外传

4 频率可调节的高频低损谐振驱动变压器研究

上一小节中提出了一种宽电压范围 DCX 变频控制的效率优化方法，完成了 DCX 主电路部分的效率优化。接下来考虑将驱动电路配合主电路实现该方法，并进行兆赫兹频率工作的元胞化 DCX 驱动部分的优化。

4.1 现有驱动方案调研与分析

4.1.1 电压型的驱动芯片方案

对于驱动方案，常规的思路是直接利用现有的驱动芯片，利用高度集成的商业化器件能够方便直接地实现驱动频率的调节。现有的驱动芯片通常为电压型驱动，其基本原理示意图如图 4.1 所示，可以将驱动的过程等效为 RC 充放电的过程。因此，每个开关周期内，驱动能量都会完全耗散在驱动回路中的等效电阻 R_g 上。对于元胞化 DCX 来说，采用的是硅基器件，并且为了降低变压器体积选择了工作在兆赫兹级别的开关频率，因此其驱动损耗将不可忽略，需要详细评估。

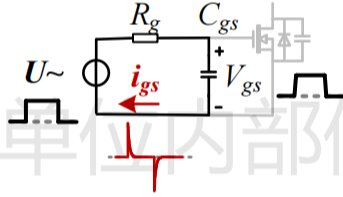


图 4.1 电压型驱动方案的基本原理示意图

元胞化 DCX 主电路高压侧采用了多个低压半桥逆变电路串联的方式来代替单个高压半桥电路，利用低压低 NFoM 的器件来降低导通损耗，这导致了高压侧所用器件数量大幅增加；同时，为了应对低压侧的大电流输出，通常会采取多组同步整流结构并联或器件并联的方式来降低整流管的导通损耗，而这也增加了整流管的数量。可见，低压大电流输出的元胞化 DCX 主电路开关器件数量很多。在本文中，元胞化 DCX 总共包含 48 颗兆赫兹级别开关频率工作的硅基器件。通过式 (3-1) 可以计算出单颗器件的驱动损耗， V_m 为驱动信号幅值， Q_G 为总栅极电荷， f_s 为开关频率。暂时假设原边驱动幅值为 8V，副边驱动幅值为 5V，在 1MHz 的开关频率下 DCX 总的驱动损耗将达到 8.4W。

$$P_{drive} = V_m Q_G f_s \quad (3-1)$$

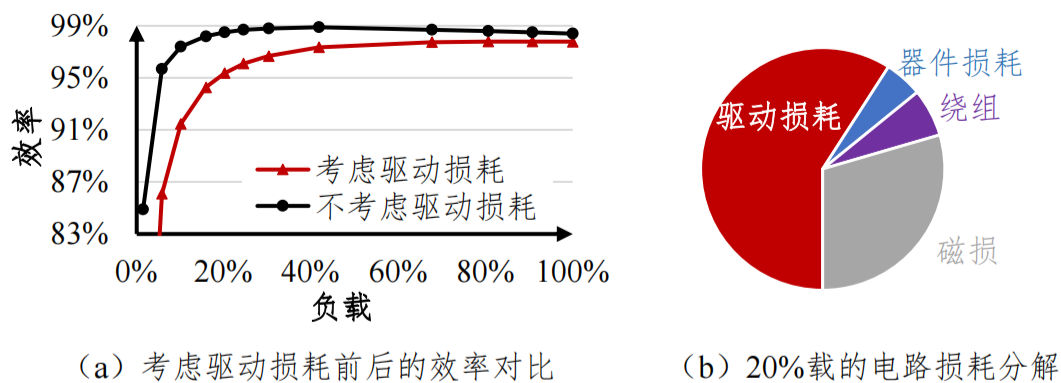


图 4.2 驱动损耗对 DCX 效率的影响

图 4.2 给出了考虑驱动损耗和不考虑驱动损耗时额定电压下的效率曲线对比, 以及 DCX 在 20%负载时的损耗分布情况。可以发现, 驱动损耗对轻载和峰值影响非常大, 在 20%载时考虑驱损后效率将下降 3%。图 (b) 给出了 20%载时的 DCX 损耗分布情况, 驱动损耗占比超过了 70%。如果能将驱动损耗降低一半, 那么在 10%-40%的负载范围内, 电路整体效率将提高 0.8%~3%。

4.1.2 电流型的谐振驱动方案

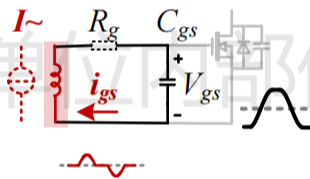
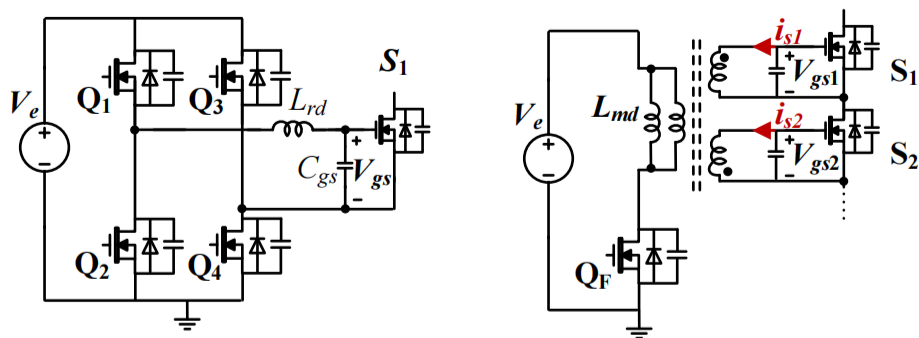
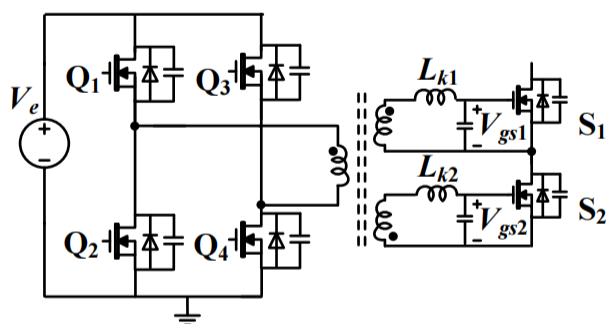


图 4.3 电流型驱动方案的基本原理示意图

为了降低驱动损耗, 许多研究提出了电流型的谐振驱动方案: 通常会在驱动回路中构造电感使其与被驱动器件的栅极电容谐振, 实现电平转换与驱动能量的回收。在电流型谐振驱动中, 驱动回路可以等效为 LC 谐振, 驱动能量能够不断循环从而降低驱动损耗。并且, 谐振驱动中驱动波形电压变化速度更缓慢, 因此驱动电流幅值能够显著减小, 从而减小驱动电阻上能量的耗散。但是现有的谐振驱动方式^[48-58], 应用在本文中基于硅器件的兆赫兹元胞化 DCX 主电路时, 存在驱动电路的占板面积大、驱动电路结构过于复杂、无法实现隔离驱动、多路驱动拓展不方便、死区时间难以满足主电路需求、正负半周波形不对称等问题。



(a) 单管非隔离谐振驱动^[53] (b) 利用励磁电感谐振的隔离谐振驱动^[61]



(c) 利用变压器漏感谐振的半桥隔离谐振驱动^[56]

图 4.4 现有研究提出的几种电流型谐振驱动方案

为了充分发挥谐振驱动的优势，文献[59]和[60]提出了一种基于变压器来实现多路隔离驱动的能量回收型谐振驱动变压器，使副边变压器励磁电感作为电流源与被驱动器件的栅极电容谐振，通过合适的励磁电感设计实现所需的死区，能够在高频下实现低驱动损耗。但是在该方案中，驱动电路的死区时间与开关频率是相互影响的，无法在调节开关频率的同时保证固定的死区。例如，为了配合上一小节提出的主电路变频控制方法，在低电压输出时需要降低开关频率以增大励磁电流。但是降低频率后，该驱动方案输出的驱动波形死区会降低，不利于软开关的实现。

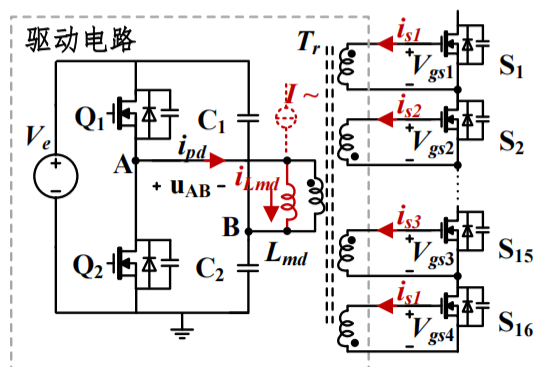


图 4.5 谐振型驱动变压器方案^[59]

总而言之,为了降低元胞化 DCX 电路的驱动损耗,并且配合所提出的宽电压范围 DCX 变频控制的效率优化方法,需要一种具备频率调节能力的谐振驱动方案。此外,该谐振驱动方案输出驱动波形的死区时间应当与工作频率无关。

4.2 频率可调节的高频低损谐振驱动变压器

为了解决上述问题,并充分发挥谐振驱动的优势,本小节提出了一种结构简单,频率可调节的谐振型驱动电路。通过变压器实现电气隔离,增加副边绕组的数量即可实现多路隔离驱动,输出的多路隔离驱动相互箝位,驱动波形一致性高。并且,该谐振驱动变压器输出的驱动波形的死区时间不受开关频率变化的影响。本节对该频率可调节的谐振型驱动变压器进行模态分析和数学模型推导后,结合主电路 SRC-DCX 拓扑实现 ZVS 所需的死区要求以及损耗分析,给出了满足死区需求和考虑参数偏差后的谐振驱动电路参数设计方法。

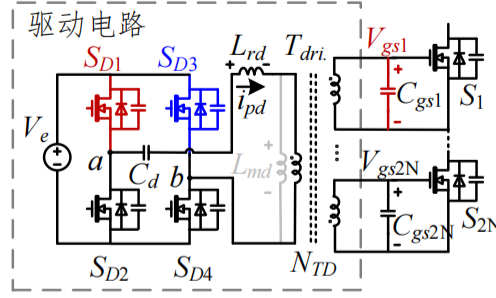
4.2.1 所提出的变频谐振驱动变压器拓扑及原理

所提出的变频谐振驱动变压器的拓扑结构如图 4.6 所示,主要包含三个部分:三电平方波发生电路、谐振电感和驱动变压器。其中三电平方波发生电路用于产生具备正电平、电平零和负电平的方波,图中给出了(a)、(b)两种形式。

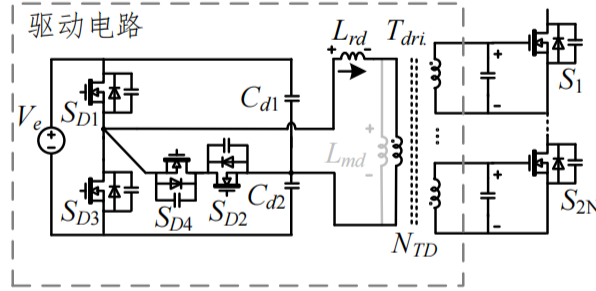
拓扑(a)中,方波发生电路为全桥逆变结构,由四颗 MOS 管 Q_{D1-4} 对输出的驱动信号的频率和波形进行控制。电容 C_d 为隔直电容,作用是避免因为开关不对称等原因导致的变压器磁通饱和,即变压器隔直作用;电容 C_d 取值较大,且正常情况下电压平均值为 0,在后续的模态分析中忽略该电容; L_{rd} 为串联的谐振电感,使其与被驱动管子的栅极电容 $C_{gs1,2,\dots,2N}$ 谐振实现驱动波形电平的转换; T_{dri} 为驱动电路中的驱动变压器,其副边设置多个绕组,每个副边绕组与所需驱动的 MOS 管的栅极和源极直接相连,因此每路驱动之间相互隔离,且变压器绕组充分耦合漏感较小的情况下,依靠变压器实现了驱动的高度一致性。驱动变压器的匝比定义为 N_{TD} 。 L_{md} 为驱动变压器的励磁电感,设计驱动变压器接近于理想变压器,励磁电感较大,在后续的分析中略去; $C_{gs1,2,\dots,2N}$ 为主电路中需要被驱动的 MOS 管的等效栅极电容, $V_{gs1,2,\dots,2N}$ 为驱动电路输出的驱动波形。

根据副边绕组同名端接被驱动 MOS 的源极或者漏极,可以实现互补的一组驱动波形,用于驱动半桥电路,而互补的波形也保证了半桥不会桥臂直通。下面对拓扑(a)进一步分析,拓扑(b)的结构与原理类似,其模态可以由拓扑(a)

类推得到，不再赘述。



(a) 三电平平方波发生电路：全桥逆变



(b) 三电平平方波发生电路：半桥与双向开关组合

图 4.6 所提出的驱动电路的两种形式

图 4.7 给出了使用图 4.6 (a) 中谐振驱动变压器来实现元胞化 DCX 主电路驱动时的关键波形。图中， V_{gs_SD1-4} 分别为驱动电路四颗开关管 S_{D1-4} 的驱动电压，开关管 Q_{D1} 和 Q_{D2} 驱动互补，开关管 Q_{D3} 和 Q_{D4} 驱动互补； i_{pd} 为谐振电感 L_{rd} 的电流波形； V_{ab} 为全桥逆变两个桥臂中点的电压，也为三电平平方波发生电路输出的波形。由于元胞化 DCX 的每个元胞电路结构是一致的，因此以图 2.23 所示的一个元胞电路的关键波形分析即可。其中， V_{gs1} 和 V_{gs2N} 为驱动电路输出的互补驱动波形，可分别作为图 2.23 中主电路原边半桥开关管 S_1 和 S_2 的驱动波形， V_{ds1} 和 V_{ds2N} 分别为其漏源极电压， i_p 与 i_{Lm} 分别为主电路原边谐振腔电流和主电路变压器励磁电流。

主电路的死区时间内，励磁电流 i_{Lm} 对等效电容充放电实现原边开关管 S_1 、 S_2 的 ZVS，死区时间需要足够长，确保 V_{ds1} 和 V_{ds2N} 电压能够在死区时间内下降到零。死区时间的定义为两个互补工作的半桥开关管均为关断状态的时间段。因此，在图 4.7 中，死区时间 t_d 为谐振驱动变压器输出的互补驱动波形， V_{gs1} 和 V_{gs2N} ，电压值同时低于 S_1 、 S_2 器件阈值电压 V_{th} 的时间段。为了保证驱动电路能够提供主电路所需的死区时间，需要对谐振驱动电路进行模态分析。

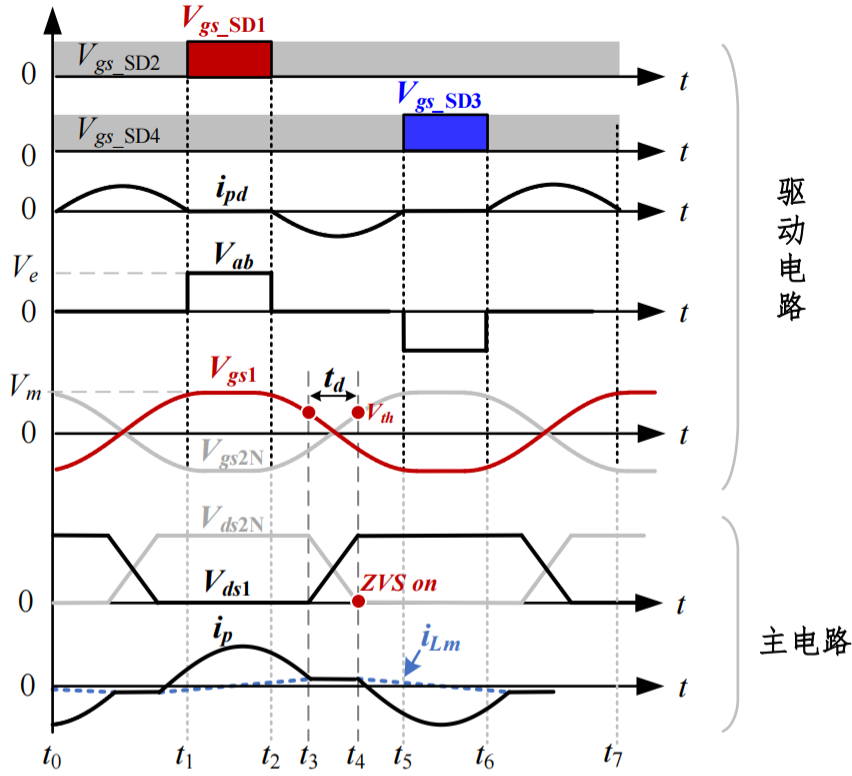


图 4.7 变频谐振驱动（图 4.6，(a)）和主电路（图 2.23）的关键波形

为了简化电路工作模态分析，对图 4.6(a)中的谐振驱动电路做出如下假设：

- 1) 主电路中需要被驱动的 MOS 等效栅极电容 C_{gs} 电容值一致，阈值电压 V_{th} 一致，元胞化 DCX 各个元胞电路参数一致；
- 2) 主电路中需要被驱动的 MOS 的栅极电阻 R_g 与驱动回路的线路电阻的压降很小，电阻可忽略；
- 3) 驱动电路的变压器接近理想变压器，励磁电感很大，漏感很小，在分析时均可忽略；
- 4) 隔直电容 C_d 容值远大于被驱动管子的栅极电容，电路稳定时电压始终保持稳定且为 0，可忽略；
- 5) 驱动电路中的变压器 T_{dri} 、开关管 Q_{D1-4} 为理想器件。

如图 4.7 中波形，可以将驱动电路一个开关周期内 (t_1-t_7) 的工作过程分为四个模态，每个模态的等效电路图如图 4.8 所示。

模态 1 (t_1-t_2)，箝位阶段：在 t_1 时刻，谐振电感电流 i_{pd} 谐振到 0，开关管 S_{D1} 驱动信号置高，沟道导通，此时模态 1 开始。该模态下，开关管 Q_{D1} 、 Q_{D4} 导通， D_{Q2} 、 Q_{D3} 关断，电压源 V_e 与谐振电感 L_{rd} 、驱动变压器副边侧被驱动器件的栅极

电阻 $C_{gs1,2,\dots,2N}$ 等效为串联。由于已经忽略了回路中较小的电阻, $C_{gs1,3,\dots,2N-1}(C_{gs2,4,\dots,2N})$ 上的电压在 t_1 时刻已经从 t_0 时刻的 $-V_m(V_m)$ 谐振为 t_1 时刻的 $V_m(-V_m)$ 。电路进入稳态工作时, 输出的驱动波形的幅值 V_m 与 V_e/N_{TD} 相等, N_{TD} 为驱动变压器的匝比。此时, 驱动变压器的原边的电压被箝位在 V_e , 谐振电感 L_{rd} 两端压降为 0, 电感电流也为 0。该模式下, 可等效为输入源 V_e 箝位变压器绕组两端的电压以及栅极电容 $C_{gs1,2,\dots,2N}$, 且该模式是一个稳态, 电路工作模式不随箝位时长发生变化。

模态 2 (t_2-t_5), 谐振阶段: 在 t_2 时刻, 开关管 S_{D1} 关断, 模态 2 开始。该模式下, 开关管 Q_{D2} 、 Q_{D4} 导通, D_{Q1} 、 Q_{D3} 关断, 谐振电流 i_{pd} 通过 Q_{D2} 和 Q_{D4} 的沟道续流。所有副边侧的栅极电容 $C_{gs1,2,\dots,2N}$ 等效为并联, 可将其等效到原边, 等效后的电容为 C_{gs_eq} 。此时, 整个电路可等效为总栅极电容 C_{gs_eq} 直接与谐振电感 L_{rd} 串联。电感电流 i_{pd} 初值为 0, C_{gs_eq} 电压初值为 V_m , 在该模式下电感 L_{rd} 与 C_{gs_eq} 谐振, 驱动能量在 L_{rd} 、 $C_{gs1,3,\dots,2N-1}$ 和 $C_{gs2,4,\dots,2N}$ 之间循环, 实现电平转换的同时降低主电路的驱动损耗。

模态 3 (t_5-t_6), 箝位阶段: 在 t_5 时刻, 谐振电感电流 i_{pd} 谐振到 0, 开关管 S_{D3} 驱动信号置高, 沟道导通, 此时模态 3 开始。该模式下, 开关管 Q_{D2} 、 Q_{D3} 导通, D_{Q1} 、 Q_{D4} 关断, 电压源 V_e 与谐振电感 L_{rd} 、驱动变压器副边侧被驱动器件的栅极电阻 $C_{gs1,2,\dots,2N}$ 等效为串联。此时, 驱动变压器原边绕组被箝位到 $-V_e$, 栅极电容 $C_{gs1,3,\dots,2N-1}(C_{gs2,4,\dots,2N})$ 上的电压被箝位到 $-V_m(V_m)$, 谐振电感 L_{rd} 两端压降为 0, 电感电流也为 0。

模态 4 (t_6-t_7), 谐振阶段: 在 t_6 时刻, 开关管 S_{D3} 关断, 模态 4 开始。该模式下, 开关管 Q_{D2} 、 Q_{D4} 导通, D_{Q1} 、 Q_{D3} 关断, 谐振电流 i_{pd} 通过 Q_{D2} 和 Q_{D4} 的沟道续流。在该模式下电感 L_{rd} 与 C_{gs_eq} 谐振, 与模态 2 类似。

根据模态分析可以发现, 互补的驱动电压 V_{gs1} 和 V_{gs2N} 的电压同时低于被驱动器件开启阈值电压 V_{th} 的时间段发生在模态 2 和模态 4 两个谐振阶段, 对应主电路的死区时间 t_d 。为了满足元胞化 DCX 主电路实现软开关的需求, 需要对这部分时间进行设计。

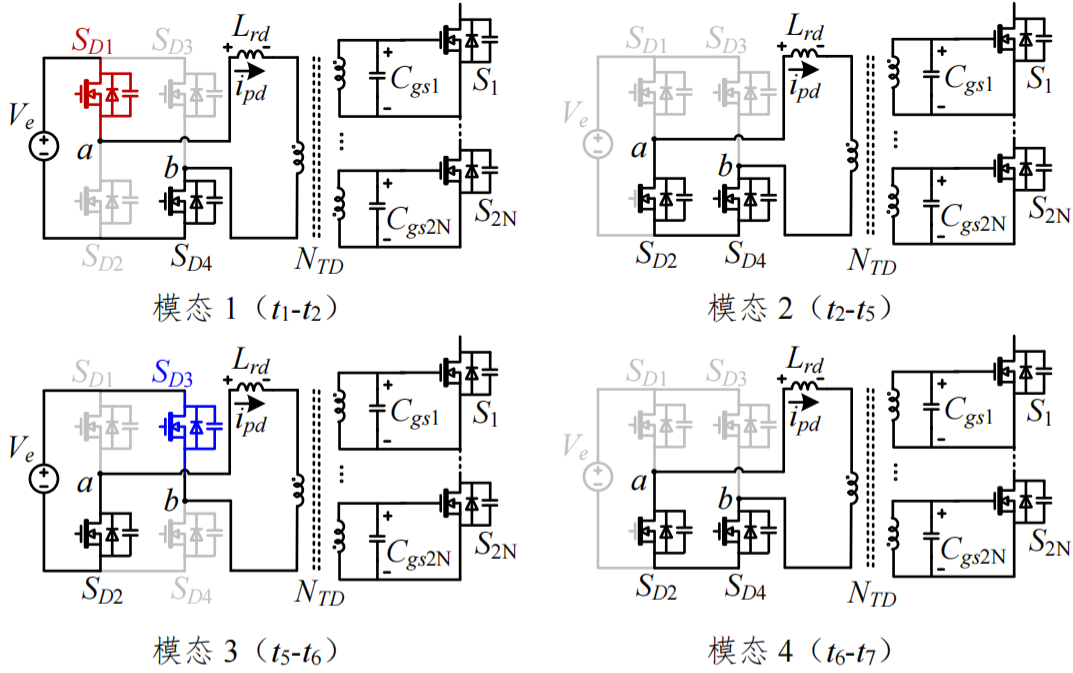


图 4.8 变频谐振驱动不同模式下的等效电路图

4.2.2 驱动波形死区的数学模型推导

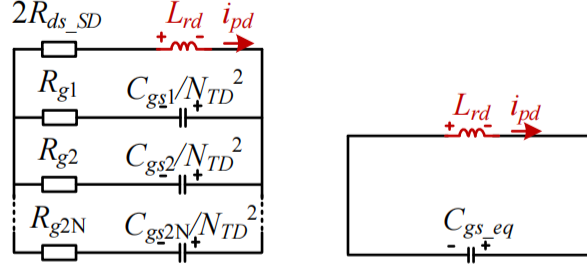
为了使变频谐振驱动能够提供满足主电路死区需求的驱动波形，需要分析影响驱动波形电压变化速度的关键电路参数，并建立数学模型。根据上一节的模式分析，输出的驱动波形发生电平转换是模式 2 和模式 4 中谐振电感 L_{rd} 与栅极电容谐振造成的，主电路的死区时间 t_d 包含在该谐振时间段中。

以模式 2 为例，考虑被驱动器件的栅极电阻 $R_{g1,2,\dots,2N}$ 、开关管 S_{D1-4} 的沟道电阻 R_{ds_SD} 、结电容 C_{ds_SD1-4} 后，可将图 4.8 中模式 2 和模式 4 的等效电路简化为如图 4.9 (a) 所示。图中， $C_{gs1,2,\dots,2N}$ 为主电路被驱动管子的等效栅极电容， N_{TD} 为驱动变压器的匝比。

应用谐振驱动之后，由于驱动速度缓慢，驱动电流也就是对 $C_{gs1,2,\dots,2N}$ 充放电的电流非常小。而查阅器件的数据手册可知，成熟的低压硅器件的栅极电阻 $R_{g1,2,\dots,2N}$ 通常在 1Ω 左右的量级，因此驱动电流在 $R_{g1,2,\dots,2N}$ 上产生的压降可忽略，因此分析驱动波形电压数学模型时忽略该部分电阻。而对于开关管 Q_{D1-4} 的沟道电阻 R_{ds_SD} ，其电流为所有被驱动器件驱动电流的总和，不可忽略。但是，由于主电路驱动电压幅值本身较低，一般为器件阈值电压的 3-5 倍，因此驱动电路开关管 Q_{D1-4} 可采取很低耐压的器件，比如 30V 的 BSZ0909ND，其沟道电阻为 $18m\Omega$ 。因此，总驱动电流流过 R_{ds_SD} 产生的压降也很小，分析时忽略。此时，可以发现栅极电容 $C_{gs1,2,\dots,2N}$ 等效为直接并联，将其合并为 C_{gs_eq} 后，再与谐振电感 L_{rd} 串

联，如图 4.9 (b) 所示。 C_{gs_eq} 与栅极电容的值可由式 (3-2) 得到，并且 C_{gs_eq} 两端的波形形状与 C_{gs1} 一致，幅值为其 $1/N_{TD}$ 。

$$C_{gs_eq} = \sum C_{gsi}, i = 1, 2, \dots, 2N \quad (3-2)$$



(a) 模态 2 的等效电路 (b) 进一步简化后的 LC 谐振电路

图 4.9 变频谐振驱动谐振阶段的等效电路图

图 4.10 为变频谐振驱动谐振阶段的细节图，定义开始进入谐振阶段，也就是驱动电压 V_{gs1} 开始由 V_m 开始下降的时刻为 t_0 时刻，谐振阶段的持续时长为 T_A ，谐振周期为 T_{rd} ，箝位阶段时长为 T_B 。谐振驱动电路的开关频率定义为 f_s ，与元胞化 DCX 主电路保持一致。根据模态分析，设计谐振阶段的时长为谐振周期的一半。谐振周期由 LC 谐振电路中的电感值和电容值确定，其中电感值 L_{rd} 为可设计的变量，而电容值 C_{gs_eq} 由选用的器件等效栅极电容决定。一个开关周期包含两个箝位阶段和两个谐振阶段，由此可推得箝位阶段的时长 T_B 与谐振阶段时长 T_A 、开关周期 T_{rd} 三者之间的关系，如式 (3-4) 所示。 t_0 时刻，电感电流 i_{pd} 的值为 0，栅极电容 C_{gs1} 上的电压初值为 V_m ，由此可得知栅极电容 C_{gs1} 上的电压波形表达式为式 (3-5)。从图 4.10 所示的关键波形来看，可以得到两个关于死区时间 t_d 的限定条件，如式 (3-6)。

$$T_{rd} = 2\pi\sqrt{L_{rd}C_{gs_eq}} \quad (3-3)$$

$$T_A = \frac{T_{rd}}{2}, T_B = \frac{1}{2f_s} - T_A \quad (3-4)$$

$$V_{gs1}(t) = V_m \cos \frac{t}{\sqrt{L_{rd}C_{gs_eq}}}, V_m = \frac{V_e}{N_{TD}} \quad (3-5)$$

$$V_{gs1}\left(\frac{T_{rd}}{2} - t_d\right) = V_{th}, V_{gs1}\left(\frac{T_{rd}}{2} + t_d\right) = -V_{th} \quad (3-6)$$

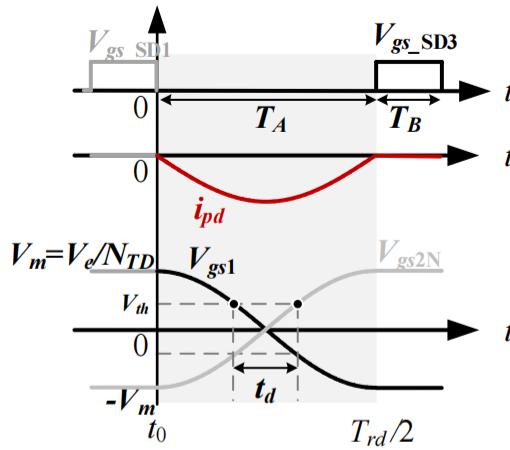


图 4.10 LC 谐振电路的参数定义与关键波形

联立式 (3-3) - (3-6)，即可得到死区时间 t_d 与电路的关键参数之间的表达式如下：

$$t_d = 2\sqrt{L_{rd}C_{gs_eq}} \arcsin\left(\frac{V_{th}}{V_m}\right) \quad (3-7)$$

4.2.3 变频谐振驱动电路的参数设计方法

下面开始设计变频谐振驱动的电路参数，首先需要确定主电路对驱动的需求。对于元胞化 DCX 主电路来说，此前已经确定其开关频率范围为 790kHz-1.1MHz，因此驱动电路的输出频率需要能涵盖这个范围。此外，主电路需要足够长的死区以保证 ZVS 的实现，在第二章 DCX 的设计中， $t_d=80\text{ns}$ 时 DCX 原边的开关管能够恰好实现 ZVS。因此，为了避免出现 ZVS 丢失影响效率以及产生 EMI 干扰问题，驱动电路提供的驱动波形死区应当大于 80ns。在保证输出频率范围合适，以及死区时间足够两个条件下，设计出的谐振驱动电路应当尽可能的损耗低、占板面积小，以保证整个样机的高效率和高功率密度。

首先是输出频率范围的问题。通过控制驱动电路的四个开关管 Q_{D1-4} 的驱动频率，即可控制输出的驱动波形的频率。由上一节的模态分析中可知，变频谐振驱动电路的一个开关周期可由两个谐振阶段和两个箝位阶段组成，单个阶段时长分别为 T_A 和 T_B 。在电路实际工作中，由于谐振回路中存在栅极电阻以及线路电阻等原因，驱动能量不可避免的会有轻微的耗散，为了补充这部分能量，箝位阶段内输入源 V_e 会向栅极电容传递能量。因此，为了保证电路的正常工作，箝位阶段时长应当大于 0，谐振阶段的时长应当小于开关周期的一半：

$$T_A = \pi \sqrt{L_{rd} C_{gs_eq}} < \frac{1}{2f_s} \quad (3-8)$$

对于图 2.27 所示的元胞化 DCX 主电路，其原边的 12 个半桥中的 24 颗开关管采用 IQE050N08NM5 器件，单颗器件的等效栅极电容 C_{gs} 约为 3.8nF。利用所提出的变频谐振驱动变压器作为这些器件的驱动电路时，可直接设置驱动变压器器具有 24 组副边绕组，每个副边绕组驱动一颗器件。为了减小驱动电路开关管 Q_{D1-4} 的导通损耗，驱动变压器的匝比 N_{TD} 确定为 2:1。为了保证驱动电路的小驱动损耗以及小的占板面积，Q_{D1-4} 选用低栅极电荷 Q_G 与小封装的半桥 MOS 芯片 BSZ0909ND。由此，可以确定出总等效栅极电容 C_{gs_eq} 的值约为 22.8nF。同时， f_s 的范围已知为 790kHz-1.1MHz，根据最大开关频率即可确定出谐振电感 L_{rd} 的取值上限为：

$$L_{rd} < \frac{1}{4\pi^2 f_{s_max}^2 C_{gs_eq}} \quad (3-9)$$

在本文中，可根据样机的参数确定出谐振电感 L_{rd} 取值应当不超过 1.1uH。同理，如果已经确定了电感的值，也就可以确定出应用该电路能够实现的最高频率限制。而对于更低的频率，通过延迟箝位阶段时长 T_B 即可实现。

第二个问题，也就是关于变频谐振驱动电路提供的互补驱动波形的死区。从式 (3-7) 关于死区时间的表达式可以看出，死区时间 t_d 与谐振电感 L_{rd} 、总等效栅极电容 C_{gs_eq} 、被驱动器件的开通阈值电压 V_{th} 和驱动电平幅值 V_m 都有关系。对于本文中元胞化 DCX，其原边的器件 C_{gs_eq} 已经确定为 22.8nF，器件的开通阈值电压 V_{th} 典型值为 3.0V，此时还需要确定 V_m 以及谐振电感 L_{rd} 的值。将 C_{gs_eq} 以及 V_m 的值代入式 (3-7)，即可得到如图 4.11 所示的死区时间 t_d 随不同谐振电感 L_{rd} 和不同驱动电压幅值 V_m 变化的曲线。

从图中可以看出，随着谐振电感 L_{rd} 的增大，谐振阶段 LC 谐振的周期会增大，在相同驱动幅值 V_m 的情况下，驱动信号的电压变化速度变慢，因此驱动电压从 V_{th} 变化到 $-V_{th}$ 的时间会增加，也就是说给主电路提供的互补驱动波形的死区时间 t_d 会增加。同样的，当谐振电感 L_{rd} 已经确定的情况下，驱动幅值 V_m 越高，由于 LC 谐振周期已经确定，驱动电压的变化速度回越高，驱动电压从 V_{th} 变化到 $-V_{th}$ 这相同的电压变化量所需的时间越少，提供的死区时间越小。以 8V 驱

动幅值为例，为了保证至少 80ns 的死区，需要谐振电感 L_{rd} 的值大于 480nH。如果不考虑参数偏差，可以将驱动信号的幅值 V_m 就设置为 8V，而谐振电感 L_{rd} 的值确定为 480nH。

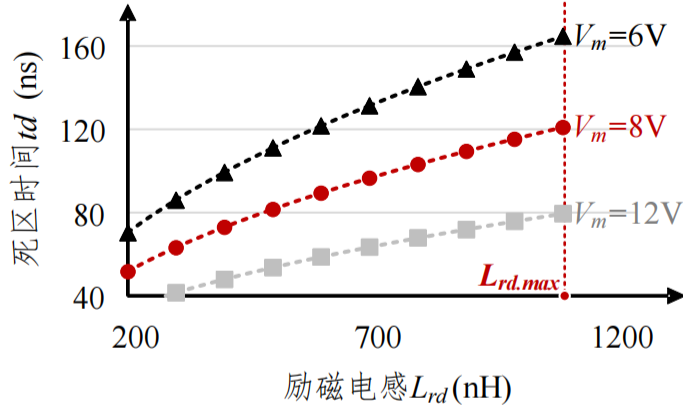


图 4.11 不同 L_{rd} 和 V_m 时的死区时间 t_d 变化曲线

在此前的分析中，确定了器件阈值电压 V_{th} 取典型值 (3.0V)，同时不考虑参数偏差时的谐振电感以及其他参数的设计方法。然而实际电路中，各种参数都会存在误差，比如等效栅极电容 C_{gs} 、器件的阈值电压 V_{th} ，以及 L_{rd} 电感值，而这些都会影响驱动电压的死区时间。下面对几个参数偏差对驱动电路以及主电路的影响分别进行评估。

为了定量的评估参数一致性和死区时间 t_d 变化的影响，可以将死区时间 t_d 的变化对主电路损耗的影响作为评判的依据。查阅数据手册可知，所用器件单颗器件的 C_{gs} 范围约为 2.2-2.9nF，器件阈值电压 V_{th} 的范围为 2.2-3.8V，而电感值通常考虑误差可以控制在 20%以内。结合式 (3-7) 中死区时间 t_d 的表达式可知，参数一致性导致的死区时间变化在 1 倍的死区时间内，而死区时间占整个开关周期的比例很小，因此对主电路的谐振工作状态影响很小，忽略该部分影响。相对的，死区时间的变化对损耗的影响更主要的是 ZVS 丢失，或者寄生体二极管导通产生的额外损耗。死区时间 t_d 过小会导致 ZVS 的丢失，损耗会快速增加，同时造成 EMI 问题，在设计时应当避免这种情况的发生，死区时间限制为始终应当不小于 80ns。而死区时间 t_d 过大时，2.3.5 小节中已经说明会产生额外的体二极管导通损耗，可以通过式 (2-65) 进行计算评估。在这里，以额定电压 (28V) 满载输出的工况下，参数偏差导致的额外损耗增加情况为评估依据，限制因为参数一致性导致的额外损耗比例增加不超过 0.05%。

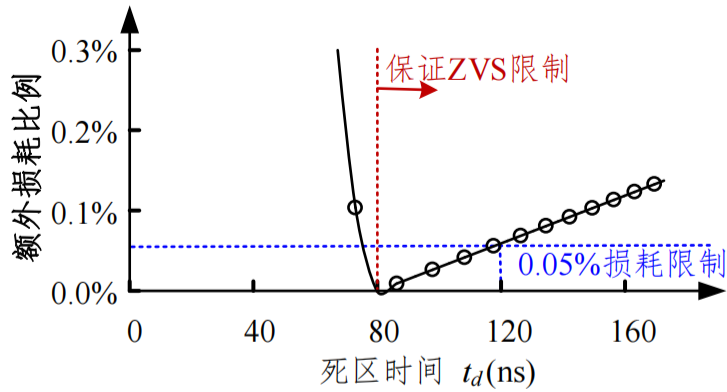


图 4.12 不同死区时间下的额外损耗比例评估 (28V-2.5kW)

从图 4.12 中可以看出,在此前励磁电感按照 80ns 死区设计, $t_d=80\text{ns}$ 是最优工作点。当死区进一步增加时,额外损耗会增加,在 0.5% 的损耗比例限制下,死区时间的上限约为 120ns,由此确定出主电路合适的死区时间 t_d 范围为 80-120ns。下面据此分别评估各个参数偏差的影响,评估某个参数时,其余参数均按照上一节确定的理想值取值。

首先是被驱动器件的等效栅极电容 C_{gs} 。所用器件单颗器件的 C_{gs} 范围约为 2.2-2.9nF,代入式 (3-7),由此计算出的因为 C_{gs} 变化导致的死区时间变化范围约为 80-92ns,产生的最大额外损耗比例约为 0.015%,占比很小。并且,所有被驱动器件的等效栅极电容是并联在一起的,驱动波形的影响是受总的 C_{gs_eq} 的偏差影响的,在采取同一批器件的情况下,栅极电容的偏差产生的影响非常小,可忽略。

在栅极电容 C_{gs} 按照典型值确定, V_m 确定为 8V 的情况下,图 4.13 给出了不同器件阈值电压 V_{th} 和谐振电感 L_{rd} 组合下对应的死区时间的三维图。将 80ns 和 120ns 两个死区时间边界与曲面的相交线投影 XY 平面,即可得到图 4.14 中的死区时间 t_d 与 L_{rd} 、 V_{th} 的等势线。器件阈值电压 V_{th} 和谐振电感 L_{rd} 的取值对死区时间的影响较大,分析它们影响的目的是为了为了使所提出的变频谐振驱动更好的应用,并保证高效率。为了降低器件阈值电压 V_{th} 的影响,需要对主电路使用的 MOS 管进行筛选,例如选取 V_{th} 典型值 $\pm 10\%$ 以内的器件,即筛选后器件阈值电压范围为 2.7-3.3V,对应于图 4.14 中橙色阴影区域内。对于阈值电压为 2.7V 的器件,其满足主电路死区 80-120ns 需求的谐振电感 L_{rd} 的取值范围约为 150-350nH;对于阈值电压为 3.3V 的器件,其满足主电路死区 80-120ns 需求的谐振电感 L_{rd} 的

取值范围约为 100-210nH。因此,对于给定的 2.7-3.3V 阈值电压筛选范围的器件,考虑参数一致性的影响后可选择的谐振电感 L_{rd} 取值范围为 150-210nH。

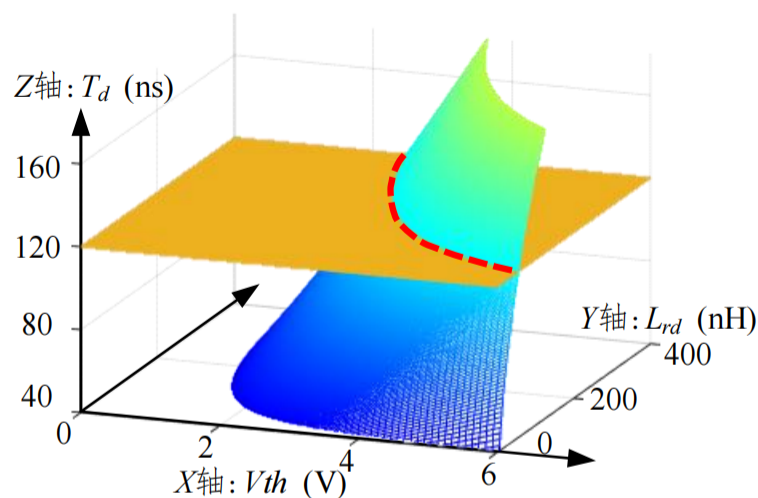


图 4.13 不同 V_{th} 、 L_{rd} 组合下对应的死区时间三维图

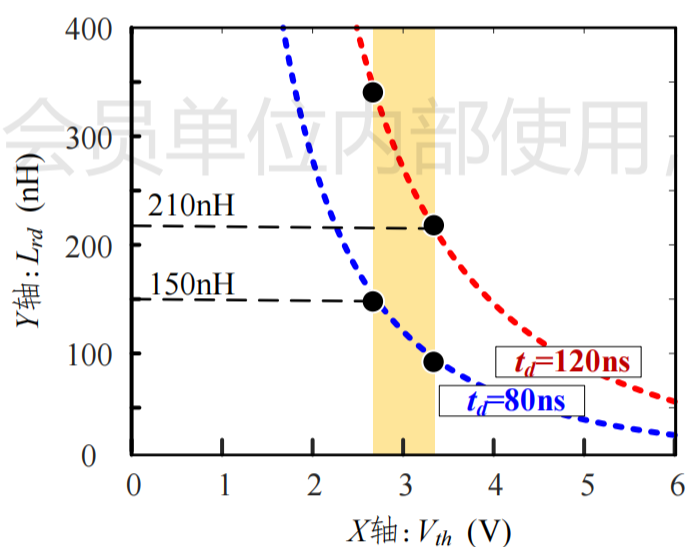


图 4.14 死区时间 t_d 关于 L_{rd} 和 V_{th} 的等势线

4.3 所提出的变频谐振驱动变压器实验验证

4.3.1 变频谐振驱动与驱动芯片方案布局对比

对于变频谐振驱动电路,其需要实现多路隔离驱动,以及频率可调节的功能。在本文的元胞化 DCX 主电路中,两组驱动变压器分别实现原边 24 颗 MOS 和副边 24 颗 SR 的驱动。图 4.15 给出了所提出变频谐振驱动电路的实物图。由于主电路原副边的器件不同,其器件阈值和合适的驱动幅值、电感取值范围均不同,

因此本文对两组驱动变压器的参数分别进行了设计,结果如表格 5.1 所示。其中, $L_{md,p}/L_{md,s}$ 分别主电路原边器件/副边器件对应的驱动变压器励磁电感; $L_{mr,p}/L_{mr,s}$ 为两组变频驱动电路的最佳谐振电感值; 驱动变压器的原副边匝比 N_{T_dri} 均设置为 4:2。图 4.15 同时给出了当采用传统的电压型驱动芯片时的驱动电路布局对比。传统驱动方案应用于本文的元胞化 DCX 主电路时,共需要 24 颗隔离驱动芯片以及 12 颗自举二极管,总占板面积约为 1900mm^2 。而应用变频谐振驱动变压器后,仅需 8 颗半导体器件,节约了器件成本;同时,驱动电路的总占板面积减小为 630mm^2 ,相较于传统方案减小了约 70% 的占板面积,有利于功率密度的提高。

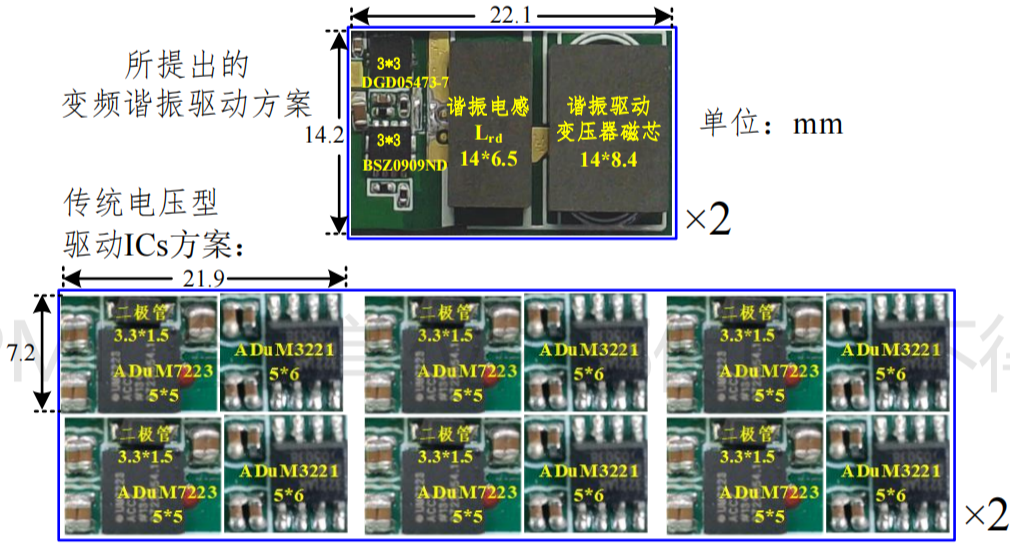


图 4.15 驱动电路占板面积与数量对比

4.3.2 关键工作波形与驱动一致性验证

为了保证电路能够持续的正常工作,需要观察变频谐振驱动的工作波形是否正常,并与原理分析对比。图 4.16 给出了所提出的变频谐振驱动变压器电路的关键工作波形。其中,蓝色的波形 V_{gs_SD4} 为驱动电路中 S_{D4} 管的驱动信号。

V_{gs_SD4} 信号为高电平时,桥臂中点电压 V_{ab} 与输入源 V_e 保持一致。该阶段内,红色的谐振电感电流 i_{pd} 始终为 0,电感两端电压为 0,因此变压器原边绕组两端电压也与输入源 V_e 保持一致。变频驱动变压器匝比 N_{T_dri} 为 4:2,因此,驱动变压器输出的驱动波形 V_{gs1} 幅值为 $V_e/2$ 。这里,输入源 V_e 电压值为 10V。

V_{gs_SD4} 信号为低电平时,桥臂中点电压 V_{ab} 为 0。此时谐振电感 L_{rd} 与栅极电容 $C_{gs1,2,\dots,2N}$ 谐振,谐振电感电流 i_{pd} 正弦型变化。 V_{gs_SD4} 信号为低电平的持续

时间设置为电路谐振周期的一半。

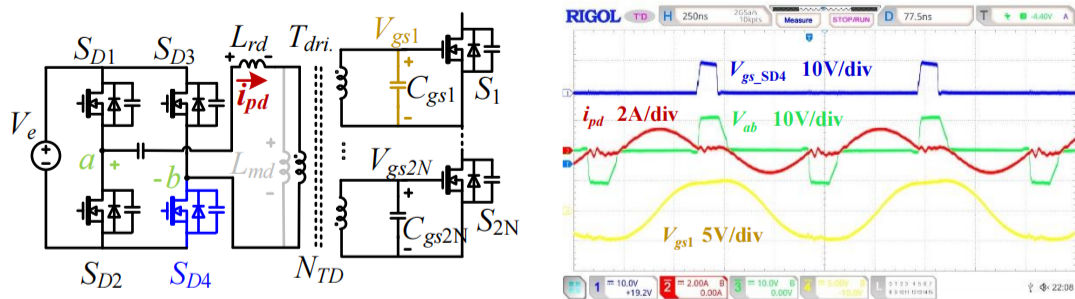


图 4.16 谐振驱动电路的测试节点（左）与关键波形（右）

此外，由于元胞化 DCX 主电路部分元胞对应的绕组充分耦合在同一个变压器磁芯中，且整流结构存在多组并联的情况，不同元胞中的器件需要较为一致的驱动信号。图 4.17 中测试了驱动变压器输出的三组驱动波形，驱动波形能够保持良好的一致性。

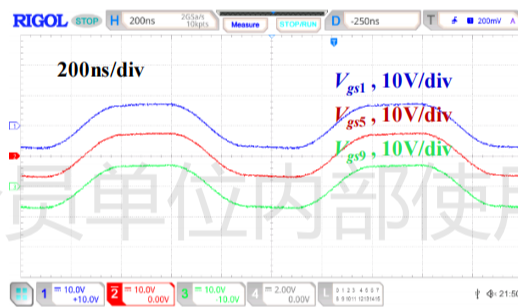


图 4.17 多路驱动一致性

4.3.3 变频谐振驱动的高频低损特性验证

为了验证所提出驱动电路的低损耗特性，证明其能够应用于高频工作的场合，还需要对驱动损耗进行测试，并与传统电压型驱动方案对比。主电路原边的器件驱动幅值设置为 8V，副边的整流管驱动幅值设置为 5V，在 1MHz 的开关频率下，主电路原边器件和副边器件对应的两组变频驱动电路的损耗分别为 0.8W (16V, 0.05A)、0.5W (10V, 0.05A)，48 颗器件总的驱动损耗约为 1.3W。相较于相同开关频率和驱动幅值的传统电压型驱动方案对应的 8.2W 损耗，驱动损耗的下降幅度超过了 80%。

从上述测试可以说明，相比于传统电压驱动芯片方案，元胞化 DCX 主电路应用所提出的变频谐振驱动变压器后，驱动电路的占板面积以及驱动损耗都能大幅优化，有利于整体样机的高效率和高功率密度。

表格 4.1 驱动损耗与驱动电路占板面积对比

	传统电压型驱动	本文所述变频谐振驱动
原边驱动电压（V）	8	8
副边驱动电压（V）	5	5
总驱动损耗（W）	8.2	1.3
驱动总占板面积（mm ² ）	1900	630

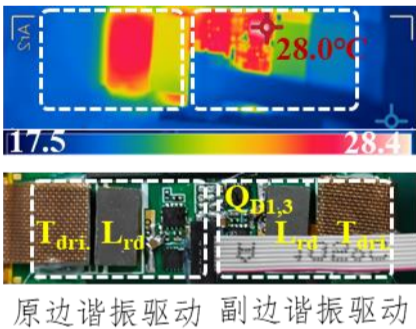


图 4.18 驱动电路热图（原边驱动幅值 8V，副边驱动幅值 5V）

4.4 本章小结

本章主要考虑了驱动部分应该如何配合 DCX 主电路去实现上一章节提出的宽电压范围 DCX 变频控制方法，并针对兆赫兹频率工作的元胞化 DCX 驱动方案完成了优化设计。

首先，分析了传统电压型驱动芯片方案存在过大的驱动损耗问题，简单说明了电流型谐振驱动能降低驱动损耗的原因。经过调研分析，现有的谐振驱动方案无法满足变频控制方法的需求，由此提出了一种频率可调节的高频低损谐振驱动变压器方案。然后，分析了所提出变频谐振驱动电路的工作原理，在此基础上建立了所提出的谐振驱动电路的数学模型，针对元胞化 DCX 主电路的工作特性和对死区时间的需求，给出了理想情况下的谐振驱动电路参数设计方法，之后分析了电路参数一致性的影响，给出了实际应用中推荐的谐振电路参数取值区间选取方法。

然后，搭建了所提出的变频谐振驱动的实际电路。相比于传统的电压型驱动芯片的方案，所提出的变频谐振驱动方案总占板面积减小了 70%，有利于实现高功率密度。之后，测试了变频谐振驱动的关键工作波形，验证了其基本工作原理，

并测试了输出的多路驱动波形之间的驱动一致性。最后，测试了所提出的变频谐振驱动电路的损耗。与电压型驱动方案相比，驱动损耗降低了 80%，验证了其高频低损耗的特性。

仅限PMIC会员单位内部使用，不得外传

5 DCX 采用变频控制后的两级样机联调验证

5.1 第二版实物样机与电路参数

为了验证第三章所提出的宽电压 DCX 变频控制的效率优化方法，第四章所提出的变频谐振驱动变压器，以及所提出两级电路在宽电压范围应用下的高效率和高功率密度优势，在第一版样机的基础上，搭建了第二版两级元胞化 DC-DC 实物样机，并进行了实验验证和效率测试。两级样机的输入电压范围为 200-400V (270V)，稳压输出 17-34V (28V)，2.5kW。实物样机图如图 5.1 所示，功率密度达到了 $1\text{kW}/\text{in}^3$ ，达到了预期目标。样机电路参数如表格 5.1 所示。

与图 2.48 所示的第一版样机相比，第二版样机中的元胞化 DCX 采取了变频控制的方法：在不同输出电压下按预设值采取不同的开关频率。并且，第二版样机驱动部分采用了本文第三章提出的频率可调节的高频低损谐振驱动方案。

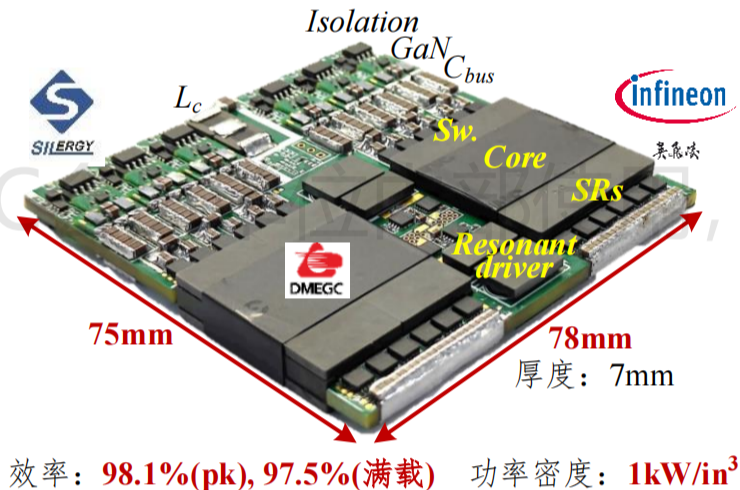


图 5.1 DCX 采用变频谐振驱动的第二版实物样机图

图 5.2 为该样机主功率部分的原理图。前级 CMB0 包含 12 个级联的半桥单元，采用 100V 的 GaN 器件；半桥单元级联，采用共同占空比和载波移相的控制策略。元胞化 DCX 原边侧为 12 个半桥逆变结构，输入端各自连接一个低压中间母线；副边侧为 6 个全桥整流结构，输出并联。12 个原边半桥逆变和 6 个全桥整流各自对应的绕组在 DCX 两个变压器中均匀分配，原副边绕组的匝比 N_T 为 1:1。DCX 的不同元胞电路参数一致性较高，且因为励磁电感远大于谐振电感，增益曲线十分平缓，可以认为不同元胞的电压增益一致。因此，在输出并联的情况下，保证了多个中间母线电压的自动均压。

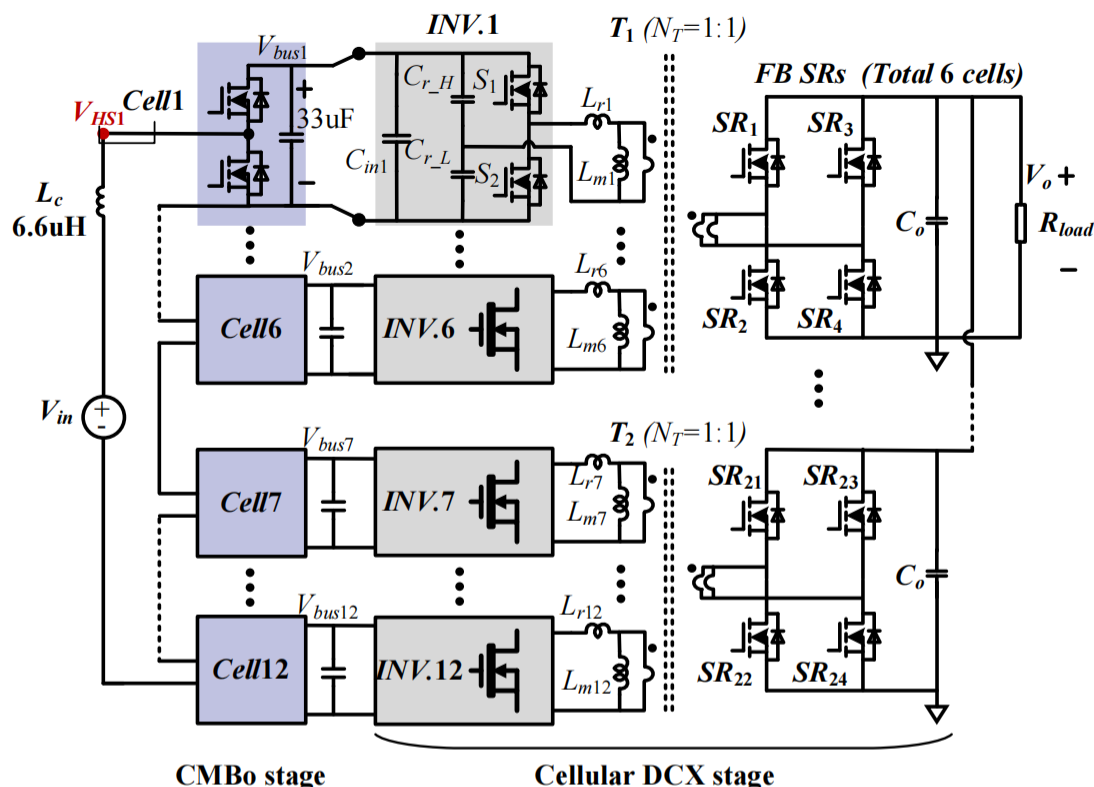


图 5.2 完整样机原理示意图

图 5.3 给出了该两级方案的系统结构与控制框图示意图。对于前级 CMB0 的 GaN 器件驱动方案，使用了 GaN 专用的非隔离半桥驱动器 LMG1205，并通过数字隔离器实现信号的隔离，通过多个高度集成的 Buck 电源管理芯片提供数字隔离器副边侧以及驱动芯片的多路供电。对于元胞化 DCX，通过两个变频谐振驱动变压器实现了原副边所有器件的隔离驱动。为了实现电压闭环的功能，可采样某个中间母线电压或者隔离采样输出电压，与电压参考值 V_{ref} 进行比较作差后 PI 补偿，进一步得到前级 CMB0 的占空比。通过控制 CMB0 电路的占空比即可控制输出电压。

前级 CMB0 的每个单元的开关频率为 50kHz，元胞化 DCX 在整个输出电压范围（17-34V）内工作的频率范围为 790-1.1MHz。对于给定的输出电压 V_{ref} ，元胞化 DCX 始终工作在定频和定占空比的状态，以实现最优的效率工作点。DCX 的开关频率 f_s 与输出电压 V_{ref} 的对应关系由查表实现。

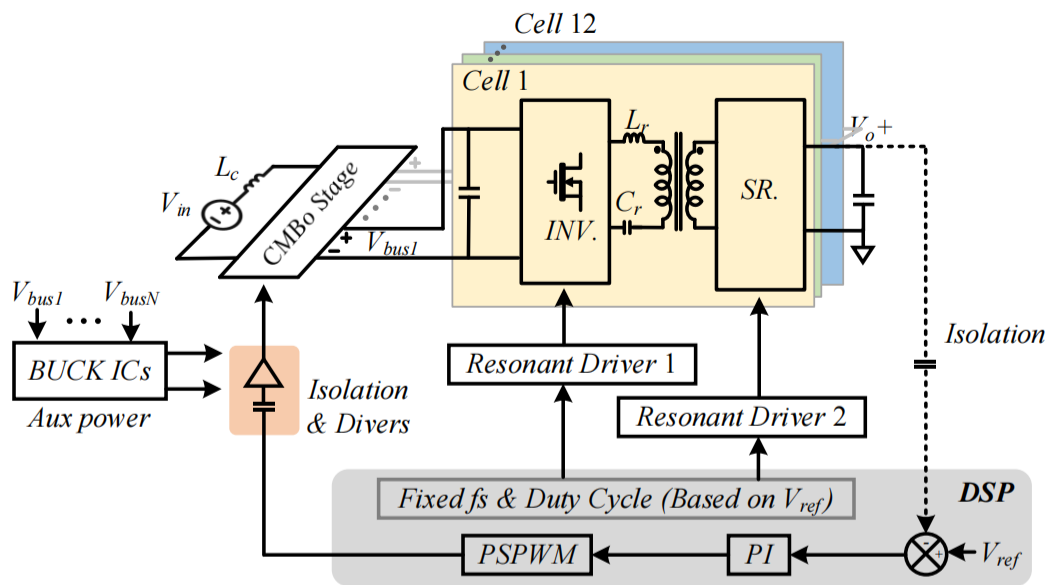


图 5.3 系统结构与控制框图示意图

表格 5.1 第二版两级样机电路关键参数

参 数	标 号	数 值
输入电压范围	V_{in}	200-400V (270V)
输出电压范围	V_o	17-34V (28V)
额定满载功率	P_{rated}	2.5kW
中间母线电压范围	V_{bus}	34-68Vdc $\times$ 12
中间母线电容	C_{bus}	C3216X7S2A335K160AB
CMB0 开关管	$Q_{iA \text{ or } B} (i=1\sim12)$	EPC2218
CMB0 开关频率	f_{s_c}	50kHz
CMB0 功率电感	L_c	XAL7070-332, 3.3uH $\times$ 2
DCX 原边开关管	S_1-S_{24}	IQE050N08NM5
DCX 整流管	SR_1-SR_{24}	IQE013N04NM5
DCX 励磁电感/谐振电感	L_r	0.51uH / 9nH
DCX 谐振电容	$C_{rH} \& C_{rL}$	C2012X7R1H105K125A $\times$ 6
DCX 开关频率	f_s	790kHz~1.1MHz
死区时间	t_d	80ns
变压器匝比	N_T	1:1
磁芯材料	$T_{1,2}, T_{r_{1,2}}$	DMR51W
DCX 输出电容型号	C_o	CGA4J1X7R1H475K125AE
谐振驱动电路的驱动芯片	U_1, U_2	DGD05473FNQ-7
谐振驱动电路 MOS	$S_{D1}-S_{D4}$	BSZ0909ND

驱动变压器励磁电感	$L_{md.p} / L_{md.s}$	9 μ H / 9 μ H
驱动变压器谐振电感	$L_{mr.p} / L_{mr.s}$	480nH / 560nH
驱动变压器匝比	N_{T_dri}	4:2
PCB		14Layer / 3oz

5.2 变频元胞化 DCX 的关键工作波形

5.2.1 DCX 元胞间的波形一致性与均压均流验证

和传统的单个单元的 DCX 相比,本文采用的元胞化 DCX 方案存在多个元胞电路。为了保证电路参数一致性,不同元胞电路在 PCB 设计时采取了相同的布局方式,并采用了平面变压器代替绕线式变压器。然而实际中,由于制造偏差以及不同元胞相对变压器的位置差异等,参数仍然存在细微的误差。为了验证这部分误差的影响,需要对不同元胞电路的关键波形进行测试比较。

图 5.4 中以一个 DCX 元胞电路为例,说明测试节点。对于电压信号,需要着重关注驱动信号和器件的源漏极电压 V_{ds} 。上一节的测试中已经验证了多路驱动信号能够保证很好的一致性。这里选取了三个元胞中半桥逆变电路的下管源漏极电压 V_{ds} 进行测试,结果如图 5.5 (a)。可以看出,三个 V_{ds} 波形能够保证良好的一致性。并且通过三个 V_{ds} 波形的电压幅度是一致的,也验证了 DCX 元胞电路间良好的静态均压特性。图 5.6 进一步测试了多个元胞的输入电压,验证了元胞间良好的动态均压特性。而对于电流信号,通过罗氏线圈采样三个元胞电路的谐振腔电流 i_p ,测试结果如图 5.5 (b),三个谐振腔电流的形状和幅值均保持良好的一致性,说明了元胞电路间良好的均流特性。

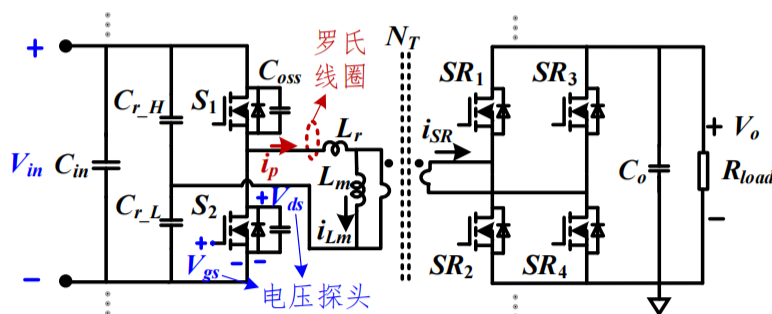
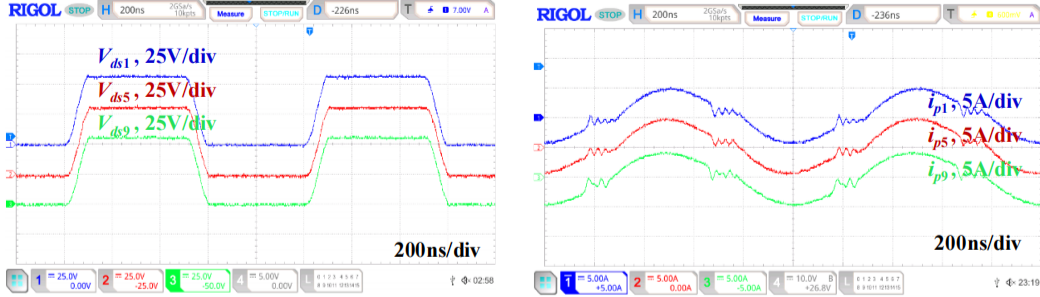


图 5.4 DCX 电压、电流测试节点



(a) V_{ds} 一致性与静态均压测试 (b) 谐振腔电流一致性与均流测试

图 5.5 DCX 元胞间的均压、均流验证

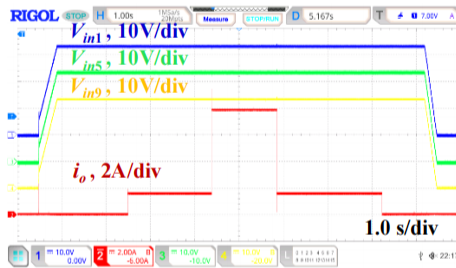


图 5.6 DCX 元胞间的输入动态均压测试

5.2.2 不同输出电压下变频 DCX 的工作关键波形

为了保证电路的最优效率, DCX 始终工作在恒频和定占空比的状态, 这也是第一版样机中元胞化 DCX 采取的方案, DCX 开关频率在不同输出电压下开关频率恒定为 1MHz。

但是, 通过第二章的分析可知, DCX 的输出电压范围较宽时, 恒定的开关频率无法实现整个电压范围下都恰好 ZVS, 不利于提高效率。传统思路的做法, 也就是按照最恶劣情况设计励磁电感, 以保证全电压范围下都能实现 ZVS, 会导致过大的励磁电流, 进而显著影响电路的轻载和峰值效率。为此, 本文提出了一种匹配谐振电容值非线性的宽电压范围 DCX 变频优化方法, 在不同的输出电压下采取不同的开关频率, 同时设计时选取了合适的谐振电容型号使全电压范围内谐振频率与开关频率均较为一致。为了验证这一方法的可行性, 首先需要验证其电路工作波形是否与分析一致。同时, 也需要测试驱动波形说明所提出的变频谐振驱动能够配合主电路实现 DCX 的变频控制。

在本文中, DCX 变压器励磁电感 L_m 设计为 0.51uH, 图 5.7 给出了不同输出电压设置 V_{ref} 对应的 DCX 的开关频率, 在最低电压、额定电压、最高电压输出时分别为 790kHz、930kHz 和 1.1MHz。其余电压工况同样各自对应一个开关频

率，这可以通过查表法实现，也可通过曲线拟合得到不同输出电压设置时对应的开关频率。图 5.8 为不同输出电压下的关键波形。对于驱动电路来说，验证了变频谐振驱动变压器能够输出所需频率范围的驱动波形；对于元胞化主电路来说，三种电压工况下，器件 V_{ds} 电压下降到 0 时，驱动信号的电压仍低于器件开启的阈值电压 V_{th} ，三种工况下都实现了软开关，并且谐振腔电流接近正弦波，开关频率与谐振频率接近，DCX 电路工作在效率最佳点。

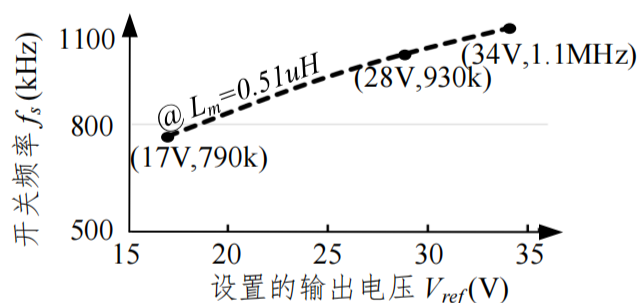
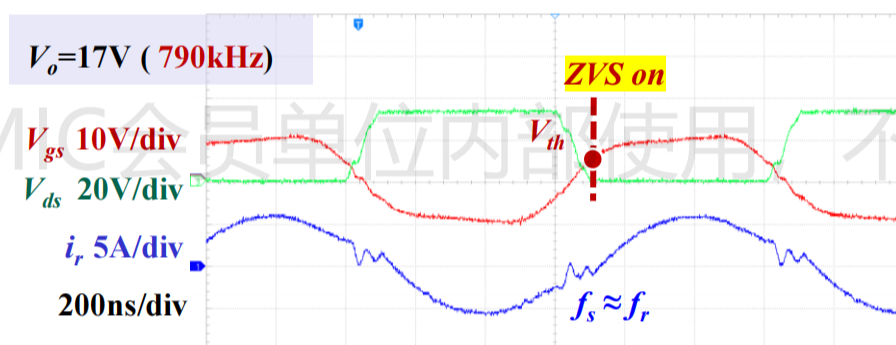
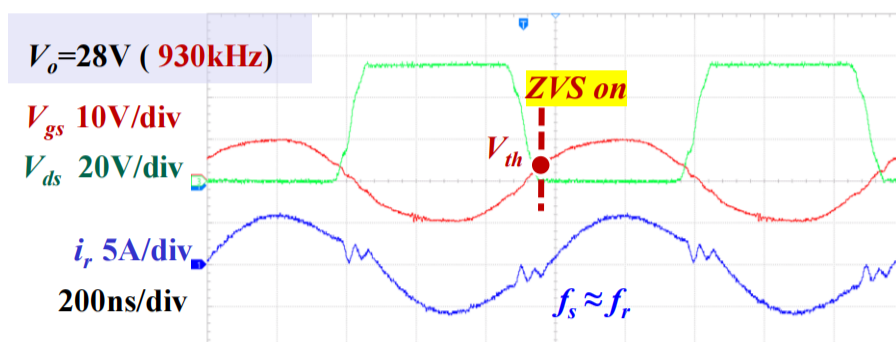


图 5.7 DCX 频率与设置的输出电压 V_{ref} 的关系曲线



(a) $V_o = 17V$



(b) $V_o = 28V$

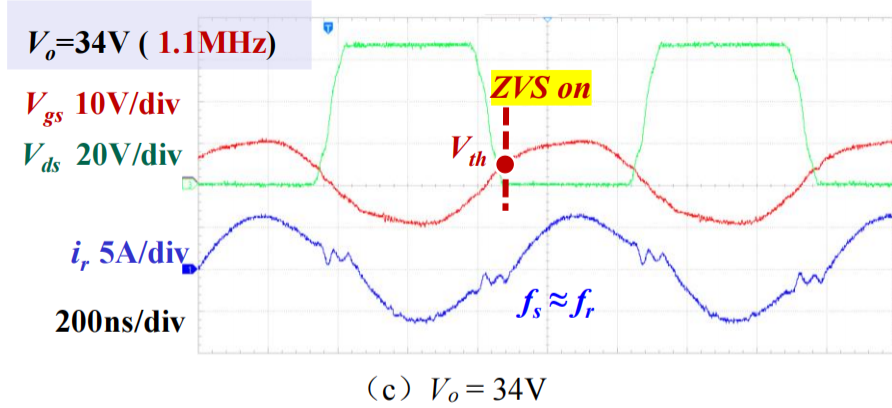


图 5.8 元胞化 DCX 关键工作波形（第二版变频样机）

5.3 变频元胞化 DCX 效率测试与损耗分解

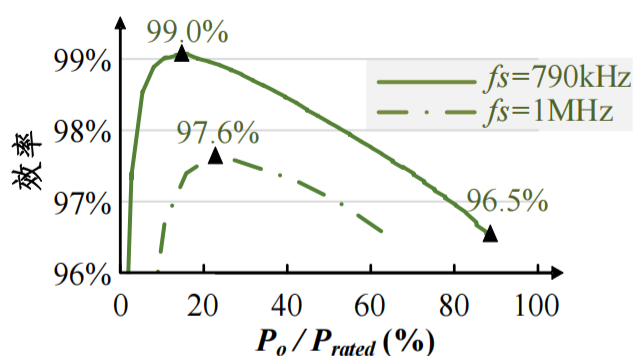
5.3.1 宽电压范围 DCX 变频控制方法对效率提升的验证

对于后级的元胞化 DCX，图 5.9 给出了 17V、28V、34V 三种输出电压下的效率测试曲线，励磁电感 L_m 设计为 0.51 μ H。其中，实线为应用本文所提出的匹配谐振电容值非线性特性的变频控制方法，使用所提出的变频谐振驱动方案的第二版样机的实测效率曲线；点实线为相同励磁电感下，开关频率恒定为 1MHz 时第一版样机的实测效率曲线，作为对比。可以看出，当采取了随输出电压改变 DCX 的频率的策略后，相对于宽电压范围下 DCX 始终工作在 1MHz 的第一版样机，第二版样机中的元胞化 DCX 实测效率全负载范围内都有明显的提升，尤其是最低输出电压 17V 时，20%-100%负载内的效率均提升了 1.0%以上，并且峰值效率从原来的 97.6%提升到了 99.0%。

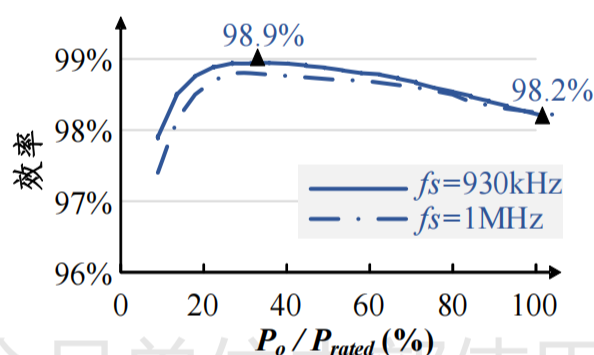
17V 输出时电压提升最为明显有三点原因：第一，在该励磁电感下能够实现高电压输出时的软开关，但是低电压时软开关会丢失，与第三章的分析一致；第二，由于谐振电容上的直流偏置衰减问题，在最高电压输出时，谐振电容上的电压偏置最高，谐振电容容值最小，谐振频率较高，此时与 1MHz 的恒定开关频率比较匹配，但是低电压时谐振电容直流偏置减小，谐振电容值增大，谐振频率变小，谐振频率和 1MHz 的恒定开关频率产生了偏移；第三，17V 输出时采取 790kHz 的频率，相比 1MHz 实际上是降低了频率增大了开关周期，而死区时间不变，因此，电源向负载传递功率的时间占比更高，传输相同功率时谐振腔电流的幅值更低，从而使得电路的导通损耗和绕组损耗减小，尤其是低压大电流输出时。

总的来说，本文设计的宽电压范围元胞化 DCX 实现了 99.0%的最高峰值效

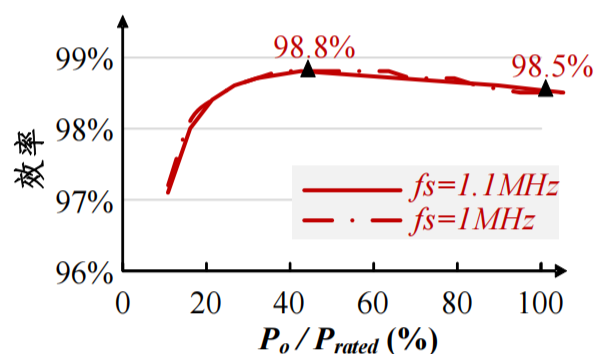
率，以及最高 98.5% 的满载效率，同时元胞化 DCX 部分达到了 $1.6\text{kW}/\text{in}^3$ 以上的功率密度。



(a) 最低电压： $V_o = 17\text{V}$



(b) 额定电压： $V_o = 28\text{V}$



(c) 最高电压： $V_o = 34\text{V}$

图 5.9 不同输出电压时元胞化 DCX 的效率曲线

（实线为应用变频控制后实测效率，点实线为定频 1MHz 工作）

5.3.2 变频元胞化 DCX 额定电压满载工况的损耗分解与热图

图 5.10 给出了额定电压 28V 输出时的满载损耗分解，图 5.11 为此时的热图。在 28V 输出满载时，变压器的铜损占比最大，约为 0.8%；其次是原副边器件的导通损耗，占比均为 0.3%左右，与设计一致。通过第二版样机的测试结果，

再一次验证了第二章中基于器件 NFoM 损耗模型的元胞化 DCX 优化设计方法的可行性。

从热图中可以看出，额定电压工况满载时，风冷的条件下最热的点为副边侧的整流管，约为 62.9°C ；其次是原边侧的开关管。这点与损耗分解的结果一致。而占据元胞化 DCX 最大损耗比例的变压器损耗，由于散热面积大，实际温度反而低于器件。

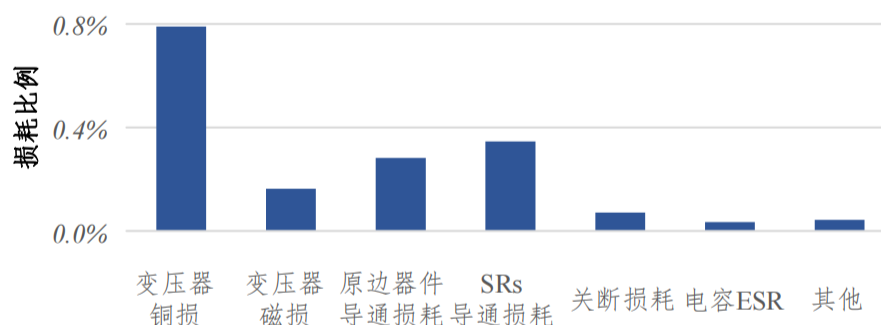


图 5.10 元胞化 DCX 的主电路损耗分解

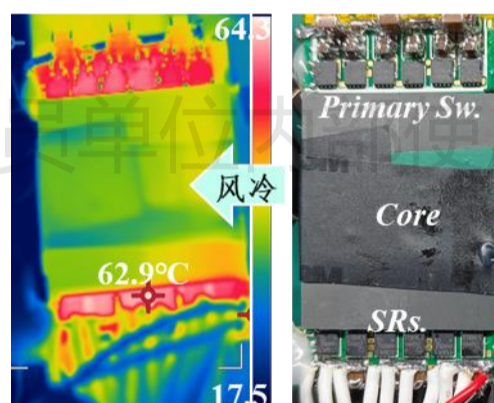


图 5.11 额定电压工况下元胞化 DCX 满载热图

5.4 第二版样机两级效率测试结果

综合来看，两级样机在额定电压工况实现了 98.1%的峰值效率和 97.5%的满载效率，以及 $1\text{kW}/\text{in}^3$ 的功率密度。效率指标离预期仍然存在一定差距，主要是由于设计时未考虑 CMB0 死区时间内的 GaN 器件反向导通损耗、DCX 关断损耗等因素，也可能存在子母板包边的导电能力差、焊接质量差导致焊点接触电阻不可忽略等其他影响效率的原因，有待进一步分析与优化。此外，功率密度指标已经符合预期。此时两级各自的实测效率，以及两级样机的完整实测效率如图 5.12 所示。

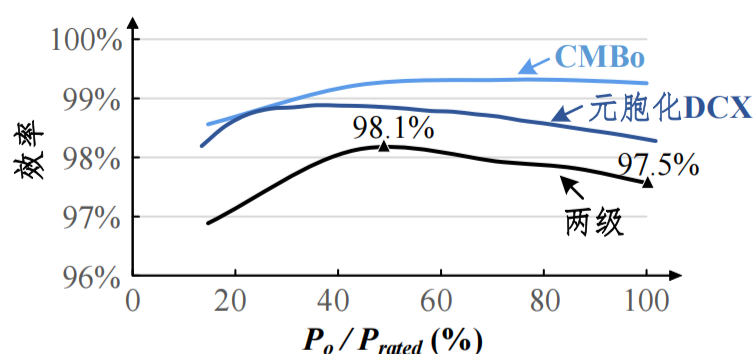


图 5.12 额定电压下的实测效率（主功率）

5.5 本章小结

根据第二、三、四章中对主电路和驱动电路的设计结果，在第一版样机的基础上，搭建了一台 2.5kW 的 DC-DC 实物样机，输入 200-400V (270V)，稳压输出 17-34V (28V)。第二版样机的前级 CMB0 采用共同占空的载波移相控制，使用低压 GaN 器件；后级元胞化 DCX，采用低压低 NFoM 的硅基器件，并利用两组变频谐振驱动变压器分别完成所有原边开关管和所有整流管的驱动。元胞化 DCX 采用第三章提出的宽电压范围变频控制的效率优化方法。

首先，测试了后级变频元胞化 DCX 的关键工作波形。DCX 的不同元胞之间能够实现良好的均压、均流效果，且波形一致性较高。之后，测试了元胞化 DCX 在最低电压工况、额定电压工况和最高电压工况三种情况下的软开关实现情况，以及开关频率与谐振频率的匹配情况。测试结果表明，应用本文提出的宽电压范围变频控制的效率优化方法后，元胞化 DCX 在三种电压工况下都能够恰好实现 ZVS，并且开关频率与谐振频率始终较为接近，样机工作在效率最佳点。

然后，对变频元胞化 DCX 进行了效率测试与损耗分析，验证所提出的宽电压范围变频控制的效率优化方法对效率的优化情况。经过测试，相比于恒频 1MHz 工作的第一版元胞化 DCX 样机，第二版样机中变频之后的元胞化 DCX 实测效率全负载范围内都有提升，尤其是最低输出电压 17V 时，20%~100% 负载范围内的效率均提升了 1.0% 以上，并且峰值效率从原来的 97.6% 提升到了 99.0%。同时，额定电压工况峰值效率 98.9%，满载效率 98.2%，与第一版恒频工作的元胞化 DCX 基本一致。由此，验证了所提出的宽电压范围变频控制的效率优化方法的可行性，以及对宽电压范围 DCX 效率的良好优化效果。

最后，测试了第二版两级样机在额定电压工况下各自的效率以及两级效率。

前级 CMB_o 电路实现了 99.2% 的满载效率，元胞化 DCX 实现了 98.2% 的满载效率。两级满载效率为 97.5%，同时实现了 $1\text{kW}/\text{in}^3$ 的功率密度。虽然效率指标离预期目标仍然有差距和优化的空间，但也验证了本文所提出的两级方案在宽电压范围应用中高效率和高功率密度的优势。

仅限PMIC会员单位内部使用，不得外传

6 总结与展望

6.1 全文工作总结

本文针对应用于 OHT、系留无人机和水下机器人等多元应用的通用型宽电压范围、高效率、高功率密度的 DC-DC 模块进行了研究，主要研究工作为：

- 1) 对现有宽电压范围隔离稳压型高效率功率密度 DC-DC 模块进行了调研，分析了现有方案的优缺点，总结了宽电压范围对高效率和高功率密度带来的主要挑战：器件利用率不足导致器件损耗大、调压级电感伏秒大导致电感体积损耗大，并针对性地提出了一种基于多电平技术和元胞化技术的两级元胞化方案：前级 CMB_o 实现调压，后级元胞化 DCX 实现隔离和高降压比输出；
- 2) 给出了所提出两级方案的优化设计方法。对于 CMB_o 电路，基于多电平电路统一的器件损耗模型，给出了预期效率目标下电路总体积最小的电路参数设计方法。对于元胞化 DCX 电路，基于 NFoM 的器件统一损耗模型，完成了电路拓扑结构和电路参数的优化设计。根据设计结果，搭建了第一版实物样机，验证了提出的优化设计方法的可行性；
- 3) 分析了第一版样机测试中低电压工况软开关丢失、开关频率与谐振频率不匹配问题产生的原因，说明了过大励磁电流对宽电压范围 DCX 效率的影响，并通过实验进行了验证。之后为了同时解决上述问题，建立了宽电压范围 DCX 的变频控制数学模型，巧妙地利用谐振电容的直流偏置衰减特性，提出了一种优化宽电压范围 DCX 效率的方法：匹配谐振电容值非线性特性的 DCX 变频控制方法；
- 4) 针对兆赫兹元胞化 DCX 因器件数量多、开关频率高导致的驱动损耗大，严重影响电路效率的问题，以及为了配合 DCX 实现所提出的变频控制方法，提出了一种频率可调节的高频低损谐振驱动变压器电路，并给出了参数设计方法，之后进一步分析了参数一致性的影响。通过设置辅助驱动变压器实现了主电路多路隔离驱动的需求，对比传统的电压型驱动芯片方案，驱动损耗降低了 80%，驱动总占板面积减小 70%，有利于实现整体样机的高效率和高功率密度；
- 5) 根据本文提出的两级方案，以及主电路和驱动电路的优化设计结果，搭建了一台宽输入、输出电压范围的两级元胞化实物样机，通过该样机验证了变频

元胞化 DCX、变频谐振驱动变压器的电路功能。之后测试了不同工况下变频元胞化 DCX 的效率,结果表明,相比于恒频 1MHz 工作的第一版元胞化 DCX 样机,变频元胞化 DCX 全负载范围内的效率都有提升,尤其是最低输出电压 17V 时,20%~100%负载范围内的效率均提升了 1.0%以上,并且峰值效率从原来的 97.6%提升到了 99.0%。同时,额定电压工况峰值效率 98.9%,满载效率 98.2%,与第一版的恒频元胞化 DCX 基本一致。由此,验证了所提出的宽电压范围变频控制的效率优化方法的可行性和良好的效率优化效果。最后,对两级效率进行了测试,实现了额定电压工况 97.5%的满载效率,以及 $1\text{kW}/\text{in}^3$ 的功率密度,验证了本文提出两级方案在宽电压范围应用中的高效率、高功率密度优势。

6.2 研究工作展望

在本文的工作中,已经验证了所提出的元胞化两级方案在宽电压范围应用中的高效率和高功率密度优势,但是该样机仍然需要进一步优化。当前样机还存在如下问题,有待未来进一步研究:

- 1) 虽然搭建的实物样机已经实现了较高的效率和功率密度,且功率密度已经达到了预期的 $1\text{kW}/\text{in}^3$,但是满载效率离预期仍由一定的差距。这说明在本文的设计方法中,仍然存在一些未考虑的损耗。比如前级多电平拓扑中,续流管在死区时间内的反向导通损耗,尤其是采用 GaN 器件后,其反向导通压降将达到 2V 以上。为了能够更准确的设计与对样机进行优化,需要进一步思考考虑这些损耗后的设计方法;
- 2) 针对宽电压范围应用下 DCX 无法在全电压范围内都接近恰好实现软开关,从而导致软开关丢失或者过大励磁电流,进而影响损耗的问题,本文提出了一种宽电压范围的优化方法,同时利用了器件结电容和谐振电容的非线性特性。在目前的实验中,不同输出电压下,采取的是查表的方式将 DCX 的开关频率与预设的输出电压进行对应。然而实际样机中,谐振电容的温漂、变压器漏感变化等原因都会导致 DCX 主电路的谐振参数与计算值可能存在一定的偏差。因此,为了使 DCX 始终工作在效率最佳点,尤其是在批量生产时,更理想的做法是选取合适的谐振电容后,使 DCX 的开关频率去主动追踪谐振频率。如何实现这一想法有待进一步研究;

- 3) 本文的工作主要是针对宽电压范围的应用下，如何实现 DC-DC 模块效率和功率密度的突破，因此主要关注样机的效率和功率密度指标。为了能够产业化，仍然存在许多问题需要研究解决，比如多路跳变的中间母线带来的 EMI、谐振驱动的参数敏感性、样机可靠性与各种保护功能实现等问题。

仅限PMIC会员单位内部使用，不得外传

参考文献

- [1] Wu J, Qi Y, Muhammad F, et al. A unified switch loss model and design consideration for multilevel boost PFC with GaN devices[J]. CPSS Transactions on Power Electronics and Applications, 2021, 6(4): 349-358.
- [2] Wu X, Shi H. High Efficiency High Density 1 MHz 380–12 V DCX With Low FoM Devices[J]. IEEE Transactions on Industrial Electronics, 2020, 67(2): 1648-1656.
- [3] 48V: An Improved Power Delivery System for Data Centers[EB/OL]. <https://www.wiwynn.com/whitepapers/48v-an-improved-power-delivery-system-for-data-centers>.
- [4] Pratt A, Kumar P, Aldridge T V. Evaluation of 400V DC distribution in telco and data centers to improve energy efficiency[C]. INTELEC 07 - 29th International Telecommunications Energy Conference. Rome, Italy: IEEE, 2007: 32-39.
- [5] AlLee G, Tschudi W. Edison Redux: 380 Vdc Brings Reliability and Efficiency to Sustainable Data Centers[J]. IEEE Power and Energy Magazine, 2012, 10(6): 50-59.
- [6] Cong Wang, Jain P. A quantitative comparison and evaluation of 48V DC and 380V DC distribution systems for datacenters[C]. 2014 IEEE 36th International Telecommunications Energy Conference (INTELEC). Vancouver, BC: IEEE, 2014: 1-7.
- [7] Xu C D, Cheng K W E. A survey of distributed power system - AC versus DC distributed power system[C]. 2011 4th International Conference on Power Electronics Systems and Applications. Hong Kong, China: IEEE, 2011: 1-12.
- [8] Miftakhutdinov R, Sheng L, Liang J, et al. Advanced control circuit for intermediate bus converter[C]. 2008 Twenty-Third Annual IEEE Applied Power Electronics Conference and Exposition. Austin, TX, USA: IEEE, 2008: 1515-1521.
- [9] Miftakhutdinov R. Power distribution architecture for tele- and data communication system based on new generation intermediate bus converter[C]. INTELEC 2008 - 2008 IEEE 30th International Telecommunications Energy Conference. San Diego, CA: IEEE, 2008: 1-8.
- [10] OHT 空中走行式无人搬运车 [EB/OL]. https://www.mirle.com.tw/product_introduction-detail/83__4/.
- [11] 嵌入式系统应用于空中走行式搬运车 [EB/OL]. <https://www.dfi.com/cn/solution/successtory/97>.
- [12] 新型系留无人机为远程通信带来革命性的变化 [EB/OL]. <https://www.vicorpower.com/zh-cn/resource-library/case-studies/powering-innovation/dragonfly-uav>.
- [13] A better way to delivery power using high-voltage tethers[EB/OL]. <https://www.vicorpower.com/zh-cn/industries-and-innovations/robotics/robotics-tethered>.
- [14] 从党的 20 大报告看数据中心的绿色可持续发展 [EB/OL]. <https://www.esinidc.com/hangyedongtai/762.html>.
- [15] Fei C, Lee F C, Li Q. High-Efficiency High-Power-Density LLC Converter With an Integrated Planar Matrix Transformer for High-Output Current Applications[J].

- IEEE Transactions on Industrial Electronics, 2017, 64(11): 9072-9082.
- [16] Fei C, Gadelrab R, Li Q, et al. High-Frequency Three-Phase Interleaved LLC Resonant Converter With GaN Devices and Integrated Planar Magnetics[J]. IEEE Journal of Emerging and Selected Topics in Power Electronics, 2019, 7(2): 653-663.
- [17] Arshadi S A, Ordóñez M, Eberle W, et al. Three-Phase LLC Battery Charger: Wide Regulation and Improved Light-Load Operation[J]. IEEE Transactions on Power Electronics, 2021, 36(2): 1519-1531.
- [18] Li H, Zhang Z, Wang S, et al. A 300-kHz 6.6-kW SiC Bidirectional LLC Onboard Charger[J]. IEEE Transactions on Industrial Electronics, 2020, 67(2): 1435-1445.
- [19] Nabih A, Jin F, Li Q. Efficient Integrated Transformer–Inductor With High PCB Utilization and Optimized Core[J]. IEEE Transactions on Industrial Electronics, 2023: 1-10.
- [20] Li C, Wang H, Shang M. A Five-Switch Bridge Based Reconfigurable LLC Converter for Deeply Depleted PEV Charging Applications[J]. IEEE Transactions on Power Electronics, 2019, 34(5): 4031-4035.
- [21] Sun W, Xing Y, Wu H, et al. Modified High-Efficiency LLC Converters With Two Split Resonant Branches for Wide Input-Voltage Range Applications[J]. IEEE Transactions on Power Electronics, 2018, 33(9): 7867-7879.
- [22] Deng G, Ouyang Q, Xu G, et al. Modified Topology and PWM Modulation for Bidirectional LLC-DCX Converter with Center-Tapped Transformer[C]. 2021 IEEE 4th International Electrical and Energy Conference (CIEEC). Wuhan, China: IEEE, 2021: 1-5.
- [23] Li G, Huang X, Shi H, et al. Modular High Efficiency High Density MHz DCX With Different Output Voltage Adaptation[J]. CPSS Transactions on Power Electronics and Applications, 2022, 7(3): 300-307.
- [24] Lee J Y, Jeong Y S, Han B M. An Isolated DC/DC Converter Using High-Frequency Unregulated LLC Resonant Converter for Fuel Cell Applications[J]. IEEE Transactions on Industrial Electronics, 2011, 58(7): 2926-2934.
- [25] Wu X, Chen H, Qian Z. 1-MHz LLC Resonant DC Transformer (DCX) With Regulating Capability[J]. IEEE Transactions on Industrial Electronics, 2016, 63(5): 2904-2912.
- [26] Wu Z, Wang Z, Liu T, et al. High Efficiency and High Power Density Partial Power Regulation Topology With Wide Input Range[J]. IEEE Transactions on Power Electronics, 2023, 38(2): 2074-2091.
- [27] Fan G, Wu X, Liu T, et al. High-Efficiency High-Density MHz Cellular DC/DC Converter for On-Board Charger[J]. IEEE Transactions on Power Electronics, 2022, 37(12): 15666-15677.
- [28] Liu T, Han Y, Wu X, et al. A MHz Regulated DC Transformer with Wide Voltage Range[C]. 2018 IEEE International Power Electronics and Application Conference and Exposition (PEAC). Shenzhen: IEEE, 2018: 1-4.
- [29] Xu X, Zhang Y, Zhu L, et al. A High Step-down DC-DC Converter with Matrix-Transformer and Wide Voltage Gain for Vehicle Power Supply Applications[C]. 2019 22nd International Conference on Electrical Machines and Systems (ICEMS).

- Harbin, China: IEEE, 2019: 1-6.
- [30] Wang F, Wang X, Ruan X. An Optimal Design Scheme of Intermediate Bus Voltage for two-stage LLC Resonant Converter Based on SiC MOSFET[C]. 2021 IEEE Workshop on Wide Bandgap Power Devices and Applications in Asia (WiPDA Asia). Wuhan, China: IEEE, 2021: 488-492.
- [31] Fu M, Fei C, Yang Y, et al. A GaN-Based DC–DC Module for Railway Applications: Design Consideration and High-Frequency Digital Control[J]. IEEE Transactions on Industrial Electronics, 2020, 67(2): 1638-1647.
- [32] Chen Z, Zhang Y, Fan S, et al. Two Stage Wide Voltage Range Efficiency Optimization of Bidirectional DC/DC Converter[C]. 2023 3rd International Conference on Energy Engineering and Power Systems (EEPS). Dali, China: IEEE, 2023: 669-673.
- [33] Huang X, Li G, Tian L, et al. MHz Level Two-Stage ZVS DC-DC Converter with Wide Input and Output Voltage Ranges[C]. 2023 IEEE 14th International Symposium on Power Electronics for Distributed Generation Systems (PEDG). Shanghai, China: IEEE, 2023: 117-120.
- [34] Liu Q, Qian Q, Ren B, et al. A Two-Stage Buck–Boost Integrated LLC Converter With Extended ZVS Range and Reduced Conduction Loss for High-Frequency and High-Efficiency Applications[J]. IEEE Journal of Emerging and Selected Topics in Power Electronics, 2021, 9(1): 727-743.
- [35] Qian Q, Liu Q, Li H, et al. Optimal Phase Shift Control Strategy of Buck-Boost Integrated LLC Converter Achieving Wide Input Voltage Range, MHz-frequency and High Efficiency[C]. 2020 IEEE Applied Power Electronics Conference and Exposition (APEC). New Orleans, LA, USA: IEEE, 2020: 922-926.
- [36] Wang Z, Wu Z, Liu T, et al. A High-Efficiency and High-Power-Density Interleaved Integrated Buck-Boost- LLC Converter and Its Comprehensive Optimal Design Method[J]. IEEE Transactions on Power Electronics, 2022, 37(9): 10849-10863.
- [37] Wang Z, Wu Z, Chen C, et al. GaN Devices Based Integrated Two-Stage DC-DC Converter with Voltage Regulation[C]. 2020 IEEE Applied Power Electronics Conference and Exposition (APEC). New Orleans, LA, USA: IEEE, 2020: 2219-2224.
- [38] Industrial DC-DC Power Converter | IQ4H280FTx21 | SynQor[EB/OL]. [https://www.synqor.com/products/inqor-\(1\)/iq4h280ftx21](https://www.synqor.com/products/inqor-(1)/iq4h280ftx21).
- [39] DBS700B[EB/OL]. <https://en.cosel.co.jp/product/powersupply/DBS/DBS700B/>.
- [40] New Vicor 270-to-28V DCM5614 provides 1300W of power at 96% efficiency[EB/OL]. <https://www.vicorpower.com/zh-cn/press-room/dcm5614>.
- [41] MIL-COTS DCM[EB/OL]. <https://www.vicorpower.com/zh-cn/dc-dc/isolated-regulated/mil-cots/dcm>.
- [42] Li G, Han Y, Wu X. High Efficiency High Power Density Cellular 1MHz 380V-12V DCX for Future Data Centers[C]. 2023 11th International Conference on Power Electronics and ECCE Asia (ICPE 2023 - ECCE Asia). Jeju Island, Korea, Republic of: IEEE, 2023: 1626-1631.
- [43] Lei Y, Barth C, Qin S, et al. A 2 kW, single-phase, 7-level, GaN inverter with an active energy buffer achieving 216 W/in³ power density and 97.6% peak

- efficiency[C]. 2016 IEEE Applied Power Electronics Conference and Exposition (APEC). Long Beach, CA, USA: IEEE, 2016: 1512-1519.
- [44]Chou D, Liao Z, Fernandez K, et al. An Interleaved 6-Level GaN Bidirectional Converter with an Active Energy Buffer for Level II Electric Vehicle Charging[C]. 2021 IEEE Applied Power Electronics Conference and Exposition (APEC). Phoenix, AZ, USA: IEEE, 2021: 1203-1208.
- [45]Antivachis M, Kasper M, Bortis D, et al. Analysis of capacitive power transfer GaN ISOP multi-cell DC/DC converter systems for single-phase telecom power supply modules[C]. IECON 2016 - 42nd Annual Conference of the IEEE Industrial Electronics Society. Florence, Italy: IEEE, 2016: 1280-1287.
- [46]范高. 用于车载充电机的高效高功率密度 DC/DC 研究[D]. 浙江大学, 2021.
- [47]N- 通道 功率 MOSFET - Infineon Technologies[EB/OL]. <https://www.infineon.com/cms/cn/product/power/mosfet/n-channel/>.
- [48]Tabisz W A, Gradzki P M, Lee F C Y. Zero-voltage-switched quasi-resonant buck and flyback converters-experimental results at 10 MHz[J]. IEEE Transactions on Power Electronics, 1989, 4(2): 194-204.
- [49]Maksimovic D. A MOS gate drive with resonant transitions[C]. PESC '91 Record 22nd Annual IEEE Power Electronics Specialists Conference. Cambridge, MA, USA: IEEE, 1991: 527-532.
- [50]De Vries I D. A resonant power MOSFET/IGBT gate driver[C]. APEC. Seventeenth Annual IEEE Applied Power Electronics Conference and Exposition (Cat. No.02CH37335). Dallas, TX, USA: IEEE, 2002: 179-185.
- [51]Pan S, Jain P K. A new pulse resonant MOSFET gate driver with efficient energy recovery[C]. 2006 37th IEEE Power Electronics Specialists Conference. Jeju, Korea (South): IEEE, 2006: 1-5.
- [52]Eberle W, Zhiliang Zhang, Yan-Fei Liu, et al. A Current Source Gate Driver Achieving Switching Loss Savings and Gate Energy Recovery at 1-MHz[J]. IEEE Transactions on Power Electronics, 2008, 23(2): 678-691.
- [53]Fujita H. A resonant gate-drive circuit capable of high-frequency and high-efficiency operation[C]. 2009 IEEE 6th International Power Electronics and Motion Control Conference. Wuhan: IEEE, 2009: 351-357.
- [54]Wiegman H L N. A resonant pulse gate drive for high frequency applications[C]. [Proceedings] APEC '92 Seventh Annual Applied Power Electronics Conference and Exposition. Boston, MA, USA: IEEE, 1992: 738-743.
- [55]吴新科,秦伟,邱凯. 隔离型高频低损驱动电路[P]. 浙江省: CN106877635B, 2019-05-24.
- [56]Zhang Z, Li F F, Liu Y F. A High-Frequency Dual-Channel Isolated Resonant Gate Driver With Low Gate Drive Loss for ZVS Full-Bridge Converters[J]. IEEE Transactions on Power Electronics, 2014, 29(6): 3077-3090.
- [57]Wu Q, Wang Q, Zhu J, et al. Dual-Channel Push-Pull Isolated Resonant Gate Driver for High-Frequency ZVS Full-Bridge Converters[J]. IEEE Transactions on Power Electronics, 2019, 34(5): 4019-4024.
- [58]彭晗,岳乔治. 一种占空比可调节的一体化谐振驱动电路及控制方法[P]. 湖北省: CN112491251B, 2021-12-03.

- [59] Li G, Wu X. A 98.4% Efficiency 380V-12V DCX With 1.3kW/in³ Power Density Using Low NFoM Devices and Resonant Drive Transformer[J]. IEEE Transactions on Power Electronics, 2022, 37(10): 12346-12356.
- [60] 吴新科, 李光灿. 一种驱动电路[P]. 浙江省: CN112769338B, 2023-03-14.
- [61] Arntzen B, Maksimovic D. Switched-capacitor DC/DC converters with resonant gate drive [J]. IEEE Transactions on Power Electronics, 1998, 13(5): 892-902.

仅限PMIC会员单位内部使用，不得外传

攻读硕士学位期间取得的研究成果

第一作者

- [1] Huang X, Li G, Tian L, et al. MHz Level Two-Stage ZVS DC-DC Converter with Wide Input and Output Voltage Ranges[C]. 2023 IEEE 14th International Symposium on Power Electronics for Distributed Generation Systems (PEDG). Shanghai, China: IEEE, 2023: 117-120.

第二作者

- [1] Li G, Huang X, Shi H, et al. Modular High Efficiency High Density MHz DCX With Different Output Voltage Adaptation[J]. CPSS Transactions on Power Electronics and Applications, 2022, 7(3): 300-307.
- [2] 吴新科,黄新隆. 一种驱动电路[P]. 浙江省: CN117155082B, 2024-02-27.

仅限PMIC会员单位内部使用，不得外传