

分类号: TN323

单位代码: 10335

密 级: 无

学 号: 22310024

浙江大学

硕士学位论文



中文论文题目: 基于多组双脉冲测试的 GaN 器件高温
动态电阻评估与分析

英文论文题目: High Temperature Dynamic On-Resistance
Evaluation and Analysis of GaN Devices
Based
on Multigroup Double Pulse Test

申请人姓名: 姜旭

指导教师: 吴新科 教授

专业名称: 电气工程

研究方向: 电力电子与电力传动

所在学院: 电气工程学院

论文提交日期: 2026 年 5 月

基于多组双脉冲测试的 GaN 器件高温动态电阻评估与分析



论文作者签名: 姜旭
指导教师签名: 吴科

论文评阅人 1: 匿名评阅
评阅人 2: 匿名评阅
评阅人 3: 匿名评阅
评阅人 4:
评阅人 5:

答辩委员会主席: 谢小高
委员 1: 张军明
委员 2: 杨永恒
委员 3:
委员 4:
委员 5:

答辩日期: 2026 年 5 月 28 日

浙江大学研究生学位论文独创性声明

本人声明所呈交的学位论文是本人在导师指导下进行的研究工作及取得的研究成果。除了文中特别加以标注和致谢的地方外，论文中不包含其他人已经发表或撰写过的研究成果，也不包含为获得浙江大学或其他教育机构的学位或证书而使用过的材料。与我一同工作的同志对本研究所做的任何贡献均已在论文中作了明确的说明并表示谢意。

学位论文作者签名：姜旭

签字日期：2026年6月5日

PMIC内部资料 严禁外传

学位论文版权使用授权书

本学位论文作者完全了解 浙江大学 有权保留并向国家有关部门或机构送交本论文的复印件和磁盘，允许论文被查阅和借阅。本人授权 浙江大学 可以将学位论文的全部或部分内容编入有关数据库进行检索和传播，可以采用影印、缩印或扫描等复制手段保存、汇编学位论文。

（保密的学位论文在解密后适用本授权书）

学位论文作者签名：姜旭

导师签名：吴彤科

签字日期：2026年6月5日

签字日期：2026年6月5日

致 谢

时光荏苒，岁月如梭。转眼间，研究生生涯接近了尾声，回首这三年的求学生活，最先涌上心头的，是数不清的感谢。在此，我谨以最诚挚的敬意，向所有照亮我学术之路的人们致以感谢。

感谢我的导师吴新科教授对我的悉心指导，作为一名跨专业读研的学生，感谢吴老师带我走进了电力电子这个领域。每次在和吴老师展开学术交流的时候，吴老师对于学术的热爱以及对科研的追求都时刻激励着我，同时，吴老师在我的学习思维方式上也给予了我莫大的帮助，让我在专业成长中受益匪浅。祝愿吴老师身体健康，工作顺利！感谢李祥东老师对于我在半导体器件等学科上的教导，感谢李老师帮助我学习半导体物理的相关知识，祝愿李老师事业更上一层楼！

感谢周莉英周大姐为我们科研工作提供可靠保障，周大姐乐观积极的精神也时刻影响着我，祝愿周大姐身体健康，万事顺遂！感谢课题组助理老师顾晓燕老师，王笑菁老师，韩铃淇老师，冯晓捧老师对我们的辛苦付出，祝愿工作顺利，幸福美满！

感谢课题组的大家对我的帮助。感谢师兄董泽政、张思亮、刘天骥、杨金旭、李光灿、田霖、赵问鼎、Faheem Muhammad、徐宇豪、黄新隆、朱时羽、张佳一、谢宗伦、刘亚南、朱振海、王雨琛、张棧、栾澳祖、吴彦青、黄程宇，在科研及生活中给予我的无私帮助，帮我扫清学习和生活中的阻碍。感谢同窗杜合溪、陈睿轩、司华宁、刘慧、吕龙杰、林江舟、Kavinkanna，感谢各位的陪伴，一同在课题组成长。感谢师弟刘毅哲、刘建强、鲍林奕、项敏思、魏天翔、邹颜骏、朱志豪、傅超伟、徐聘、徐翰诚、蔡博程、刘凯凯、高思远、顾天宇、王文字、王一民、孙瑞、孙宇及师妹郝鑫的关怀与支持。祝愿课题组的大家前程似锦！

感谢 PCIM 联盟中各位会员单位的帮助与支持，感谢 PCIM 联盟能给我一个与业界各位大佬交流的机会，一路走来，受益匪浅。祝愿 PCIM 联盟事业蒸蒸日上，百尺竿头，更进一步！

感谢这一路走来各位支持我的伙伴和朋友，感谢刘志浩先生，王龙先生，胡力文先生等远在千里之外的小伙伴在精神上给我的鼓励，祝愿大家万事顺遂，心想事成！

感谢爱我支持我的父母和家人，感谢你们做我最坚实的后盾，无条件地支持我走到现在，祝愿你们身体健康，天天开心！

最后，感谢一路走来不轻言放弃的自己，祝愿自己未来一切顺利，前路漫漫亦灿灿！

姜旭

2026 年 5 月于求是园

PMIC内部资料 严禁外传

本论文工作得到：

智能电网重大专项(2030)资助

(资助号：2026ZD0812103)

PMIC内部资料 严禁外传

在此谨表谢意！

摘要

氮化镓高电子迁移率晶体管（Gallium nitride high-electron-mobility transistors, GaN HEMTs）凭借其优异的材料特性，在高频、高效电力电子变换器中展现出巨大的应用潜力。然而，GaN 器件在开关过程中的动态导通电阻衰退现象，严重制约了系统的高温可靠性与运行效率。因此，精准评估 GaN 器件在复杂工况下的动态电阻，探究动态电阻的变化规律及其背后的物理机制，对于 GaN 器件结构的优化以及电源系统的可靠设计具有重要的工程指导意义。

现阶段动态电阻评估多局限于常温工况与测试电路设计。本文针对现有研究的局限性，开展了更进一步的研究，主要内容如下：

首先，测试方法与复杂工况表征受限，传统连续脉冲测试中器件自发热引起的结温上升与器件内部的电荷俘获机制耦合，难以准确评估特定结温下动态电阻，且对间歇运行等复杂工作模态缺乏精确的测试手段。为此，本文采用了多组双脉冲测试（Multigroup Double Pulse Test, MGDPT）方法，并搭建了兼容硬/软开关工况且器件结温可控的高温动态电阻测试平台。为了确保后续评估的可靠性，本文率先通过 Si 器件的对照实验验证了该平台的测量准确性，并验证了多组双脉冲测试作为连续脉冲测试有效补充的可行性。基于此，本文进一步通过调节相邻两组双脉冲间的电压应力时间（ t_{stress} ），有效模拟了器件间歇运行等复杂工作模式，实现了 GaN 器件在特定工况与特定结温下的动态电阻评估。

另外，现有研究尚缺乏对不同结构的 GaN 器件高温动态电阻行为的系统性对比。针对该局限，本文对比评估了混合漏极嵌入式栅极注入晶体管（Hybrid Drain Gate Injection Transistor, HD-GIT）与增强型 p-GaN 栅（E-Mode p-GaN）器件两款典型器件的高温动态行为。实验表明，随着双脉冲组数的增加，两款器件的动态电阻均呈现恢复趋势，但在复杂工况下表现出显著差异：HD-GIT 型器件的动态电阻对结温呈非线性依赖，且在低漏源电压与高结温条件下，其动态电阻随电压应力时间的减小而显著降低；相比之下，E-Mode p-GaN 型器件对结温和电压应力时间的变化并不敏感。上述两款 GaN 器件动态电阻的行为差异表明，传统的单次双脉冲测试已难以客观、准确地反映 GaN 器件在实际复杂工况下的真实导通特性。

最后，针对高温动态行为的底层物理机制解释亟待深化的问题，本文从半导体物

理层面，深入揭示了 GaN 器件动态电阻衰退及其行为差异的内在机制。GaN 器件表面及缓冲层等区域的电荷俘获导致二维电子气被耗尽，进而引起 GaN 器件的动态电阻衰退现象。GaN 器件的不同结构也会影响其动态电阻的行为：HD-GIT 型器件在低电压、高结温和长电压应力时间情况下，由于空穴注入受限，漏电流增加和器件表面电荷累积，动态电阻显著升高；E-Mode p-GaN 型器件通过场板结构优化和表面钝化技术，其动态电阻对结温和电压应力时间并不敏感，在高压情况下，由于缓冲层内负电荷的补偿，器件的动态电阻衰退现象得到缓解。上述分析为 GaN 器件的结构优化与工程选型提供了理论参考。

关键词：GaN 功率器件、动态电阻衰退、多组双脉冲测试、不同结温

PMIC内部资料 严禁外传

Abstract

Gallium nitride high-electron-mobility transistors (GaN HEMTs) have shown tremendous application potential in high-frequency and high-efficiency power electronic converters by virtue of their superior material properties. However, the degradation phenomenon of dynamic ON-resistance (R_{ON}) during the switching process of GaN devices severely constrains the high-temperature reliability and operational efficiency of the system. Therefore, accurately evaluating the dynamic R_{ON} of GaN devices under complex operating conditions, and exploring its variation laws and underlying physical mechanisms, hold significant engineering guiding significance for the structural optimization of GaN devices and the reliable design of power supply systems.

At present, the evaluation of dynamic R_{ON} is mostly limited to room-temperature conditions and test circuit design. Aiming at the limitations of existing research, this thesis conducts a further study, with the main contents as follows:

Firstly, regarding the limitations in testing methods and the characterization of complex conditions, the junction temperature (T_J) rise caused by device self-heating in traditional continuous pulse tests is deeply coupled with the internal charge trapping mechanisms. This makes it difficult to accurately evaluate the dynamic R_{ON} at a specific T_J , and precise testing means for complex operating modes such as intermittent operation are lacking. To address this, this thesis adopts a Multigroup Double Pulse Test (MGDPT) method and develops a high-temperature dynamic R_{ON} testing platform that is compatible with hard/soft-switching conditions and features controllable T_J . To ensure the reliability of subsequent evaluations, this thesis first conducts control experiments using Si devices to confirm the measurement accuracy of the platform and verifies the feasibility of the MGDPT method as an effective supplement to continuous pulse testing. Based on this, this thesis further effectively simulates complex operating modes such as intermittent operation by adjusting the voltage stressing time (t_{stress}) between neighboring double pulse test, thereby achieving the evaluation of dynamic R_{ON} of GaN devices under specific conditions and specific junction temperatures.

Additionally, existing research lacks a systematic comparison of the high-temperature dynamic R_{ON} behaviors of GaN devices with different structures. To overcome this limitation, this thesis comparatively evaluates the high-temperature dynamic behaviors of two typical devices: Hybrid Drain Gate Injection Transistor (HD-GIT) and E-Mode p-GaN device.

Experimental results show that as the number of double-pulse test groups increases, the dynamic R_{ON} of both devices exhibits a recovery trend, but they show significant differences under complex conditions: the dynamic R_{ON} of the HD-GIT device exhibits a non-linear dependence on T_J , and under the conditions of low drain-source voltage (V_{DS}) and high T_J , its dynamic R_{ON} decreases significantly with the reduction of t_{stress} ; in contrast, the E-Mode p-GaN device is insensitive to variations in T_J and t_{stress} . The behavioral differences in the dynamic R_{ON} of the two aforementioned GaN devices indicate that traditional single double-pulse tests have difficulty objectively and accurately reflecting the real conduction characteristics of GaN devices under actual complex operating conditions.

Finally, aiming at the urgent need to deepen the explanation of the underlying physical mechanisms of high-temperature dynamic R_{ON} behaviors, this thesis deeply reveals the intrinsic mechanisms of the dynamic R_{ON} degradation and behavioral differences of GaN devices from the perspective of semiconductor physics. Charge trapping in regions such as the surface and buffer layer of GaN devices leads to the depletion of the two-dimensional electron gas (2DEG), which subsequently causes the dynamic R_{ON} degradation phenomenon. The different structures of GaN devices also affect their dynamic R_{ON} behaviors: for the HD-GIT device, under the conditions of low V_{DS} , high T_J , and long t_{stress} , the dynamic R_{ON} increases significantly due to limited hole injection, increased leakage current, and surface charge accumulation; the E-Mode p-GaN device, through field plate structure optimization and surface passivation techniques, exhibits insensitivity to T_J and t_{stress} , and under high- V_{DS} conditions, its dynamic R_{ON} degradation is mitigated due to the compensation of negative charges within the buffer layer. The above analysis provides a theoretical reference for the structural optimization and engineering selection of GaN devices.

KEY WORDS: GaN power device; Dynamic ON-resistance; Multigroup double pulse testing; Different junction temperature

图 目 录

图 1-1 (a) 横向 GaN 器件 (基于 Si 衬底); (b) 垂直结构 GaN 器件	2
图 1-2 平面型 GaN 器件动态电阻现象	5
图 1-3 图腾柱 PFC 样机中 GaN 器件正常工作: (a) 实际照片; (b) 热成像图	6
图 2-1 测试电路原理图	10
图 2-2 硬开关测试电路及关键波形: (a) 测试电路; (b) 关键时域波形	10
图 2-3 零电压软开关测试电路及关键波形: (a) 测试电路; (b) 关键时域波形	11
图 2-4 双脉冲测试的动态电阻提取与计算	12
图 2-5 GaN 器件持续脉冲工作情况	13
图 2-6 多组双脉冲测试待测器件 V_{GS} 和 V_{DS} 关键波形	14
图 2-7 多组双脉冲测试时序图 (硬开关): (a) 时序图; (b) 测试电路	15
图 2-8 多组双脉冲测试时序图 (软开关): (a) 时序图; (b) 双脉冲阶段测试电路; (c) 电压应力时间内测试电路	15
图 2-9 箝位电路原理图	17
图 2-10 箝位电路原理分析: (a) 器件导通前; (b) 器件导通后	17
图 2-11 高压二极管 D_1 的 $I-V$ 拟合曲线	18
图 2-12 箝位电路的响应时间	18
图 2-13 几种常用热源: (a) 恒温箱; (b) 热风枪; (c) 软质加热片; (d) 陶瓷加热片	20
图 2-14 加热平台示意图	21
图 2-15 加热平台热阻模型	23
图 2-16 待测器件的 T_C 和 T_{Bottom} 线性关系	25
图 2-17 增强型 GaN 器件结构示意图: (a) Schottky p-GaN Gate E-mode 器件; (b) HD-GIT 型器件	26
图 2-18 GIT 型器件等效电路	28
图 2-19 GIT 型器件驱动电路	28
图 2-20 空心电感值计算	30
图 2-21 手工绕制的一组空心电感	30

图 2-22 测试样机：(a) 俯视图；(b) 添加加热装置后的侧视图。	30
图 3-1 GaN 器件高温动态电阻测试平台	33
图 3-2 实验设备连接方式	34
图 3-3 Si 器件测试平台验证结果：(a) Si 器件在不同结温下双脉冲测试电阻；(b) 硬开关下，Si 器件多组双脉冲测试电阻测试结果	35
图 3-4 多组双脉冲测试中，第一组即为传统双脉冲测试	36
图 3-5 器件 A 在 $T_J=25\text{ }^{\circ}\text{C}$ 情况下，一组双脉冲实测时域重绘波形及其动态电阻计算值： (a) 硬开关；(b) 软开关。	37
图 3-6 GaN 器件多组双脉冲测试结果示意图	38
图 3-7 不同结温下器件 A 多组双脉冲测试结果 ($V_{in}=400\text{V}$ ； $I_{load}=20\text{A}$ ； $t_{stress}=100\text{ms}$)： (a) 硬开关；(b) 软开关	39
图 3-8 不同结温下器件 B 多组双脉冲测试结果 ($V_{in}=400\text{V}$ ； $I_{load}=20\text{A}$ ； $t_{stress}=100\text{ms}$)： (a) 硬开关；(b) 软开关	40
图 3-9 器件 A 在不同电压和不同结温下动态电阻 ($I_{load}=20\text{A}$ ； $t_{stress}=100\text{ms}$)：(a) 硬开关；(b) 软开关	41
图 3-10 器件 B 在不同电压和不同结温下动态电阻 ($I_{load}=20\text{A}$ ； $t_{stress}=100\text{ms}$)：(a) 硬开关；(b) 软开关	42
图 3-11 GaN 器件在不同工况下工作示意图：(a) 连续导通模式；(b) 间歇工作模式	43
图 3-12 器件 A 在不同 t_{stress} 下的动态电阻 ($V_{DS}=100\text{ V}$ ； $I_{load}=20\text{A}$)：(a) 硬开关；(b) 软开关	44
图 3-13 器件 A 在不同 t_{stress} 下的动态电阻 ($V_{DS}=200\text{ V}$ ； $I_{load}=20\text{A}$)：(a) 硬开关；(b) 软开关	44
图 3-14 器件 A 在不同 t_{stress} 下的动态电阻 ($V_{DS}=300\text{ V}$ ； $I_{load}=20\text{A}$)：(a) 硬开关；(b) 软开关	45
图 3-15 器件 A 在不同 t_{stress} 下的动态电阻 ($V_{DS}=400\text{ V}$ ； $I_{load}=20\text{A}$)：(a) 硬开关；(b) 软开关	46
图 3-16 器件 B 在不同 t_{stress} 下的动态电阻 ($V_{DS}=100\text{ V}$ ； $I_{load}=20\text{A}$)：(a) 硬开关；(b) 软开关	46

图 3-17 器件 B 在不同 t_{stress} 下的动态电阻 ($V_{\text{DS}}=200\text{ V}$; $I_{\text{load}}=20\text{ A}$): (a) 硬开关; (b) 软开关	47
图 3-18 器件 B 在不同 t_{stress} 下的动态电阻 ($V_{\text{DS}}=300\text{ V}$; $I_{\text{load}}=20\text{ A}$): (a) 硬开关; (b) 软开关	47
图 3-19 器件 B 在不同 t_{stress} 下的动态电阻 ($V_{\text{DS}}=400\text{ V}$; $I_{\text{load}}=20\text{ A}$): (a) 硬开关; (b) 软开关	48
图 4-1 器件沟道中热电子被器件表面及缓冲层中的陷阱俘获	51
图 4-2 电中性的 C_{N} 受主会转变为带负电的 C_{N}^- 受主, 导致负电荷的积累	52
图 4-3 电子从 Si 衬底注入缓冲层, 造成缓冲层的积累	52
图 4-4 电子从栅极与场板注入器件表面, 导致器件的二维电子气被耗尽	53
图 4-5 具有 PD 结构的 HD-GIT 型器件横截面	54
图 4-6 在较高结温下, HD-GIT 型器件的空穴注入和电子热发射均增强	56
图 4-7 器件 A 动态电阻不同工况下总结对比: (a) 硬开关; (b) 软开关。	56
图 4-8 栅极或者场板结构注入器件表面的电子向器件漏极跳跃	57
图 4-9 GaN 器件的多级场板结构	58
图 4-10 器件 B 动态电阻不同工况下总结对比: (a) 硬开关; (b) 软开关。	59
图 4-11 缓冲层俘获的电子通过垂直泄露路径和横向泄露路径耗散	60
图 4-12 器件内部电荷重新分布物理机制的能带示意图	61
图 4-13 器件内部高压下碰撞电离产生的空穴与 C_{N}^- 中和	61

表 目 录

表 1-1 常用功率半导体材料关键物理特性对比	1
表 2-1 几种常见电流测试设备对比	19
表 2-2 几种常见热源对比	20
表 2-3 两款待测器件关键参数	27
表 2-4 测试电路关键元器件	31
表 3-1 实验设备列表	33
表 3-2 实验过程详细参数	35
表 3-3 多组双脉冲测试中，双脉冲组数与电压应力时间 t_{stress} 的关系	38

PMIC内部资料 严禁外传

目 录

致 谢	I
摘 要	IV
Abstract	VI
图 目 录	VIII
表 目 录	XI
目 录	XII
1 绪论	1
1.1 研究背景	1
1.1.1 GaN 器件特征及应用	1
1.1.2 GaN 器件的结构与工艺	2
1.1.3 GaN 功率器件产业发展	3
1.2 GaN 器件动态电阻衰退现象	4
1.2.1 GaN 器件动态电阻表现	4
1.2.2 动态电阻研究现状	5
1.3 本文主要研究内容	7
2 GaN 器件高温动态电阻测试平台	10
2.1 测试电路原理	10
2.1.1 硬开关测试电路原理	10
2.1.2 软开关测试电路原理	11
2.2 测试方法	12
2.2.1 双脉冲测试方法	12
2.2.2 多组双脉冲测试方法	13
2.3 动态电阻测量方法	16
2.3.1 导通电压提取方法	16
2.3.2 导通电流提取方法	19

2.4 测试平台加热方案	20
2.4.1 热源选择	20
2.4.2 器件结温推导	21
2.5 测试电路设计	26
2.5.1 待测器件选型	26
2.5.2 GaN 器件驱动电路设计	27
2.5.3 续流电感设计	29
2.5.4 测试平台及元器件参数	30
2.6 本章小结	31
3 不同结构 GaN 器件高温动态电阻评估	33
3.1 测试平台搭建及测试验证	33
3.1.1 测试平台搭建	33
3.1.2 Si 器件测试验证	35
3.2 双脉冲测试及多组双脉冲测试结果	36
3.2.1 双脉冲测试结果	36
3.2.2 多组双脉冲测试结果	37
3.3 漏源电压 (V_{DS}) 对动态电阻的综合影响	40
3.4 电压应力时间 (t_{stress}) 对动态电阻的综合影响评估	42
3.4.1 器件 A 在不同 t_{stress} 下的测试结果	43
3.4.2 器件 B 在不同 t_{stress} 下的测试结果	46
3.5 本章小结	48
4 GaN 器件高温动态电阻行为的分析与解释	50
4.1 GaN 器件动态电阻退化的物理机制	50
4.2 器件 A (HD-GIT 型器件) 的动态电阻行为分析与解释	54
4.2.1 HD-GIT 型器件的 p-GaN 漏极 (PD) 结构与空穴注入	54
4.2.2 器件 A 动态电阻温度及开关依赖性的机理分析	55
4.2.3 器件 A 动态导通电阻显著退化的综合诱因与物理机制	56
4.3 器件 B (E-Mode p-GaN 型器件) 的动态电阻行为分析与解释	57
4.3.1 E-Mode p-GaN 型器件的场板优化与表面钝化技术	57

4.3.2 漏源电压对器件 B 动态电阻的影响与补偿机制	59
4.4 本章小结	62
5 结论与展望	63
5.1 全文工作总结	63
5.2 研究工作展望	64
参考文献	66
作者简介及在学期间主要研究成果	72

PMIC内部资料 严禁外传

1 绪论

1.1 研究背景

1.1.1 GaN 器件特征及应用

随着电力电子系统向高频、高效与高功率密度不断演进，传统硅（Si）基器件已触及材料的性能极限。作为破局关键，氮化镓（GaN）凭借其宽禁带（3.4 eV）与高临界击穿场强（约 3.3 MV/cm）等性能优势，成为了新一代半导体研究的核心，展现出巨大的潜力。尤其是在 AlGaN/GaN 等 III 族氮化物异质结构中，依靠材料强烈的极化效应，界面处无需掺杂即可激发出兼具高电子浓度（ $\sim 10^{13} \text{ cm}^{-2}$ ）、高迁移率（ $\sim 2000 \text{ cm}^2/\text{V}\cdot\text{s}$ ）和高饱和电子漂移速度（ $2.5 \times 10^7 \text{ cm/s}$ ）的二维电子气^[1]（Two-dimensional Electron Gas, 2DEG）。这条极低阻抗的导电沟道，正是构筑高性能 GaN 高电子迁移率晶体管（High-Electron-Mobility Transistor, HEMT）的底层物理依托。GaN HEMT 的优异性能使得 GaN 的应用潜力已逐步超越碳化硅（SiC）等宽禁带半导体材料

表 1-1 常用功率半导体材料关键物理特性对比

物理特性	禁带宽度 (eV)	热导率 (W/cm·K)	击穿场强 (MV/cm)	电子饱和漂移速 度 ($\times 10^7 \text{ cm/s}$)	迁移率 ($\text{cm}^2/\text{V}\cdot\text{s}$)
Si	1.12	1.5	0.3	1.0	1350
4H-SiC	3.26	3.5	3.0	2.0	720
GaN	3.44	1.5	3.3	2.5	2000(2DEG*)

*该数值为 AlGaN/GaN 异质结界面处二维电子气（2DEG）的电子迁移率。

表 1-1 对比了传统硅（Si）、碳化硅（SiC）以及氮化镓（GaN）在室温下的关键物理参数。首先，在耐压和导通特性方面，GaN 的禁带宽度达到了 3.44 eV，远高于 Si 的 1.12 eV，这一材料特性决定了其具有极高的临界击穿场强，达到了 3.3 MV/cm，是 Si 的 10 倍以上。在相同的额定耐压等级下，GaN 器件的漂移区可以设计得更薄、掺杂浓度更高，从而大幅度降低器件的导通电阻。另外，在载流子输运方面，得益于 AlGaN/GaN 异质结界面极化效应诱导产生的高浓度 2DEG，GaN 器件中的电子迁移率高达 $2000 \text{ cm}^2/\text{V}\cdot\text{s}$ ，显著优于 SiC（ $720 \text{ cm}^2/\text{V}\cdot\text{s}$ ）和 Si（ $1350 \text{ cm}^2/\text{V}\cdot\text{s}$ ）。与此同时，GaN 具备三者中最高的电子饱和漂移速度（ $2.5 \times 10^7 \text{ cm/s}$ ），赋予了其在高频开关应用中卓越的瞬态响应能力与极低的开关损耗潜力。综上，GaN 材料优异的性能决定了其在电力电子器件领域不可替代的学术研究与工程应用价值。

GaN 材料在性能上的优异决定了 GaN 器件在技术上的突破, 使得其在高效高密度的电力电子领域得到了广泛的应用, 在新一代的电力电子变换器中成为了备受青睐的首要选择。GaN 器件凭借其卓越的性能, 为核心电力电子变换器(如图腾柱 PFC, LLC 谐振变换器等)带来了革命性的提升, 它使得采用 Si 器件难以实现的超高频、超小型电源设计成为可能, 赋能了从快充到 5G 通信再到服务器电源等一系列前沿产业。随着电力电子行业和 GaN 器件工艺的持续创新, GaN 器件有望作为核心驱动力, 引领一个更加高效、更加互联的电气化时代。

1.1.2 GaN 器件的结构与工艺

围绕 GaN 功率器件的开发, 业界目前形成了两大主流方案: 一种是在 Si 等异质衬底上实现的横向 GaN 器件, 另一种为垂直结构 GaN (vGaN) 器件。

目前主流的平面型横向 GaN 器件主要生长在 Si 衬底上, 其典型结构如图 1-1 (a) 所示, 在 AlGaIn/GaN 异质界面下方 0-5 nm 的量子阱中^[2], 形成了高浓度的二维电子气, 这些二维电子气具有极高的电子迁移率, 为 GaN 器件高频高效的性能提供了可能。

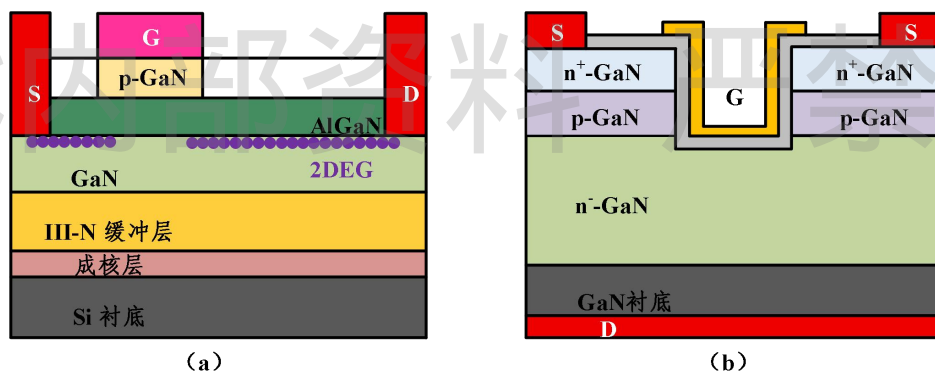


图 1-1 (a) 横向 GaN 器件 (基于 Si 衬底); (b) 垂直结构 GaN 器件

在平面型 GaN 器件工艺上, 如何实现稳定可靠的常关型 (Normally-off) 器件是极为关键的技术。由于 AlGaIn/GaN 异质结极化效应, 器件内部存在天然的高浓度二维电子气沟道, 致使器件在不外加栅极电压的状态下是导通的。为此, 在保证二维电子气迁移率优势的基础上, 利用 p-GaN 栅等技术, 主动耗尽栅极下方的二维电子气, 实现 GaN 器件的常关。

图 1-1 (b) 是垂直型 GaN 功率器件的典型结构, 器件的垂直结构通过将电流路径从表面横向改为纵向, 与 Si MOSFET 具有相似的结构。与此同时, 凭借 GaN 材料优异的性能, 垂直型 GaN 器件不仅相比于 Si MOSFET 性能更加突出; 而且对比平面型 GaN 器件, 垂直型 GaN 器件具有更高的耐压, 也不受动态电阻衰退等问题的困扰^[3]。

然而,垂直型 GaN 器件需要在自支撑 GaN 衬底上进行同质外延 (GaN-on-GaN),由于单晶 GaN 衬底制备工艺复杂、成本极高,垂直型 GaN 器件的发展受到了极大的阻碍。

现阶段的商用 GaN 功率器件多为平面型器件。基于此,本文重点围绕平面型 GaN 器件开展相关的评估与研究。

1.1.3 GaN 功率器件产业发展

近 20 年来, GaN 功率器件实现了从实验室技术,逐步发展为消费电子,电动汽车和能源工业革新的核心力量。

自 21 世纪以来, GaN 功率器件已经逐步商业化。GaN 功率器件的产业化进程最早始于北美地区。美国国际整流器公司 (IR) 于 2010 年推出了电力电子界第一批商用 GaN 功率器件^[4],自此之后,越来越多的公司参与到了 GaN 的产业链。美国 EPC 公司在 2011 年推出的 EPC1010 增强型硅基氮化镓 (eGaNTM) 入围 EDN 第 21 届年度创新奖决赛^[5],标志着 GaN 商业化产品逐步获得行业认可。EPC 目前推出了耐压从 15V 到 350V 不等的 GaN 功率器件,几乎覆盖了 GaN 功率器件的低压领域^[6]。此外,2007 年成立于美国的 Transphorm 公司,专注于高压 GaN 功率转换产品设计与制造,并在 2012 年生产出首款通过 JEDEC 认证的高压 GaN 器件^[7],迈出了产品可靠性获得行业标准认可的重要一步。2014 年,加拿大公司 GaN Systems 推出了 100V 和 650V 量产的 GaN 功率器件,其产品定位聚焦于高压大功率应用。此外,纳微半导体 (Navitas) 于 2014 年在美国成立,其后续推出的 GaNFast 功率芯片可以实现高于传统 Si 芯片 100 倍的开关速度,并且节约 40% 的能量^[8]。

2015 年以来, GaN 功率器件产业进入了高速发展的阶段。混合漏极嵌入式栅极注入晶体管 (Hybrid Drain Gate Injection Transistor, HD-GIT) 技术,最早由日本松下 (Panasonic) 半导体公开发表^[9],为平面型 GaN 功率器件结构优化提供了新的思路,并在 2015 年成功推出产品^[10]。

美国德州仪器 (Texas Instrument) 公司,在 2015 年 3 月,采用 EPC 公司的 GaN FET 开发得到了集成 80V GaN FET 和驱动器 IC 的“LMG5200”;并于 2016 年,自行开发 GaN FET,发布的“LMG3410”集成了 600V 的 GaN FET 和驱动器 IC^[11],实现了迅速发展。

半导体行业巨头英飞凌 (Infineon) 公司,在 2014 年收购 IR 公司之后,迅速跻身 GaN 功率器件行业。2018 年,英飞凌开始量产第一代 CoolGaNTM 600V 增强型 HEMT,

正式推出自研品牌产品；在 2023 年，英飞凌以 8.3 亿美元，完成了对 GaN Systems 的收购^[12]，凭借其强大的产品整合和应用能力，英飞凌市场份额跃升。与此同时，英飞凌在近两年不断发展，先后推出了全面采用 8 英寸晶圆的新一代 CoolGaN™^[13]和首款车规级 100V 晶体管^[14]。

欧美地区的大型半导体公司以外，国内的半导体公司近些年也迅速发展 GaN 功率器件产业。2015 年 12 月，中国半导体公司英诺赛科（Innoscence）成立，以“IDM 全产业链模式”和“8 英寸硅基氮化镓（GaN-on-Si）晶圆量产”作为核心竞争力^[15]，在 GaN 功率器件半导体领域迅速发展。2024 年上市后，于 2025 年与英伟达（NVIDIA）合作，推动 800V 架构在 AI 数据中心落地，在 GaN 半导体领域占有一席之地。

GaN 功率半导体目前正与数据中心，汽车电子，消费电子以及工业能源等众多领域深度绑定，属于 GaN 功率器件的“黄金时代”正在开启。全球 GaN 功率半导体市场预计将在 2030 年扩大至 43.8 亿美元的规模^[16]，实现高速的持续增长。随着电力电子行业的快速发展，GaN 功率器件在功率电子领域有着广阔的发展前景。

纵观近二十年来 GaN 功率器件的商业化与产业化进程，行业对其评估的核心诉求已由早期的“原理可行性验证”与“静态参数标定”，逐步演变为复杂工业变换器工况下的“长期可靠性量化表征”。因此，针对 GaN 器件的动态特性的精准表征技术，不仅是连接上游器件制造与下游电源工程应用的关键纽带，更成为了当前宽禁带半导体领域亟待突破的核心技术课题。

1.2 GaN 器件动态电阻衰退现象

除去 GaN 器件的阈值电压存在动态特性^[17]这个常见的问题，由于横向硅基 GaN 器件特有的异质结工艺，其在实际高压、高频、高温运行下的动态导通电阻衰退已成为制约系统效率与热安全的关键瓶颈。

1.2.1 GaN 器件动态电阻表现

在平面型 GaN 器件中，由于器件本身的内在原因，器件导通后的电阻行为不同于传统的 Si 器件。如图 1-2 所示，用蓝色的直线代表 GaN 器件理想情况下的静态电阻，然而 GaN 器件在承受一段时间高压阻断后导通，其实际的电阻值类似于图中的红色曲线，其数值会高于器件的静态电阻值，这种现象称作 GaN 器件的动态电阻衰退（Dynamic ON-resistance Degradation）现象，同样被称作电流崩塌（Current Collapse）效应，这是

一直困扰平面型 GaN 器件的问题。

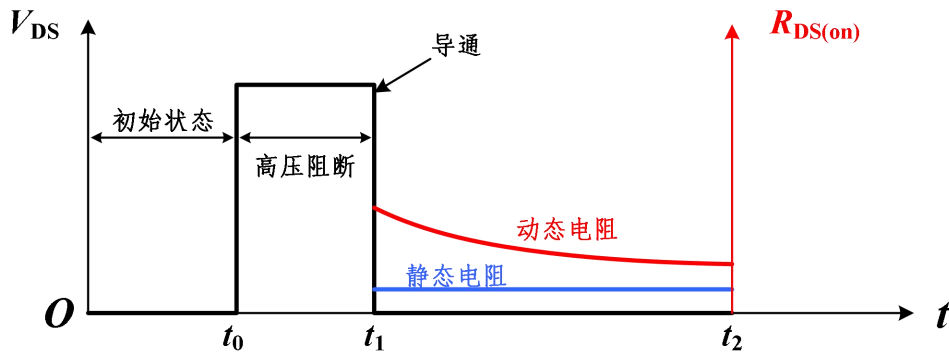


图 1-2 平面型 GaN 器件动态电阻现象

虽然伴随着器件的导通，器件的动态电阻会逐渐恢复，最终恢复至器件理想的静态电阻，但是，这个过程往往需要较长的时间，一般在 10^{-1} - 10^3 秒之间^{[18][19]}。在 GaN 基变换器中，GaN 功率器件的应用频率往往在百 kHz 以上，器件每个周期的导通时间仅有几微秒，这并不足以让器件的电阻恢复至静态电阻值，器件便又重新被高压阻断。这会导致 GaN 器件实际应用过程当中，实际的导通损耗相比于不考虑动态电阻的情况下有了明显的提高。因此，与传统的 Si 基变换器计算器件导通损耗不同的是，在 GaN 基变换器当中，仅仅凭借 GaN 功率器件的静态电阻是难以估计 GaN 器件的导通损耗的，必须考虑到器件的动态电阻现象。

平面型 GaN 器件的动态电阻衰退主要归因于 GaN 器件表面态陷阱、以及缓冲层中的体陷阱对电子的俘获效应^[20]，其导致器件表面或者缓冲层形成了负电荷中心，对于二维电子气产生耗尽作用，宏观上即表现为导通电阻的增大。对于 GaN 器件动态电阻形成的具体机制，将在章节 4.1 中详细阐述。

基于 GaN 器件动态电阻的产生机理，学术界和工业界已提出多种优化方法。随着材料生长和器件工艺的进步，动态电阻现象正逐步得到抑制，GaN 技术在高频应用中的潜力不断释放。在这一技术演进过程中，商用 GaN 器件依栅极工艺逐渐分化出了肖特基（Schottky）型与欧姆（Ohmic）型两大主流技术路线。针对这两类底层结构不同的器件，在实际运行的不同结温条件及不同开关模态下，其动态电阻的具体表现有何差异仍需要展开更深入的对比与研究。

1.2.2 动态电阻研究现状

尽管近些年，平面型 GaN 器件的技术手段在不断优化，但目前最先进的平面型 GaN 器件仍然受到动态电阻衰退的困扰。当器件处于高压高频的工作情况下，GaN 器

件的动态电阻造成导通损耗明显增加，这会进一步限制 GaN 器件在电力电子行业中的应用。因此，针对平面型 GaN 器件的动态电阻测试研究以及机理分析，仍然是工业界和学术界的研究热点。

目前针对 GaN 器件的动态电阻，在学术界已经展开了广泛的研究。学者们从 GaN 器件的实际工况入手，探索了众多因素对于 GaN 器件动态电阻的影响，包括但不限于：开关频率 (f_{sw}) 和占空比 (D)^[21]、关断时漏源电压应力 (V_{DS})^[22]、电压应力持续时间^[23]、器件的导通模态^{[24][25]}、导通电流 (I_{DS})^[26]、栅极电阻^[27]以及栅极电压 (V_{GS}) 和电流 (I_G) 特性^[28]等等。

以往针对 GaN 器件动态电阻的研究主要针对 GaN 器件动态电阻在室温下的表现，然而 GaN 器件在电力电子变换器中实际工作的情况下，由于器件的开关和导通损耗等，器件的结温往往会明显高于室温情况。如图 1-3 所示，以 GaN 基图腾柱 PFC 样机为例，在额定功率 1600 W 的情况下，流过图示 GaN 器件的峰值电流为 28 A，样机稳定运行的情况下，器件的外壳表面温度达到了 94.6 °C，此时器件的结温会处于一个更高的水平，可能会达到 110 °C 甚至更高。较高的结温可能会影响 GaN 器件表面和缓冲层中对于电子的俘获和释放^[29]，进而影响到 GaN 器件在高温下的动态电阻。原有的室温下针对 GaN 器件动态电阻的评估，在器件实际运行的高结温情况下，需要进一步的修正。

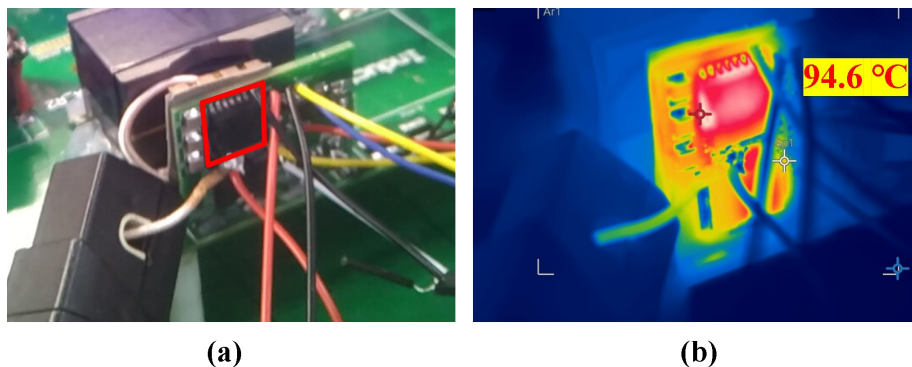


图 1-3 图腾柱 PFC 样机中 GaN 器件正常工作：(a) 实际照片；(b) 热成像图

在进行此类高温评估时，单纯依赖半导体分析仪和加热台获取的变温静态参数，已难以准确反映器件的实际损耗。静态测试处于稳态环境，无法模拟真实变换器中器件的动态行为。因此，仅凭静态数据会严重低估器件在实际运行中的动态导通电阻。这一局限性迫使研究人员必须探寻能够模拟真实开关瞬态的动态表征技术。

随着表征手段向动态开关瞬态演进，浙江大学研究团队针对 GaN 器件在不同结温

下的动态电阻,采用双脉冲(Double Pulse Test, DPT)的测试方法展开研究^[30]。其针对两款不同技术结构的商用 GaN 器件,评估了它们在不同结温下的动态电阻,并从机理层面对 GaN 器件高温下动态电阻的行为进行分析。然而,双脉冲测试本身具有一定的局限性,难以准确地反映 GaN 器件实际工况下的动态电阻^{[22][31]}。

为进一步贴近变换器的真实连续运行工况以克服双脉冲测试的局限性,中国科学院微电子研究所研究团队采用多脉冲(Multi Pulse Test, MPT)的测试方法,在修正 GaN 器件开关安全工作区的同时,评估了器件的动态电阻^[32]。然而测试过程中,只针对器件表面外壳的壳温进行了监测,多脉冲测试时,若是器件电流较大,器件外壳的壳温与器件的结温往往存在一定的温差,难以直接反映器件的结温。

针对连续多脉冲表征中的高温监测难题,剑桥大学的研究团队,考虑到器件上方外壳的温度与器件的结温之间存在差距,采用直接待测器件下表面的温度方法来监测器件的结温^[33]。研究团队在器件下表面的 PCB 板上钻孔,通过热成像仪实时监测器件下表面的温度,并通过热仿真验证,器件下表面的温度与器件实际结温误差在 1 °C 以内。后续通过多脉冲的测试方法,评估了 GaN 高温下的动态电阻,并且完善了器件的损耗模型。

尽管多脉冲的测试方法适用于在低电流条件下评估 GaN 器件在不同结温下的动态电阻,但在大电流的测试期间,其多脉冲测试的局限性变得明显。较大电流的多脉冲测试,仍然有可能导致器件的结温上升,但是有热容的存在,导致难以及时检测到器件结温的上升。同时,对于复杂的器件工作状态(例如间歇工作模态),也难以进行精确的评估。

目前针对 GaN 器件在不同结温下的动态电阻评估仍然存在一定的局限性,尤其是在大电流持续脉冲的测试条件下,需要投入大量的时间和精力来控制 and 测量 GaN 器件测试过程中的结温。为此,需要更为简单易行的测试平台和测试方法。

1.3 本文主要研究内容

针对前述背景中指出的复杂工况测试受限,热电深度耦合,以及不同结构器件对比不足等问题,本文搭建了结温可控的高温测试平台,并分析了 GaN 器件的测试结果与底层物理机制之间的联系。本文主要内容如下:

1) 基于 MGDPT 方法的 GaN 器件高温动态电阻测试平台构建

针对传统连续脉冲测试中器件自发热引起的结温上升与内部电荷俘获机制深度耦合、难以准确评估特定结温下 GaN 器件动态电阻的问题,本文采用了多组双脉冲测试 (Multigroup Double Pulse Test, MGDPT) 方法,并搭建了兼容硬/软开关工况且器件结温可控的高温动态电阻测试平台。通过无动态电阻现象的 Si 器件进行对照实验,证实了该平台的测量准确性,并验证了 MGDPT 方法作为连续脉冲测试有效补充的可行性。在此基础上,通过精准调节相邻两组双脉冲的电压应力时间 (t_{stress}),有效模拟了器件间歇运行等复杂工况,实现了特定工况与结温下 GaN 器件动态电阻的准确评估。

2) 复杂工况下不同结构 GaN 器件动态行为对比评估

针对现有研究缺乏对不同结构 GaN 器件高温动态行为进行系统性对比的局限,本文选取了 HD-GIT 型器件与 E-Mode p-GaN 型器件两款不同结构的 GaN 器件,对比评估了它们的高温动态电阻特性。实验系统地探究了结温 (T_j)、漏源电压 (V_{DS}) 以及电压应力时间 (t_{stress}) 对两款器件动态电阻的综合影响。

3) GaN 器件高温动态电阻行为的物理机制解释

针对高温动态行为底层物理机制解释亟待深化的问题,本文从半导体物理层面,深入剖析了 GaN 器件动态电阻衰退及其行为差异的内在机理。研究揭示了 GaN 器件表面及缓冲层电荷俘获导致二维电子气 (2DEG) 耗尽的核心机制,并结合 GaN 器件的不同结构与技术路线,分析了器件动态电阻行为产生差异的原因。

论文的章节安排如下:

第一章阐述了本文的研究背景。介绍了 GaN 材料优势与器件发展现状,梳理了动态电阻领域的研究进展与评估局限,进而引出本文的研究内容。

第二章介绍了测试方法与平台搭建。阐明了多组双脉冲测试策略及参数提取方法,并基于热阻模型设计了结温开环控制方案,完成了结温可控的高温动态电阻测试平台搭建。

第三章为实验部分,首先采用相似规格,无动态电阻现象的 Si 器件验证了测试平台和测试方法的可行性。然后,通过多组双脉冲的测试方法,评估对比了两款不同结构的 GaN 器件 (器件 A: HD-GIT 型; 器件 B: E-Mode p-GaN 型) 的动态电阻。

第四章探讨了两款器件动态电阻行为产生差异的物理成因。首先,分析了引发 GaN 器件动态电阻退化的四种主要陷阱俘获机制。随后,结合器件结构解释了实验现

象。

第五章对本文的研究内容进行了归纳总结，并结合本文的研究经验与目前的测试现状，对未来 GaN 器件动态电阻的研究方向进行了展望。

PMIC内部资料 严禁外传

2 GaN 器件高温动态电阻测试平台

2.1 测试电路原理

考虑到软、硬开关动作对 GaN 器件动态电阻的影响, 本文采用了一种兼容器件软硬开关的测试电路^[25]。图 2-1 展示了测试电路的拓扑结构, 其中, 高压直流输入源记作 V_{in} ; 母线及中点间的电解电容记作 C_{IN1} 和 C_{IN2} , 用来存储能量为电感充电; 利用三个高压 Si MOSFET Q_1 , Q_2 , Q_3 来辅助实现电压应力的控制以及器件硬开通与软开通的实现, 后续会针对三个电压应力切换开关的功能展开详细的阐述; 电路中 L 为续流电感; S_1 和 S_2 为高压 GaN 器件, 通过构成半桥桥臂来模拟 GaN 器件实际运行过程中的各种工况; 其中, S_2 为待测器件 (Device Under Test, DUT)。针对 DUT 导通期间的压降, 利用灰色区域的箝位电路进行测量, 其原理会在后续章节中进行详细介绍。

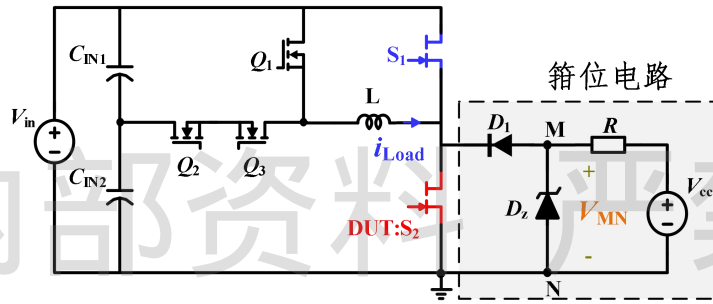


图 2-1 测试电路原理图

2.1.1 硬开关测试电路原理

为了使测试条件更贴近真实变换器的运行工况, 本文搭建的电路支持对 GaN 器件进行硬开通模式下的动态电阻进行测试。为了更为清晰地分析器件工作原理, 暂时省略电路中的箝位电路。GaN 器件进行硬开关测试时的测试电路原理图如图 2-2 (a) 所示, 此时, 电路中 Q_1 导通, Q_2 , Q_3 关断。

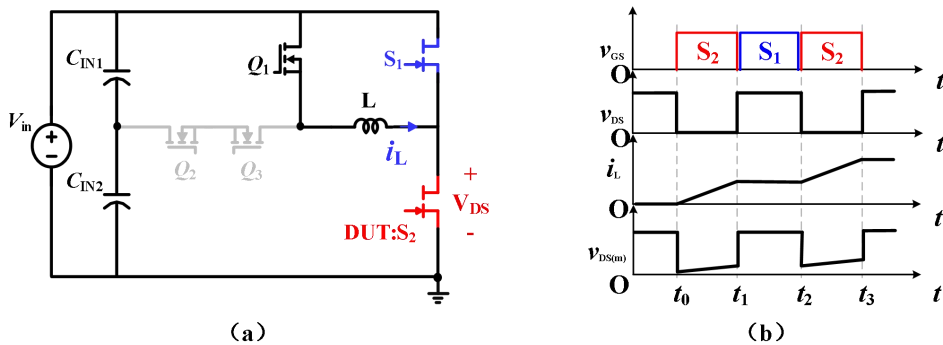


图 2-2 硬开关测试电路及关键波形：(a) 测试电路；(b) 关键时域波形

测试电路的中关键器件的栅极信号以及关键的电压电流波形如图 2-2 (b) 所示, t_0 时刻, 给予待测器件 S_2 开通信号, 电感 L 由母线电容供电, 电感电流 i_L 上升; t_1 时刻, S_2 关断, S_1 导通, 电感电流通过 S_1 进行续流, 由于此时回路中阻抗较小, 并不会损耗电感的能量, 电感电流变化不明显; t_2 时刻, S_1 关断, S_2 在给定电流下导通, 器件开通的时间内, 可以测试电感电流和箝位电路的电压, 进一步完成动态电阻测试; t_3 时刻, S_2 关断, 电感电流最终逐渐衰减到 0, 完成测试。测试过程中, 通过控制电感 L 的感值以及 t_0 - t_1 的时间长度, 控制器件的开通电流; t_2 - t_3 的时间长度决定了器件的测试时长。考虑到 GaN 器件高频的应用场景, 脉冲宽度通常在微秒量级。

2.1.2 软开关测试电路原理

零电压软开关 (Zero-Voltage Switching, ZVS) 常见于各类电力电子拓扑当中, 在器件开通瞬间其漏源电压 (V_{DS}) 降低到 0 V 或者接近 0 V, 器件将几乎不产生开通损耗。为此, 本文采用的测试电路同样适用于 GaN 器件的零电压软开关下动态电阻的测试, 此时, 测试电路当中, 器件 Q_1 关断, Q_2 和 Q_3 开通, 测试电路原理图如图 2-3 所示。针对 GaN 器件的软开关测试, 在持续的多组双脉冲测试过程中, 电容 C_{IN2} 所存储的能量会经过电感, 输送至 C_{IN1} 中, 造成 C_{IN1} 和 C_{IN2} 电容的分压不均。因此, C_{IN1} 和 C_{IN2} 需要有足够大的容值, 必要时, 可以给 C_{IN1} 和 C_{IN2} 分别供电, 以维持 C_{IN1} 和 C_{IN2} 的两端电压的恒定。

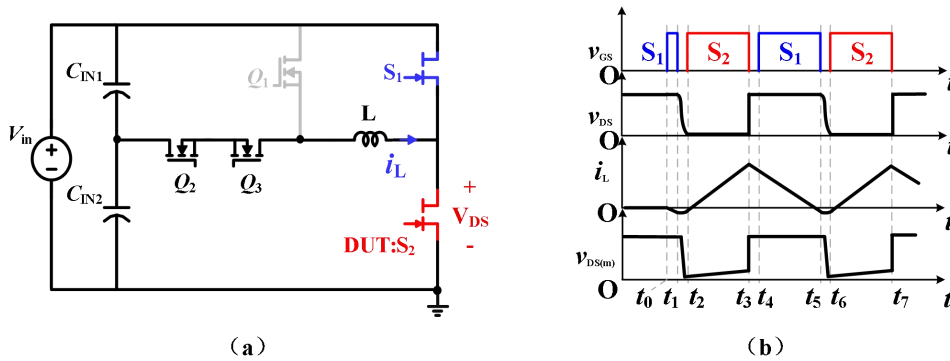


图 2-3 零电压软开关测试电路及关键波形: (a) 测试电路; (b) 关键时域波形

进行零电压软开关测试时, 控制信号以及关键电压电流参数的波形如图 2-3 (b) 所示。软开关电路的时序过程如下: 在 t_0 - t_1 阶段, S_1 先导通约 100 ns, 电感 L 在反向偏置电压 ($-1/2V_{in}$) 下建立起反向电流; 随后进入死区时间 (t_1 - t_2), 这部分电流对 S_2 的结电容进行放电, 拉低了 S_2 的漏源电压 V_{DS} , 当 S_2 的 V_{DS} 下降至 0 并由器件的内部沟道续流时, 器件导通, 实现待测器件 S_2 的零电压软开通。在 t_2 - t_3 的导通时间内, 电

感电流在 $1/2V_{in}$ 的电压下正向上升至峰值。 t_3 时刻, S_2 关断, 经过死区延时后, S_1 在 t_4-t_5 期间导通, 电感电流回落至 0 后, 产生一定的反向电流在 t_5 时刻后对 S_2 结电容放电, 实现待测器件在 t_6 时刻的零电压开通。

2.2 测试方法

基于 2.1 的测试电路, 本文采用双脉冲测试 (Double Pulse Test, DPT) 和多组双脉冲测试 (Multigroup Double Pulse Test, MGDPT) 两种测试方法针对 GaN 器件动态电阻展开测试。

2.2.1 双脉冲测试方法

双脉冲测试作为一种常用的测试方法, 为半导体器件的动态特性评估提供了有效的手段, GaN 器件也不例外。例如, 在第三代半导体产业技术创新战略联盟发行的《分立 GaN HEMT 功率器件动态电阻评估》^[34]标准文件当中, 便采用了双脉冲的测试方法, 针对 GaN 功率器件的动态电阻进行评估。双脉冲测试方法相比于其他测试方法, 满足复杂测试条件的同时, 系统整体复杂性较低, 操作简单。

双脉冲测试的核心是向被测器件的栅极施加两个脉冲, 通过感性负载建立并维持电流, 随后精确测试待测器件的开关过程以及导通过程。在双脉冲测试过程中, 首先, 在第一个脉冲期间, 对电感进行充电, 电感电流线性上升达到预设值; 然后, 关断待测器件, 通过上管进行续流; 后续对待测器件栅极施加第二个脉冲, 器件导通, 测量待测器件在第二个脉冲期间的导通电压和导通电流, 计算求解器件的动态电阻。

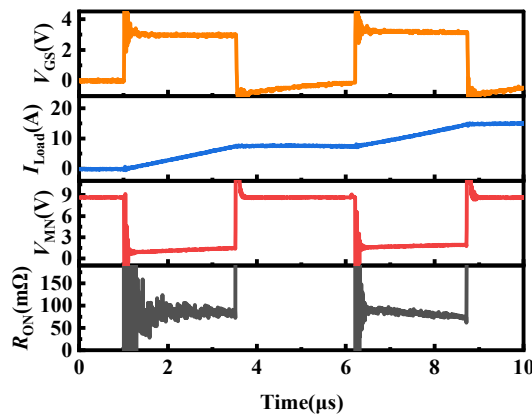


图 2-4 双脉冲测试的动态电阻提取与计算

针对 GaN 硬开通的双脉冲测试, 其时域波形与动态电阻的计算数据如图 2-4 所示。其中, V_{GS} 为待测器件的栅极电压, I_L 为电感电流, V_{MN} 为箝位电路的电压信号, R_{ON}

为器件导通阶段的动态电阻。

另外，在测试的窗口内，GaN 器件的动态电阻值呈现出一定的下降趋势，并不是恒定不变的。为了保证不同条件下测试结果的一致性和可比性，本文中针对 GaN 器件动态电阻的提取办法做了统一规定：避开开关瞬态后的振荡阶段，待测试波形稳定后，截取峰值电流附近 300 ns 的波形，如图中阴影所示，数据进行平均处理，得到该次双脉冲测试的动态电阻的代表值。

2.2.2 多组双脉冲测试方法

针对 GaN 器件的动态电阻评估，尽管双脉冲测试方法电路简单、便于实施，但其在准确评估 GaN 器件动态电阻时仍表现出固有的不足。GaN 器件的动态电阻衰退和 GaN 器件的开关过程有紧密联系：器件关断时，器件的 2DEG 被陷阱中俘获的电子耗尽；器件开通时，陷阱俘获的电子被释放，器件的 2DEG 逐渐恢复。GaN 器件在实际变换器中运行时，器件处于持续的开通和关断的切换过程当中，2DEG 中的电子出现不断地俘获和释放，最终达到平衡的状态。然而，简单的双脉冲测试，难以完整地反映 GaN 器件的实际工况。如图 2-5 所示，持续脉冲工况下的 GaN 器件的动态电阻是一个逐渐恢复的过程，但是双脉冲测试只反映了 GaN 器件预电压应力后两个脉冲的动态电阻，器件的动态电阻还没能完全恢复达到平衡的状态。为此，在原有的双脉冲测试的基础上，更多的研究采用多脉冲测试的方法^{[24][32][33]}对于动态电阻进行评估。

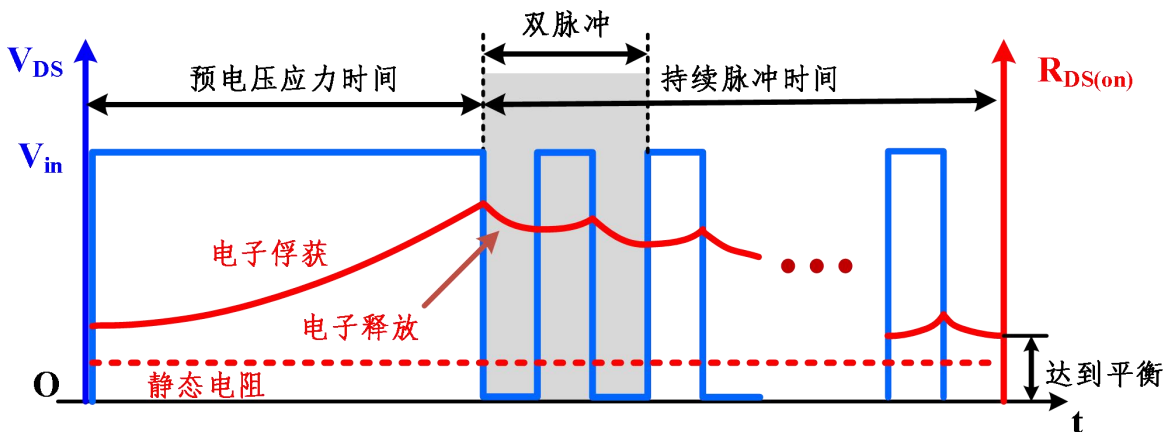


图 2-5 GaN 器件持续脉冲工作情况

然而，多脉冲测试中，若是测试 GaN 器件大电流情况下的动态电阻，待测器件由于存在开关损耗和导通损耗，热量会迅速累积，尽管只有几十微秒到一百微妙的时间，器件的结温还是会出现上升^[35]。由于 GaN 器件的静态电阻存在温度依赖性，器件结温

上升 $10\text{ }^{\circ}\text{C}$ ，器件的静态电阻便会上升 10% 左右，这会对于 GaN 器件的动态电阻评估产生干扰。

一方面，为了避免双脉冲测试难以完整表征 GaN 器件的动态电阻；另一方面，为了防止多脉冲测试引起的待测器件结温的上升，干扰 GaN 器件动态电阻测试的结果，本文参考 CASA 标准^[36]，采用多组双脉冲测试的方法，在文献[25]的基础上，将其进一步拓展应用于全温度梯度以及复杂工况模拟，用来评估不同结构器件在不同工况下的动态电阻。

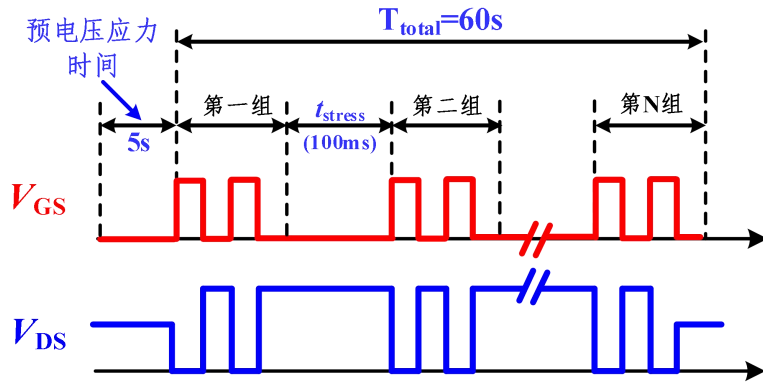


图 2-6 多组双脉冲测试待测器件 V_{GS} 和 V_{DS} 关键波形

如图 2-6 所示，多组双脉冲测试方法当中，在双脉冲之间添加较长的电压应力时间 (t_{stress}) 进行散热，确保器件的结温维持稳定。由于待测器件的散热得到了保证，器件的结温不会持续上升，为此可以延长测试时间，以确保待测器件的动态电阻达到稳定。本文中，多组双脉冲测试的总时长为 60 s，相邻两组双脉冲之间的时间间隔取 1ms-200ms 进行研究（测试结果会在后文中进行介绍），双脉冲组数的选取以维持测试总时长为 60 s 为准。

相较于传统测试手段，本文采用的多组双脉冲测试测试方法兼具全面性与热稳定性优势。一方面，它弥补了单次双脉冲仅能捕捉 GaN 器件初始瞬态电阻的局限，通过长达 60 s 的连续测试序列，复现了器件内部陷阱俘获与释放逐渐达到动态平衡的真实稳态特性；另一方面，针对连续多脉冲测试在大电流下易因自发热导致结温失控（结温上升 $10\text{ }^{\circ}\text{C}$ 即可引起约 10% 的电阻漂移）、使热效应与纯电学俘获机制深度耦合的痛点，多组双脉冲测试方法在相邻两组双脉冲之间的电压应力时间有效地帮助待测器件进行散热，维持器件结温的稳定。

对于本文中的测试电路，在进行多组双脉冲测试时，MOS 管 Q_1 ， Q_2 ， Q_3 的信号进行了额外的优化，以确保在散热阶段内，待测器件两端的电压为 V_{in} 。

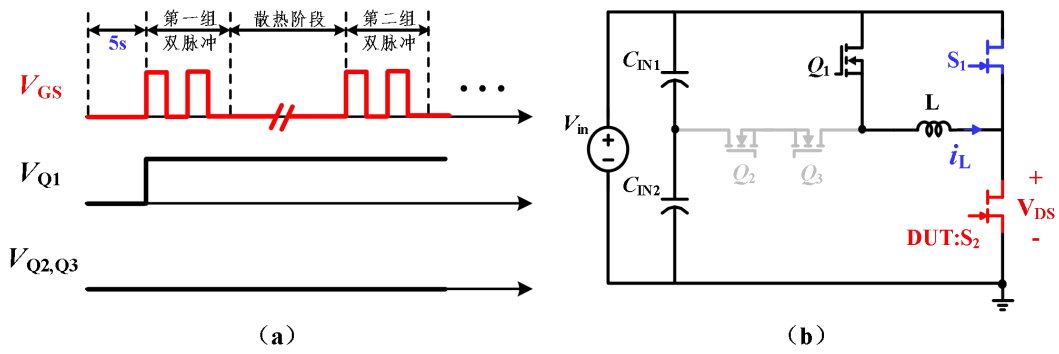


图 2-7 多组双脉冲测试时序图（硬开关）：（a）时序图；（b）测试电路

在硬开关测试的情况下，以前两组双脉冲为例，如图 2-7 所示，维持 Q_1 持续导通，待测器件在关断的情况下，其两端电压始终为 V_{in} 。在双脉冲阶段，测试方案与 2.1.1 中描述的硬开关测试方法相同，后续电感电流通过双管 S_1 进行续流，电流可以在 200us 时恢复到 0，远小于测试过程当中所取的相邻两组双脉冲之间的间隔时间，不影响下一组测试；在散热阶段， Q_1 导通，此时待测器件的电压维持在 V_{in} ，确保测试过程中待测器件关断偏置电压的稳定。

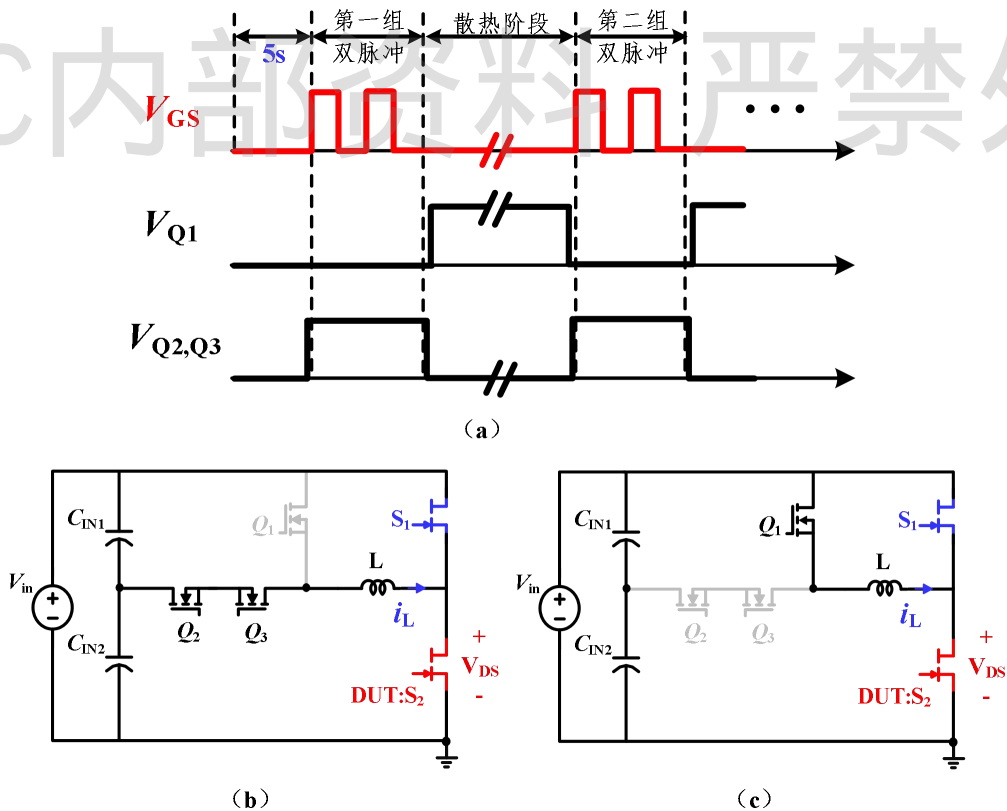


图 2-8 多组双脉冲测试时序图（软开关）：（a）时序图；（b）双脉冲阶段测试电路；（c）电压应力时间内测试电路

软开关测试情况的时序图如图 2-8 所示，满足待测器件测试阶段能够实现软开关

的同时，散热阶段待测器件的关断电压设置为 V_{in} 。在双脉冲阶段， Q_1 关断， Q_2 ， Q_3 导通，采用 2.1.2 的软开关测试电路原理来控制 S_1 ， S_2 的栅极信号，实现待测器件测试过程中的软开关；在散热阶段， Q_2 ， Q_3 关断， Q_1 导通，此时，电压应力通过 Q_1 施加到待测器件，实现待测器件关断时承受电压应力 V_{in} 。

2.3 动态电阻测量方法

针对 GaN 器件动态电阻的测量，主要是对其从高压阻断状态切换至导通状态之后的电阻值进行表征。该方法的核心是分别获取器件导通期间的电压值与电流值，并计算其比值。一方面，直接对电压进行精确测量成本极高，需要设计箝位电路针对导通电压间接测量导通电压。另一方面，电流的测量通常需要通过高带宽电流探头或低感采样电阻实现，其挑战主要在于带宽、精度与电路寄生参数的平衡。为实现准确测量，需对电压和电流的测量方案进行针对性设计。

2.3.1 导通电压提取方法

针对 GaN 器件导通电压的测量，最直接的方法便是使用高精度的数字示波器，示波器在使用过程中，测量数据应尽可能填满示波器屏幕，防止示波器内部放大器失真造成导通电压读数偏差^[37]。然而，在典型的 GaN 器件动态电阻测试中（例如 650V 器件），被测器件关断时承受的母线电压可能高达数百伏（例如 400V），而器件完全导通时的漏源电压可能降低至 1V 甚至几百毫伏。这意味着测量仪器需要在一个测试序列中分辨跨越三个数量级的电压信号。以普通的 8 位分辨率示波器为例，其垂直分辨率仅为 $2^8 \approx 256$ 个量化信号等级，若设置量程为 400V，则最小可分辨电压为 $400V/256 \approx 1.56V$ 。这已大于待测的导通压降本身，导致测量完全失真^[38]。尽管采用 12 位高分辨率示波器可将精度提升至约 0.1V，但此类设备极其昂贵，且其前端放大器在大电压阶跃下仍可能因过驱动而产生恢复延时，影响对开通瞬态的捕捉。

学术界目前测量 GaN 器件的导通压降主要采用箝位电路（Clamping Circuit）^{[37][39][40][41]}的方案，以弥补测试设备上的不足。箝位电路方案的核心思想是在测量路径中引入一个保护性电路。当功率器件关断（承受高电压）时，该电路可主动将被测点电压箝制在较低电平（例如 5V）；而在器件开通（处于低压状态）时，该网络则会退出作用，从而确保真实的导通压降无失真地传输至示波器。通过这种电压限幅机制，示波器得以采用小量程（如 1V 档）进行测量，从而实现对导通压降的高精度观测。

以前述 8 位示波器为例，将量程设置为 5 V 后，其测量的分辨率可提高至 $5\text{ V}/256 \approx 19.5\text{ mV}$ 。这使得测量精度提升了两个数量级，电压测量精度提高的同时，也避免了选用高端示波器所带来的高昂成本。

对比不同结构的箝位电路，本文最终采用了一种电路结构简单，测试响应速度较快的箝位电路^[24]，其原理图如图 2-9 所示。其中 V_{CC} 为低压电源， D_z 为齐纳二极管， D_1 为高压 SiC 二极管，箝位电路测量电压为 M，N 两点之间的电压。

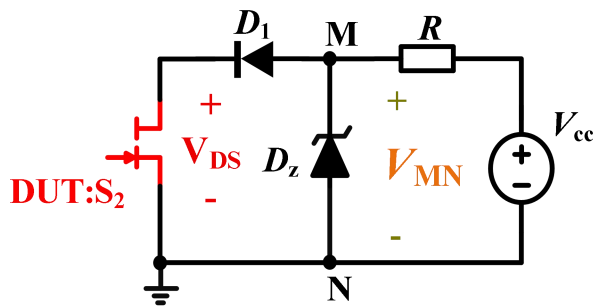


图 2-9 箝位电路原理图

如图 2-10 (a) 所示，当待测器件处于关断状态时， V_{DS} 置于高电压，此时，高压二极管 D_1 截止，低压源 V_{CC} ，电阻 R ，齐纳二极管 D_z 构成回路，M，N 两点之间的电压为 D_z 的箝位电压。器件关断时，箝位电路将测量电压限制在几伏，远远小于器件本身的几百伏的阻断电压。

如图 2-10 (b) 所示，待测器件导通后，器件两端的电压 V_{DS} 低于 D_z 的箝位电压，二极管 D_1 正向导通，此时，低压源 V_{CC} ，电阻 R ，高压二极管 D_1 ，与待测器件构成回路，M，N 两点之间的测量电压 $V_{MN} = V_{DS} + V_{D1}$ ，通过计算可以得到待测器件导通压降 $V_{DS} = V_{MN} - V_{D1}$ 。

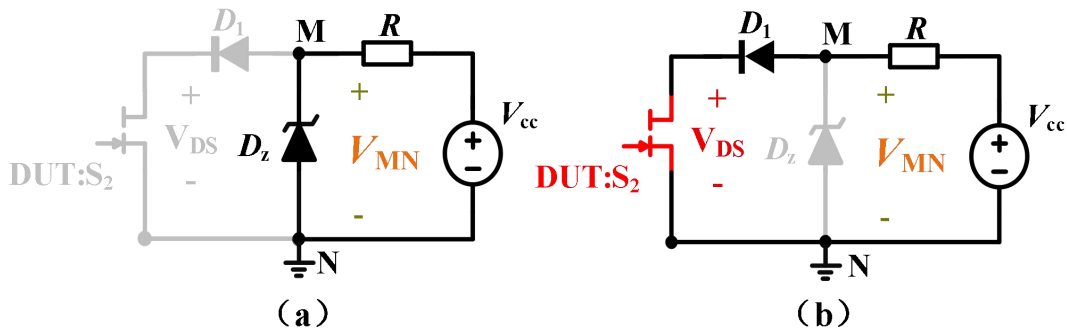


图 2-10 箝位电路原理分析：(a) 器件导通前；(b) 器件导通后

针对公式中高压二极管 D_1 的压降 V_{D1} ，其主要由 D_1 的 I-V 特性决定的， D_1 的 I-V 特性曲线可以通过半导体分析仪测量获取。如图 2-11 所示，为箝位电路所用的高压二

极管 D_1 (CSD01060) 的 I - V 特性曲线, 为了简化计算过程, D_1 正向导通时的电流控制在 10mA - 50mA 的区间内, 便于对曲线进行线性拟合。待测器件导通时, 流经高压二极管 D_1 的电流为 $I_F=(V_{CC}-V_{MN})/R$, 带入到拟合公式当中即可获取二极管正向压降 V_{D1} 。另外, 二极管的正向压降 V_{D1} 同样会受到温度的影响, 考虑到其温度依赖性, 在不同结温的测试过程当中, 均对二极管 D_1 的正向压降 V_{D1} 进行校正, 带入到公式当中进行计算。

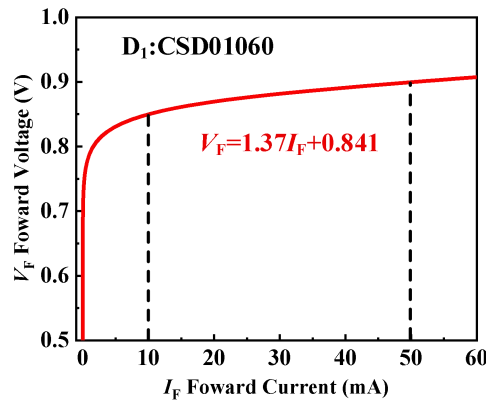


图 2-11 高压二极管 D_1 的 I - V 拟合曲线

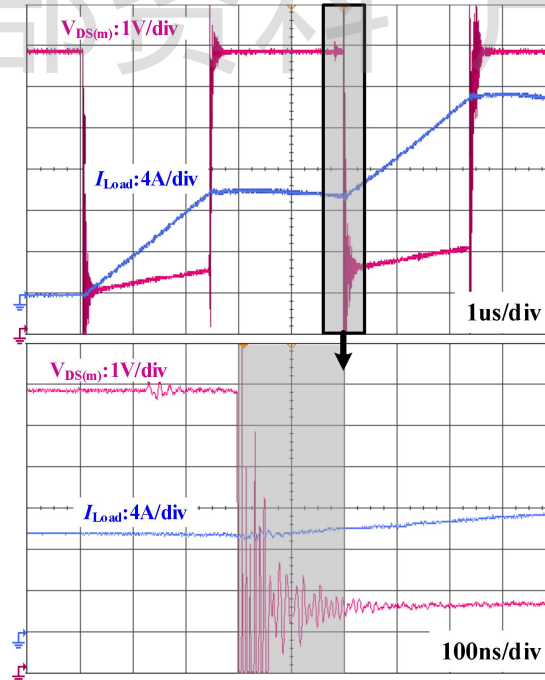


图 2-12 箱位电路的响应时间

箱位电路虽然能针对导通电压实现精确和简单的测量, 但是同样会引入新的问题: 当待测器件处于高压阻断时, 高压二极管 D_1 的结电容会存储电荷; 待测器件开通时, 二极管 D_1 结电容储存的电荷释放, 造成测量存在延时, 也称作响应时间。本文中采用

的箝位电路的响应时间大约 200 ns，如图 2-12 所示。后续若是测试器件导通较短时间内的动态电阻，需要对箝位电路进行额外的优化^{[42][43]}。

2.3.2 导通电流提取方法

针对 GaN 器件动态电阻测量过程中导通电流的测量，测试设备或测试方法的的要求相比于其导通电压的要求要低，但也仍需满足测试精度的要求。

根据信号理论^{[44][45]}，测量设备需具备足够高的带宽，才能准确捕获 GaN 器件开通时的电流上升沿。依照经验公式，若一个信号的上升时间为 t_r ，下降时间为 t_f ，那么信号的有效带宽为：

$$F_{(-3dB)} = \frac{0.35}{\min(t_r, t_f)} \quad (2.1)$$

依照公式 (2.1)，如果 GaN 器件的电流上升的时间为 7ns，则其所需的有效带宽便要 50MHz，同时，为了获取得到精确的幅值，测试系统的带宽需要是有效带宽的 3-5 倍。因此，至少需要 200MHz 的测试设备才能满足测试的基本条件。

除此之外，测试设备的量程范围和灵敏度也是需要考的因素^[46]。针对具体的测量，测试设备需要满足两个看似矛盾的要求：一方面，电流测试设备需要满足电流范围的最低要求；另一方面，测试设备应该选择与典型测试电流相匹配的最小量程档位。这是由于测试设备所选的量程越大，那么其灵敏度也会越低，这就导致了测试精度的下降，影响到测试结果的准确性。

表 2-1 几种常见电流测试设备对比

测试设备 及型号	电流探头	罗氏线圈	同轴电阻	电流互感器
灵敏度	1 mA/div	<200 mV/A	100 mV/A	1V/A
带宽	300 MHz	30 MHz	2000 MHz	200 MHz

表 2-1 展示了几类常规电流测试工具的对比，电流探头与同轴电阻均能满足基本的测量要求。即便同轴电阻在带宽上更具优势，但其串联接入方式引入的寄生电感会直接影响 GaN 器件的开关行为，且无电气隔离特性也给 PCB Layout 带来了挑战。

因此，本文电流探头 CP031A 针对 GaN 器件导通电流进行测量。该探头有效带宽达 300 MHz，幅值精度保障在 1 mA/div。结合 2.3.1 节中高分辨率箝位电路的电压提取，确保了测试电路的精度。

2.4 测试平台加热方案

本文针对 GaN 器件的高温动态电阻进行评估，主要采用外部加热的方案对待测器件进行加热。针对上述提到的测试电路以及测试方法，需要采取合适的加热方案，对待测器件进行外部加热。

2.4.1 热源选择

针对待测器件的加热，热源的选择需要满足以下两点：首先，针对本文中的待测器件，数据手册中给出的工作温度范围为-55℃至 150℃，针对 GaN 器件的高温动态电阻，本文主要研究器件结温 25℃至 150℃的范围；其次，加热方案应该能够维持器件结温稳定达到 60s 以上，以满足多组双脉冲测试的基本要求。因此，对于加热源的选择需要同时满足加热温度的范围能够覆盖需要测试的温度，还能够维持温度稳定。



图 2-13 几种常用热源：(a) 恒温箱；(b) 热风枪；(c) 软质加热片；(d) 陶瓷加热片

图 2-13 列举了几种实验室中常见的热源，分别是恒温箱，热风枪，软质加热片以及陶瓷加热片。表 2-2 对比了以上几种热源的温度加热范围以及其温度稳定性。

表 2-2 几种常见热源对比

热源	加热温度范围	温度是否可以稳定
恒温箱	25℃-300℃	是
热风枪	100℃-500℃	是
软质加热片	25℃-120℃	是（外置温度闭环装置）
陶瓷加热片	25℃-240℃	是（外置温度闭环装置）

综合对比表中数据可以得到：热风枪的加热范围虽可涵盖 100° C 至 500° C，但其难以将器件结温精确稳定在 100° C 以下并维持长达 60 秒；尽管该方式能够满足双脉冲测试对瞬时温度的基本需求，却无法保证在多组连续测试中提供一致且稳定的高温环境，故不适用于本研究中采用多组双脉冲测试的 GaN 器件高温动态电阻表征。此

外, 软质加热片的最高工作温度通常仅限于 120°C 左右, 无法达到本研究设定的 150°C 结温加热的上限, 因此软质加热片同样不考虑作为本课题中加热 GaN 器件的热源。

恒温箱的温度加热范围能够覆盖本研究所要求的针对 GaN 器件的结温测试区间, 并且其具备良好的温度稳定性, 满足本课题针对 GaN 器件高温动态电阻评估的最基本要求。同时, 恒温箱还具有额外的优势, 其能够为器件建立均匀、稳定的热环境, 保证 GaN 器件封装外壳温度与器件结温相同, 同时维持稳定, 避免了针对 GaN 器件结温进行额外的校正。但是, 恒温箱同样具有局限性: 一方面, 采用恒温箱进行加热, 需要将整个测试板放入恒温箱, 这就要求测试板中所有元器件均能在高温下运行, 对于测试板的要求较高; 另一方面, 利用恒温箱进行加热, 需要将测试探头接入恒温箱当中, 这极大地提高了接线难度。

综上所述, 本文采用陶瓷加热片针对待测器件进行局部加热, 一方面, 局部加热极大程度地减少了外部加热对于测试板中其他电子元器件的干扰, 降低了测试电路搭建的成本; 另一方面, 陶瓷加热片可以满足 GaN 器件高温测试中对待测器件结温的要求, 依靠外部装置, 也可以维持加热片温度的恒定, 保证待测器件的结温维持长时间稳定。

2.4.2 器件结温推导

拟定待测器件的加热方案之后, 如何准确测量动态电阻测试过程当中待测器件的结温成为 GaN 器件高温动态电阻测试的难题之一。为了解决待测器件结温测量问题, 本文依照加热平台的热阻模型, 利用待测器件外壳表面的壳温 (Case Temperature, T_C), 进一步测量器件的结温 (Junction Temperature, T_J)。接下来介绍如何通过热阻模型, 利用器件的壳温进一步测量器件的结温。

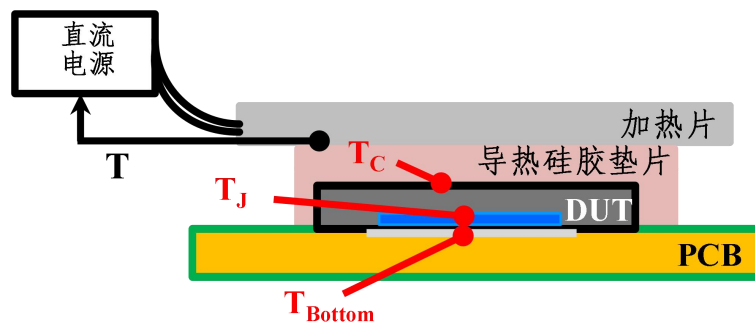


图 2-14 加热平台示意图

如图 2-14 所示, 为加热平台的横截面示意图: 采用陶瓷加热片对待测器件进行加

热，引入温度反馈系统控制陶瓷加热片的温度稳定；陶瓷加热片（Heating Patch）与待测器件之间添加导热硅胶垫片（Silicone Pad），确保加热片与待测器件之间的热量传递，有效地加热待测器件；待测器件焊接在印制电路板（Printed Circuit Board, PCB）上，加热片产生的热量流经待测器件，经过 PCB 后最终恢复到室温。依照加热平台，从上到下依次取三个关键点的温度，分别是待测器件上表面外壳的壳温 T_C ，待测器件内部的结温 T_J ，以及器件下表面的散热焊盘温度（ T_{Bottom} ），其中，在下电的情况下，器件的上表面壳温 T_C ，下表面焊盘处壳温 T_{Bottom} 均可以通过热电偶（Thermocouple）直接测量。

依照上述加热平台的物理模型，陶瓷加热片产生的热量，依次流经导热硅胶垫片，待测器件和 PCB 后，最终耗散到环境中。由于多组双脉冲的测试方法有效抑制了器件由于自发热导致的结温上升，整个系统处于热平衡的状态，因此暂时忽略了系统中的热容。因此，可以得到加热平台热量传递的热阻模型，如图 2-15 所示。在此热阻模型中，加热片产生的热量依次流经：硅胶垫的热阻（ R_{Pad} ）、待测器件的沟道到器件上表面的热阻（ R_{J-Top} ）、待测器件的沟道到器件底面的热阻（ $R_{J-Bottom}$ ）以及 PCB 的热阻（ R_{PCB} ）。最终，热量通过 PCB 与环境之间较大的热阻（ $R_{PCB-AMB}$ ）后，耗散到环境中，恢复到环境温度（Ambient Temperature, T_A ）。热阻模型当中，待测器件上表面壳温为 T_C ，器件沟道结温为 T_J ，器件下表面散热焊盘温度为 T_{Bottom} 。

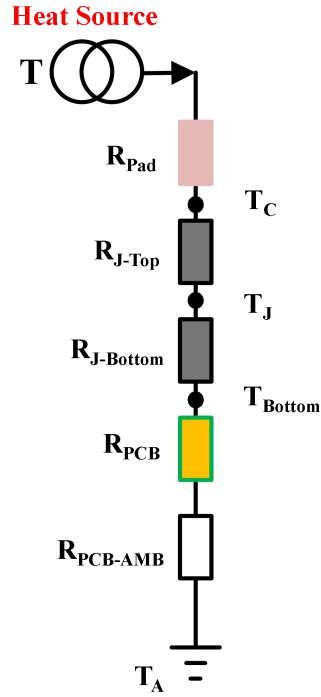


图 2-15 加热平台热阻模型

依照热阻模型，器件结温 T_J ，上表面壳温之间 T_C 与环境温度 T_A 之间的数量关系如公式 2.2 所示：

$$\frac{T_C - T_A}{T_J - T_A} = \frac{R_{PCB} + R_{PCB-AMB} + R_{J-Top} + R_{J-Bottom}}{R_{PCB} + R_{PCB-AMB} + R_{J-Bottom}} \quad (2.2)$$

对上述公式进行处理，可以获得 T_J 和 T_C 之间的关系式：

$$T_J = \frac{R_{PCB} + R_{PCB-AMB} + R_{J-Bottom}}{R_{PCB} + R_{PCB-AMB} + R_{J-Top} + R_{J-Bottom}} T_C + \left(1 - \frac{R_{PCB} + R_{PCB-AMB} + R_{J-Bottom}}{R_{PCB} + R_{PCB-AMB} + R_{J-Top} + R_{J-Bottom}} \right) T_A \quad (2.3)$$

在加热平台达到热稳定状态时，加热平台中的各部分热阻保持恒定，公式中的参数在热阻不变的情况下也不会发生改变。将公式 2.3 中的不变参数替换为系数 α 和 β ，从而得到待测器件结温 (T_J) 对其上表面外壳温度 (T_C) 的线性关系：

$$T_J = \alpha T_C + \beta \quad (2.4)$$

针对公式中的待定系数 α 和 β ，可以采用实测拟合的方法来确定。但是，器件的结温难以直接测量，若破坏器件封装来直接测量器件的结温，则可能影响器件的沟道到器件上表面的热阻 R_{J-Top} ，从而影响到系数 α 和 β 的准确性。

为解决上述问题，考虑用间接的方法来确定公式中的待定系数 α 和 β ，从示意图中不难看出，待测器件的上表面壳温 T_C 和器件下表面散热焊盘处温度 T_{Bottom} 在测试系统下电的情况下是可以直接测量好的。针对测试平台和热阻模型进一步分析，器件结温

T_J , 器件下表面散热焊盘处温度 T_{Bottom} 与环境温度 T_A 的温度差之间存在正比例数量关系:

$$\frac{T_{Bottom} - T_A}{T_J - T_A} = \frac{R_{PCB} + R_{PCB-AMB}}{R_{PCB} + R_{PCB-AMB} + R_{J-Bottom}} \quad (2.5)$$

另外, 由于待测器件的加热平台当中, PCB 的热阻 R_{PCB} , PCB 与环境温度之间的热阻 $R_{PCB-AMB}$ 均远大于器件沟道至器件下表面散热焊盘的热阻 $R_{J-Bottom}$, 因此对比公式 2.5 可以近似看作:

$$\frac{T_{Bottom} - T_A}{T_J - T_A} \approx \frac{R_{PCB} + R_{PCB-AMB}}{R_{PCB} + R_{PCB-AMB}} = 1 \quad (2.6)$$

在 PCB 的热阻 R_{PCB} , PCB 与环境温度之间的热阻 $R_{PCB-AMB}$ 均远大于器件沟道至器件下表面散热焊盘的热阻 $R_{J-Bottom}$ 的条件下, 器件下表面散热焊盘温度 T_{Bottom} 与器件结温 T_J 近似相等^[33], 即:

$$T_{Bottom} \approx T_J \quad (2.7)$$

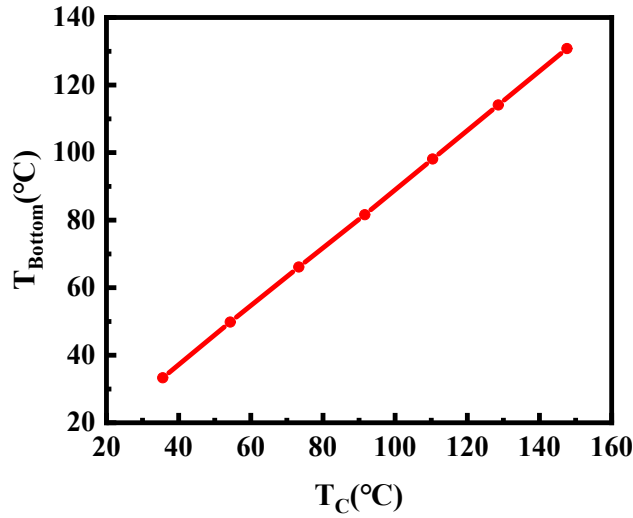
因此, 公式 2.4 同样适用于表达器件上表面外壳壳温 T_C 与器件下方散热焊盘的温

度 T_{Bottom} 之间的关系:

$$T_{Bottom} = \alpha T_C + \beta \quad (2.8)$$

此时, 只需通过公式 2.8 来确定系数 α 和 β , 再将其带入到公式 2.4 当中, 即可确定待测器件上表面外壳温度 T_C 和器件结温 T_J 之间的数量关系, 后续只需要控制器件的壳温 T_C 稳定, 即可控制器件的结温 T_J 稳定。

针对公式 2.8 中的待测系数 α 和 β 采用实测拟合的方法进行确定, 如图 2-16 所示, 为下电情况下, 针对待测器件 IGLD60R070D1 (待测器件的选择会在章节 2.5.1 详细介绍) 的 T_C 和 T_{Bottom} 实测得到的数量关系, 二者呈现出良好的线性关系, 对其进行拟合, 可以确定系数 α 和 β 。

图 2-16 待测器件的 T_C 和 T_{Bottom} 线性关系

依照上述线性关系，借助计算机软件进行拟合，确定系数 α 和 β 后可以获得如下关系式：

$$T_{Bottom} = 0.86T_C + 2.39 \quad (2.9)$$

即：

$$T_J = 0.86T_C + 2.39 \quad (2.10)$$

需要说明的是，器件封装热阻的个体差异及导热垫片的接触热阻波动会直接影响结温推算的精度。为消除此类系统误差，本文在实验中采取了以下两项措施：一是严格规范硬件装配流程，在更换器件时保持导热硅胶垫片的尺寸、位置及压紧程度高度一致，以最大限度抑制接触界面的随机热阻波动；二是实施“逐件重新标定”策略。考虑到每次装配后的等效热阻无法绝对一致，本文在每次更换待测器件后，均在下电状态下重新实测当前器件的 T_C 与 T_{Bottom} ，独立更新公式 2.10 中的拟合系数（ α 和 β ）。该标定策略有效消除了热阻参数不准引入的偏差，切实保障了结温开环控制的准确性。

综上所述，利用加热平台的热阻模型，可以精确推导并确定待测器件上表面壳温 T_C 和器件结温 T_J 的线性数量关系。进一步地，结合本文 2.2.2 节所引入的多组双脉冲测试方法——该方法有效抑制了大电流持续脉冲下器件自发热引起的结温上升，确保了系统在长时测试期间保持稳定的热平衡。上述物理模型与低发热测试方法的协同，使本平台成功实现了对器件结温的开环控制。在后续实验中，仅需利用温度控制器稳定外部热源，通过监测待测器件的上表面壳温，即可精准设定并间接维持器件的实际结温。该加热方案有效规避了复杂且昂贵的瞬态温度闭环反馈系统，不仅操作简便、

硬件成本低廉，更为全面评估 GaN 器件在不同结温下的动态电阻提供了兼具高可靠性与高经济性的实验基础。

2.5 测试电路设计

2.5.1 待测器件选型

当前商用 GaN 功率器件可大致归为三种类型：一是以英诺赛科、EPC 等为代表的肖特基栅增强型（Schottky p-GaN Gate E-mode）器件（E-mode p-GaN 型器件）；二是英飞凌为代表的混合漏极嵌入式栅极注入晶体管（HD-GIT 型器件）；三是 Transphorm 公司主导的共源共栅型（Cascode）结构器件。

目前 GaN 平面器件市场主要增强型 GaN 器件为主，因此，本文并未对 Cascode 器件展开深入的剖析。

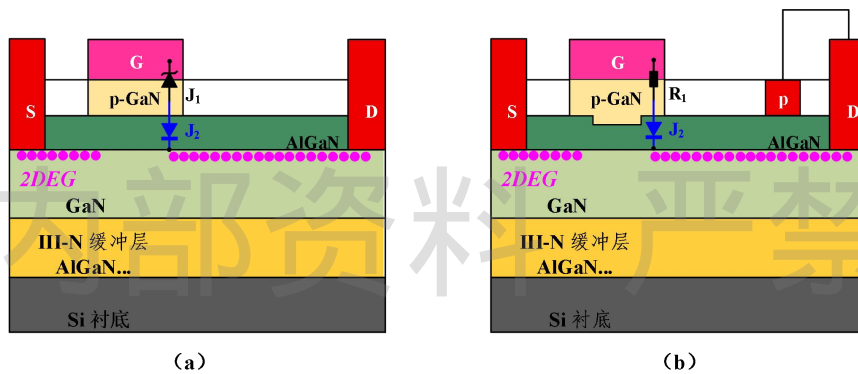


图 2-17 增强型 GaN 器件结构示意图：(a) Schottky p-GaN Gate E-mode 器件；(b) HD-GIT 型器件

增强型 GaN 器件的结构主要分为两类，其未考虑场板结构的简化示意图如图 2-17 所示，分别是 E-mode p-GaN 型器件和 HD-GIT 型器件。为实现器件常关，二者均是在栅极下方引入一块 P 型掺杂的氮化镓半导体，通过其耗散掉栅极下方的二维电子气，使栅极下方出现中断区，进而实现器件的常关。除此之外，两种不同结构的器件在设计上同样存在一定的差异。

首先，二者的栅极特性并不相同。其中，如图 2-17 (a) 所示，在 E-mode p-GaN 型器件中，其栅极结构可以等效成肖特基结 J_1 与下方的 PN 结 J_2 共阳极串联，决定了 E-mode p-GaN 型器件的电压驱动特性。然而，如图 2-17 (b) 所示，HD-GIT 型器件的栅极则等效为电阻 R_1 和 PN 结 J_2 串联，为电流驱动型器件。因此，本文在章节 2.5.2 针对 HD-GIT 型器件的驱动电路进行了特殊设计。此外，HD-GIT 型器件特殊的漏极设

计也会在第 4 章进行介绍。

GaN 器件的结构不同会导致其动态电阻出现差别，为此，本文在后续章节中针对不同结构 GaN 器件的动态电阻进行了评估与分析。综合考虑器件的性能，技术路线的不同以及器件来源等诸多因素，最终选择了两款比较具有代表性的不同结构的增强型 GaN 器件作为本文的待测器件，其关键参数见表 2-3。

表 2-3 两款待测器件关键参数

	器件 A	器件 B
电压等级	600V	650V
技术	E-mode (HD-GIT)	E-mode (Schottky p-GaN Gate)
导通电阻 ¹	55mΩ	53mΩ
封装	DFN 8×8	DFN 8×8
厂商	Infineon	Innoscience
型号	IGLD60R070D1	INN650D070AH
T_J & T_C 线性关系	$T_J = 0.86T_C + 2.39$	$T_J = 0.76T_C + 3.37$

¹. 导通电阻为器件数据手册中器件室温下的电阻典型值。

虽然本文仅测试了两款商用 GaN 器件，但器件 A (HD-GIT 型) 和器件 B (E-Mode p-GaN 型) 代表了当前平面型商用 GaN 器件截然不同的两条主流抑制动态电阻退化的技术路线。因此，选取这两款器件进行对比，能够在有限的测试样本下，最大程度地反映不同结构器件在复杂热-电应力下的动态电阻行为差异，具有高度的代表性和工程参考价值。

2.5.2 GaN 器件驱动电路设计

相比于传统的 Si 器件，GaN 器件的阈值电压一般仅有 1.2V-1.8V，栅极电压的承受范围也更低，仅有 ±7V，而且 GaN 器件对于栅极的电压振荡更加敏感，这便要求额外注意 GaN 器件驱动芯片的选择与驱动电路的设计。

驱动芯片方面，本文选用了一款传播延迟低于 50 ns、高频驱动可达 2 MHz 以上且自带电气隔离功能的芯片，以满足高频、高速驱动需求。在供电设计上，为赋予半桥电路高低压两侧独立的电压调节能力，本文并未采用常规的自举驱动，转而以两路隔离电源分别为上、下管驱动回路供电。

对于驱动电路的设计，考虑到两款待测器件的栅极结构不同，因此需要分开设计两款器件的驱动电路。对于英诺赛科的 Schottky p-GaN Gate E-mode 器件，在充分保护栅极的情况下，可以采用与传统 Si 器件相同的驱动电路，并不需要额外的设计。然而

对于英飞凌的 GIT 型器件，需要采用电流型驱动，而且器件的栅极结构并没有与沟道隔离，器件的 G 和 S 之间形成了为 3-4V 的 PN 结，如图 2-18 所示。因此，在主功率测试回路保持一致的前提下，为两款器件选用了相同型号的驱动芯片，但针对 GIT 型器件特有的电流驱动属性，对其外围驱动回路进行了特殊设计。

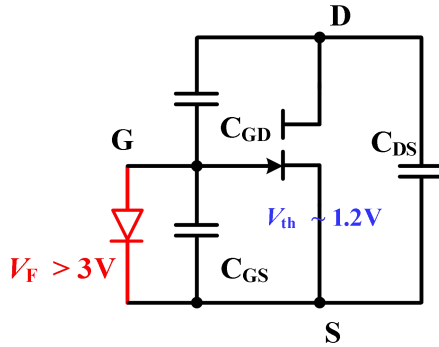


图 2-18 GIT 型器件等效电路

GIT 型器件作为电流型器件，需要对其驱动电路进行额外的设计，如图 2-19 所示。接下来对驱动电路原理进行分析：

器件开通阶段，驱动回路的电流经过 R_{on} ， C_s 后为 C_{GS} 充电。 C_{GS} 电压达到阈值电压 V_{TH} 后，器件导通，后续器件的栅极电压 V_{GS} 继续上升并箝位在 V_F 。后续，充电电流对 C_s 进行充电，最终 C_s 电压稳定在 $V_{CC}-V_F$ 。最终，驱动芯片经过大阻值电阻 R_i 为器件提供驱动电流，维持器件导通。

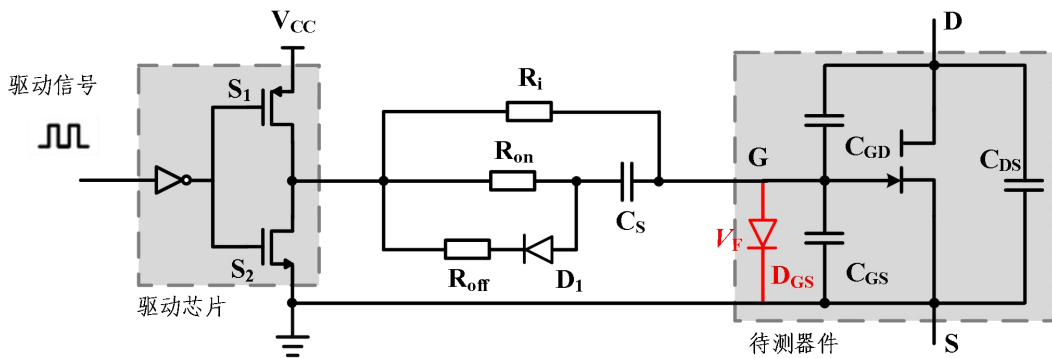


图 2-19 GIT 型器件驱动电路

器件关断时，驱动芯片产生关断信号后， C_s 两端电压继续维持 $V_{CC}-V_F$ ，为器件的关断提供负电压，抑制器件栅极电压尖峰，避免器件的误动作。

针对 RC 驱动电路进行分析，为了满足驱动信号的负压要求，针对 C_s 的容值选取应该满足下述公式：

$$C_s > \frac{Q_g}{V_{CC} - V_F} \quad (2.11)$$

依照器件数据手册，器件 Q_g 为 5.8nC ，若 $V_{CC}=5\text{V}$ ，则 C_s 要大于 3.9nF 。另外， C_s 会对于器件的驱动波形产生影响， C_s 越大，放电则会越慢，待测器件开通时的栅极电压也会越低，从而导致开关速度降低。

另外，针对器件的驱动电流，带入公式 2.12 进行计算，满足 $I_{GS} \leq 20\text{mA}$ 。为此，对于 R_i 的选取也不宜过小。

$$I_{GS} = \frac{V_{CC} - V_F}{R_i} \quad (2.12)$$

对于器件的开通速度，通常调整驱动回路中的 R_{on} 进行控制，通过调整 R_{on} 的大小，来获取合适的开通速度；此外，可以通过在 R_{on} 两端并联二极管和电阻 R_{off} 来获取 GaN 器件更快的关断速度。

参考上述条件，最终确定 GIT 型器件驱动回路中各元器件参数：

$$V_{DD} = 5\text{V}、R_{ss} = 300\Omega、R_{on} = R_{off} = 10\Omega、C_C = 5.6\text{nF}。$$

2.5.3 续流电感设计

GaN 器件动态电阻测试工作当中，为了尽可能模拟 GaN 器件实际运行的工况，电路中的峰值电流可能较高。为了避免电感出现饱和，本文选择绕制空心电感作为电路的续流电感。为规避匝间短路的风险，本文选用 30 AWG 规格的绝缘导线来绕制空心电感。

通过公式来近似计算空心电感的感值：

$$L = \frac{d^2 n^2}{l + 0.45d} \quad (2.13)$$

其中， l 代表线圈的长度 (m)， d 代表电感的直径 (m)， n 代表线圈的匝数。如图 2-20 所示。

通过阻抗分析仪 (LCR meter) 测量空心电感感值，并进行微调 (调整空心电感线圈的匝数)，最终确定空心电感的感值。考虑到 GaN 器件的不同测试工况，需要不同感值的空心电感。为此，调整空心电感的匝数，绕制了一批感值不同的空心电感，如图 2-21 所示。后续针对更多不同阻值的空心电感的需求，可以通过针对上述空心电感进行串联或者并联调整感值，满足不同的测试工况的需求。

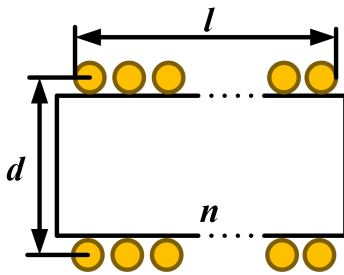


图 2-20 空心电感值计算

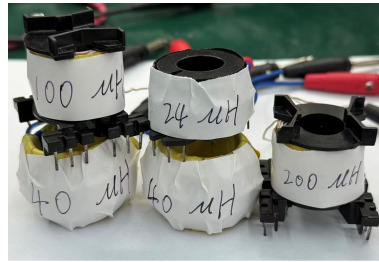
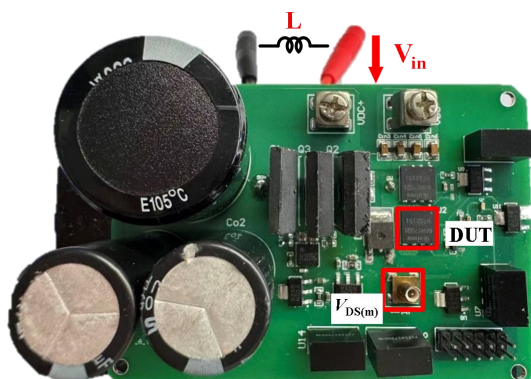


图 2-21 手工绕制的一组空心电感

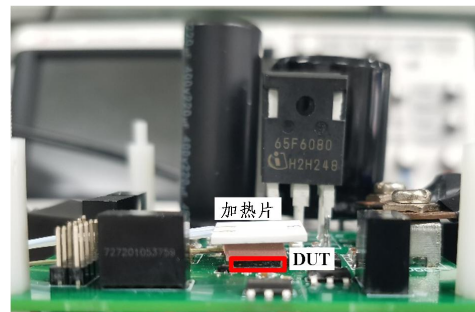
2.5.4 测试平台及元器件参数

参考上述针对 GaN 器件动态电阻的测试方法，本文在优化功率回路，最小化测试电路寄生参数后，设计得到了针对待测器件的 PCB 板。考虑到理想原理图拓扑与实际制版体系存在显著的物理阻抗差异，高频 GaN 器件极易受制版杂散电感的影响。因此，在 Layout 时进行了严格的寄生参数优化：主功率回路采用多层板大面积平行铺铜以抵消垂直磁通，驱动回路采用开尔文源极独立走线。通过最小化寄生参数，确保了实际物理体系能够高保真地还原原理图的工作状态。其中，针对不同结构的待测器件（器件 A 和器件 B），除了驱动回路略有差异外，电路中其余相关电器元件以及 PCB 板布局方式均保持一致。测试样机俯视图如图 2-22（a）所示。

针对以上测试样机，为待测器件添加加热装置，如图 2-22（b）所示。其中，针对 PCB 板中的待测器件进行局部加热，加热装置主要覆盖于待测器件表面，将加热装置对于电路中其它电气元件的热干扰降到最低。



(a)



(b)

图 2-22 测试样机：(a) 俯视图；(b) 添加加热装置后的侧视图。

针对测试电路中其它元器件的选型，综合考虑其实用性、可获取性、以及元器件技术迭代状态等诸多因素：首先，验证驱动芯片等元器件的电气性能，确保其满足测试的基本要求；其次，针对电路中其余元器件，为了确保研究的进度，本文优先选择

了来自主流供应商的，型号成熟且供货稳定的通用器件；最后，在可采用的器件的范围内，优先选择性能更优，技术更新的产品，以避免因为器件性能落后而对于测试产生影响。

依照以上器件选型的相关前提，综合整合实验室现有资源，充分利用实验室现有元器件，最终确定测试电路的相关元器件如表 2-4 所示。

表 2-4 测试电路关键元器件

器件	数值或型号
Si 开关管 Q_1, Q_2, Q_3	IPW65R080CFD
电解电容 (C_{IN1}, C_{IN2})	440 μ F
空心电感 L	20 μ H ~ 400 μ H
隔离辅助供电模块	IF0512XT
隔离栅极驱动器	2EDF7275K

2.6 本章小结

本章围绕 GaN 器件高温动态电阻的精准评估需求，构建了完整的测试理论体系与高精度的硬件测试平台，主要结论如下：

1) 阐明了多组双脉冲测试方法与高温测试平台架构方案。针对传统连续脉冲测试中器件自发热与内部陷阱效应耦合的局限，采用多组双脉冲测试方法的基础上，设计了兼容硬/软开关的高温动态电阻测试电路，从硬件和时序层面为剥离自发热干扰、模拟复杂工作模态提供了基础方法。

2) 确立了高精度的瞬态导通参数提取方案。对比分析了多种常规测量手段的局限性，选定高带宽电流探头与快速响应的箝位电路组合。该方案有效解决了跨量级电压信号测量失真问题，保证了器件纳秒级瞬态导通电压与电流的准确获取。

3) 构建了基于热阻模型的器件结温控制平台。通过分析加热平台的热量传递路径并建立热阻模型，推导并标定了器件外壳表面温度与实际结温的线性映射关系，实现了适用于多组双脉冲测试方法的 GaN 器件结温开环控制方案，为后续多维度热-电应力下的动态电阻评估提供了结温控制方法。

4) 确定了测试平台及其元器件的相关参数。基于上述测试方法和加热方案，完成了驱动回路的设计和元器件的选型。

3 不同结构 GaN 器件高温动态电阻评估

3.1 测试平台搭建及测试验证

3.1.1 测试平台搭建

基于论文第 2 章提出的 GaN 器件高温动态电阻测试电路、测试方法以及加热平台，本文搭建的 GaN 器件高温动态电阻测试平台如图 3-1 所示。

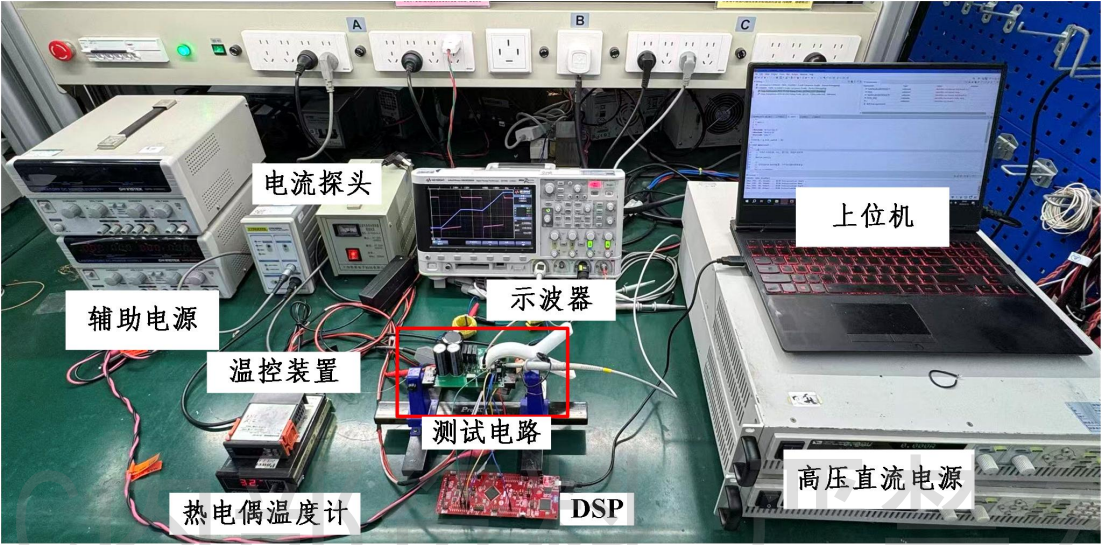


图 3-1 GaN 器件高温动态电阻测试平台

表 3-1 实验设备列表

设备名称	品牌-型号	精度	用途
低压辅助电源	Agilent E3631A	0.1 V	5V 辅助电源
高压直流电源	Chroma 62075	0.01 V	提供输入电压 V_{in}
数字信号处理器	TMS320 F280049C	/	提供脉冲信号
数字示波器	Keysight 2000X	200 MHz, 8 bit	提取电压、电流
温度指示控制器	Omega DP462	0.1 °C	测量待测器件温度
数字式温度控制器	ZY-9010G	±1 °C	控制加热片温度

表 3-1 汇总了本测试平台搭载的核心硬件设备。其中，高压直流电源直接输出母线电压，对应测试电路中的 V_{in} ；低压辅助电源则连接至电气隔离模块，负责维持器件驱动网络与箝位电路的正常运行供电；数字信号处理器（Digital Signal Processor, DSP）用于为电路中的器件提供相应的脉冲信号；数字示波器用于观察测试过程中的测试波形，收集并提取测试电路中电感电流 I_L 和箝位电路电压 V_{MN} ；温度指示控制器用于实时监测待测器件的壳温，以确保测试过程待测器件的结温稳定；数字式温度控制器用

于控制陶瓷加热片温度，为待测器件提供合适的结温。测试平台相关设备的连接方式如图 3-2 所示。

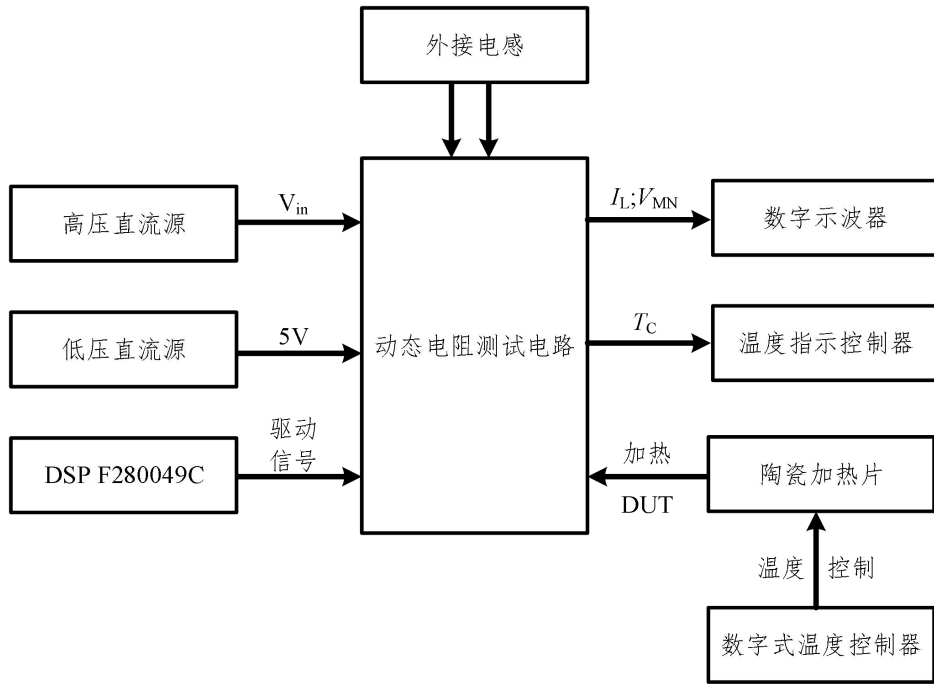


图 3-2 实验设备连接方式

实验设备连接完成后，进行 GaN 器件高温动态电阻评估实验，实验流程如下：（1）通过 Code Composer Studio（CCS）编写多组双脉冲程序，验证无误后，通过 DSP 为测试电路提供驱动信号；（2）连接实验设备，将测试电路的电感电流，箝位电路电压的输出端接入示波器，调整电流和电压的垂直分辨率，使其尽可能充满示波器屏幕；（3）示波器采集数据时，采用“单次触发”方式采集双脉冲测试数据；采集多组双脉冲测试数据时，将示波器触发方式设置为“依次按边沿触发”，或者利用上位机，直接控制示波器进行多次触发并记录相关数据；（4）进行实验时，辅助电源先供电，设置 1 s 左右时间让高压电源的电压从 0V 增加至所需电压值，之后利用 DSP 发出信号，利用示波器和上位机收集待测器件的导通电压和导通电流的相关数据；（5）一次测试结束后，先关闭高压电源，再关闭辅助电源；（6）采集并处理实验过程中的数据，完成实验。

需要额外注意的是：（1）必须采用最小回路法捕获 V_{GS} 信号，避免示波器的信号失真；（2）考虑到平面型 GaN HEMT 的动态情况下的电阻恢复到静态值需要一定的时间，相邻两次之间需要 5 分钟左右的时间间隔，确保相邻两次实验不会互相产生影响。

在多组双脉冲测试过程当中，测试的详细参数如表 3-2 所示，两款不同结构的 GaN 器件除了驱动电压和驱动电流的区别，其余测试条件均相同。

表 3-2 实验过程详细参数

参数	数值	参数	数值
预电压时间	5 s	峰值电流	20 A
占空比	50%	器件 A 驱动电流	5.6 mA
总测试时长	60 s	器件 B 驱动电压	6 V

3.1.2 Si 器件测试验证

为了验证测试平台测量的准确性，以及多组双脉冲测试的实验当中，器件的结温不会因为脉冲的热累积而出现上升，首先采用上述测试板，替换其中的 GaN 器件为同规格的 Si 器件进行测试验证。被测器件选用英飞凌公司生产的，封装为 PG-VSON-4 (8mm×8mm)，型号为 IPL60R065C7 的 600 V CoolMOS 器件，其封装尺寸与室温下的静态导通电阻（约 56 mΩ）均与本文所测的 GaN 器件相近。测试过程中， V_{in} 的取值为 400 V，电感峰值电流为 20 A，器件的栅极电压 V_{GS} 为 10 V。除栅极电压外，其他测试工况与 GaN 器件动态电阻测试过程中的工况保持一致。

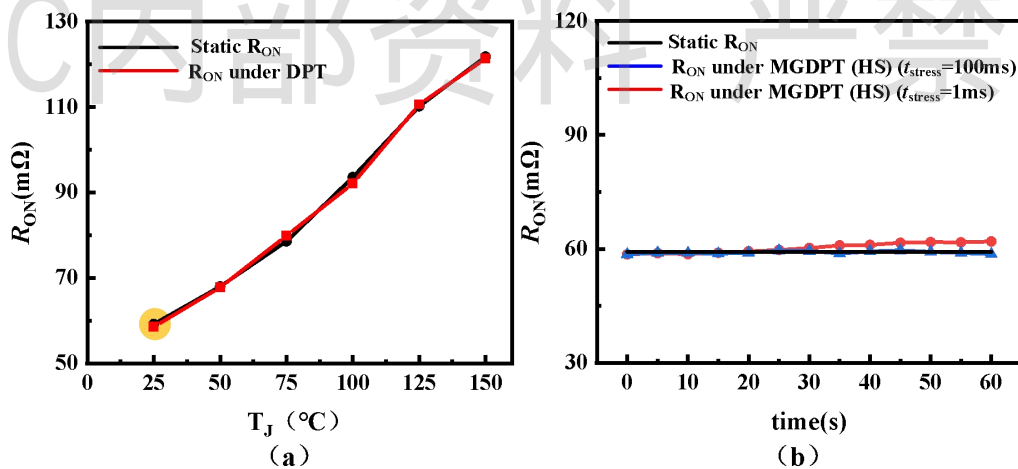


图 3-3 Si 器件测试平台验证结果：(a) Si 器件在不同结温下双脉冲测试电阻；(b) 硬开关下，Si 器件多组双脉冲测试电阻测试结果

首先，针对测试平台，为了验证其测试数据的准确性，依次在不同结温下，采用双脉冲的测试方法，测试了 Si 器件的电阻值，并与器件在不同结温下的静态电阻进行对比，结果如图 3-3 (a) 所示。由于 Si 器件不存在动态电阻的现象，因此，对比在不同结温下 Si 器件的静态电阻值与测试平台在双脉冲条件下测试得到的电阻值，二者数值十分接近，误差不超过 2 mΩ。由上述数据，验证了测试平台测试数据的准确性。

其次，为了验证在多组双脉冲测试的实验当中，器件的结温不会因为脉冲的热累

积而出现上升，本文中测试了硬开关情况下，多组双脉冲中，Si 器件的电阻随着时间的变化情况，散热时间（电压应力时间）分别取了 $t_{\text{stress}}=100\text{ ms}$ 和 $t_{\text{stress}}=1\text{ ms}$ 。测试结果和 Si 器件静态电阻的对比如图 3-3 (b) 所示，在 $t_{\text{stress}}=100\text{ ms}$ 的情况下，Si 器件在多组双脉冲情况下测试得到的电阻值，随着时间的增加，围绕着器件的静态电阻上下波动，误差范围在 $2\text{ m}\Omega$ 以内，此时，并不会出现热累积导致器件的结温上升，类比至 GaN 器件，器件的结温在 $t_{\text{stress}}=100\text{ ms}$ 的多组双脉冲测试过程中，器件结温不会有明显上升；在 $t_{\text{stress}}=1\text{ ms}$ 的情况下，Si 器件在多组双脉冲测试过程中，器件的电阻值随着时间出现了略微上升，数值小于 $5\text{ m}\Omega$ ，反映到器件结温来看，器件结温上升较少。另外，考虑到硬开关情况下，GaN 器件的单次开关损耗能量 ($\sim 70\text{ }\mu\text{J}$) 要明显低于 Si 器件 ($\sim 155\text{ }\mu\text{J}$)，此时结温的上升更加不明显。因此，在多组双脉冲的测试过程中，GaN 器件的结温上升对于其动态电阻的影响可以近似忽略。

通过以上针对 Si 器件电阻的测试验证，本文所搭建的测试平台可以准确表征 GaN 器件在不同结温和不同开关过程下的动态电阻；而且，多组双脉冲测试过程中，有效规避了器件自发热对于测试结果的干扰，验证了多组双脉冲测试方法作为传统持续脉冲测试方法的补充的可行性。

3.2 双脉冲测试及多组双脉冲测试结果

3.2.1 双脉冲测试结果

根据本文 2.2 章节中所描述的测试方法，多组双脉冲测试当中，第一组双脉冲测试即为传统的双脉冲测试，如图 3-4 所示。

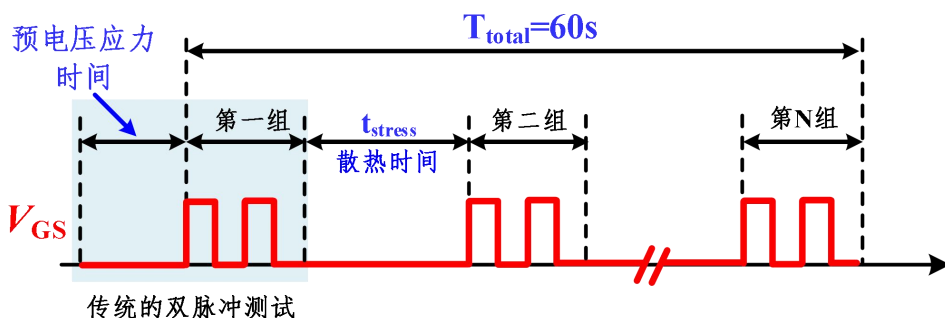


图 3-4 多组双脉冲测试中，第一组即为传统双脉冲测试

为了提取得到器件在双脉冲测试中的动态电阻，本文直接对硬件平台上捕获的真实物理数据进行了分析。由于测试过程中，器件在不同工况下的时域波形高度相似，因此，本文仅选取器件 A 在硬/软开关下的测试波形。如图 3-5 所示，(a) 和 (b) 是

器件 A 在 $T_J=25\text{ }^{\circ}\text{C}$ 条件下, 硬开关和软开关的情况下, 多组双脉冲当中一组双脉冲的时域波形以及计算得到的动态电阻值。针对测试数据的分析, 首先采集栅极信号 V_{GS} 、电感电流 I_L 、箝位电路测得的导通电压 V_{MN} 数据, 参照公式 3.1 得到待测器件动态电阻 R_{ON} 的时域波形, 提取电流峰值附近 300 ns 的电阻数据的平均值作为待测器件该组双脉冲下的导通电阻。

$$R_{ON} = \frac{V_{MN} - V_{DI}}{I_L} \quad (3.1)$$

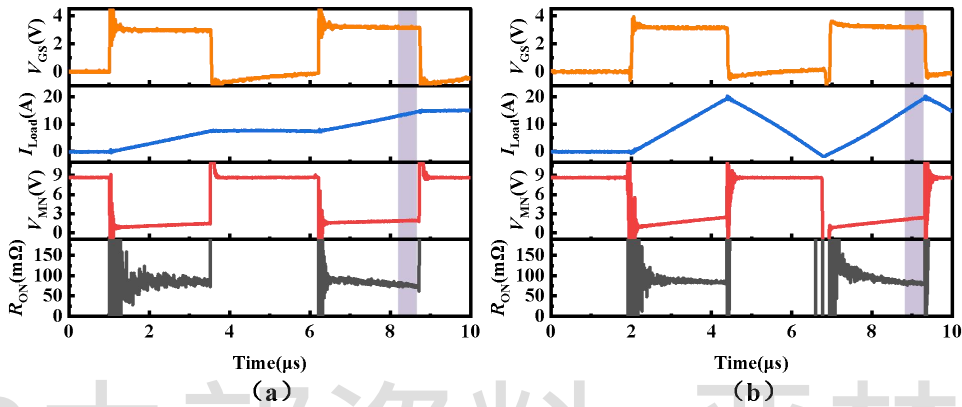


图 3-5 器件 A 在 $T_J=25\text{ }^{\circ}\text{C}$ 情况下, 一组双脉冲实测时域重绘波形及其动态电阻计算值: (a) 硬开关; (b) 软开关。

考虑到 GaN 器件在较大电流的情况下, 可能出现电流饱和的现象, 本文中的测试工作, 针对两款室温下静态电阻标称值为 $50\text{ m}\Omega$ 左右的 GaN 器件, 测试的峰值电流为 20 A , 此时, 器件即使工作在 $T_J=150\text{ }^{\circ}\text{C}$ 的情况下, 仍能确保器件处于线性区而未发生电流饱和, 避免了电流饱和对器件的动态电阻产生影响。

3.2.2 多组双脉冲测试结果

基于持续的多组双脉冲测试, 将逐次提取的双脉冲动态电阻值沿时间轴展开, 便得到了图 3-6 所示的 GaN 器件的动态电阻变化曲线。考虑到在多组双脉冲测试的进程中, GaN 器件动态电阻的变化主要集中在测试开始后的 1 s 内, 为此, 测试结果示意图中的横坐标采用了对数坐标的形式, 便于展示 GaN 器件在测试开始后的 1 s 内的动态电阻变化情况。其中, 第一组双脉冲的动态电阻测试结果位于时间轴的始端, 多组双脉冲的总测试时长为 60 s 。在本文中, 考虑到相邻两组双脉冲之间的电压应力时间对于 GaN 器件的动态电阻的影响, 因此, 在不同 t_{stress} 的情况下, 多组双脉冲测试当中, 双脉冲组数是不相同的, 维持测试的总时长 60 s 不变。

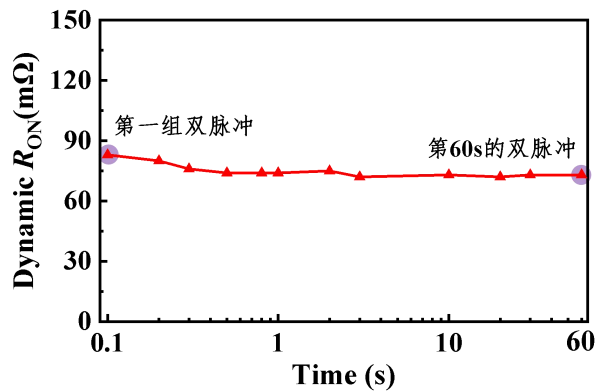


图 3-6 GaN 器件多组双脉冲测试结果示意图

多组双脉冲测试当中，脉冲组数与 t_{stress} 的关系如表 3-3 所示：

表 3-3 多组双脉冲测试中，双脉冲组数与电压应力时间 t_{stress} 的关系

t_{stress}	1ms	5ms	10ms	20ms	50ms	100ms	200ms
双脉冲组数	60000	12000	6000	3000	1200	600	300

考虑到 GaN 器件的静态电阻（Static R_{ON} ）固有的温度依赖性，将 GaN 器件不同结温下的动态电阻根据对应结温下的静态电阻进行归一化处理^[30]，即公式 3.2，获取得到该温度器件的归一化动态电阻，以揭示 GaN 器件中陷阱俘获所引起的动态电阻退化现象。

$$\text{Normalized } R_{\text{ON}}(T_j) = \frac{\text{Dynamic } R_{\text{ON}}(T_j)}{\text{Static } R_{\text{ON}}(T_j)} \quad (3.2)$$

依照上述数据处理方法，对于器件 A 和器件 B 不同结温下多组双脉冲测试结果进行数据处理，以对数显示的时间作为横坐标，器件归一化电阻为纵坐标，即可得到器件不同结温下的动态电阻。

首先，针对 GaN 器件在极限耐压 60%左右的情况下的动态电阻进行分析，即 $V_{\text{in}}=400\text{V}$ ，以获取器件大多数工作场景下的动态电阻。在章节 3.2.2 中，为了对比器件的动态电阻随着多组双脉冲时间的变化情况，相邻两组双脉冲之间的时间间隔 $t_{\text{stress}}=100\text{ms}$ 。

如图 3-7 所示，为器件 A 在 $V_{\text{in}}=400\text{V}$ ， $I_{\text{load}}=20\text{A}$ 的情况下，器件的动态电阻在不同结温的情况下，随着多组双脉冲时间变化的情况。器件 A 的动态电阻在不同结温下均受到预电压应力（见图 2-6）的影响，而且，随着结温的升高，这种影响越来越显著。在硬开关的情况下，当器件结温较低（ $T_j=25-75\text{ }^\circ\text{C}$ ）时，多组双脉冲中，第一组双脉冲测试的归一化动态电阻相比于 1s 后的归一化动态电阻高出 0.5，当结温达到

100℃以上时, 1s 后器件的归一化动态电阻的回落幅度超过静态电阻的 100%。在软开关的情况下, 器件 A 动态电阻随着时间的恢复幅度更小, 1s 后的动态电阻恢复不超过静态电阻的 30%。综合来看, 无论硬开关或者软开关的情况下, 器件 A 的动态电阻在 1s 后的动态电阻均趋于平稳, 并无显著变化, 直至 60s 测试结束。

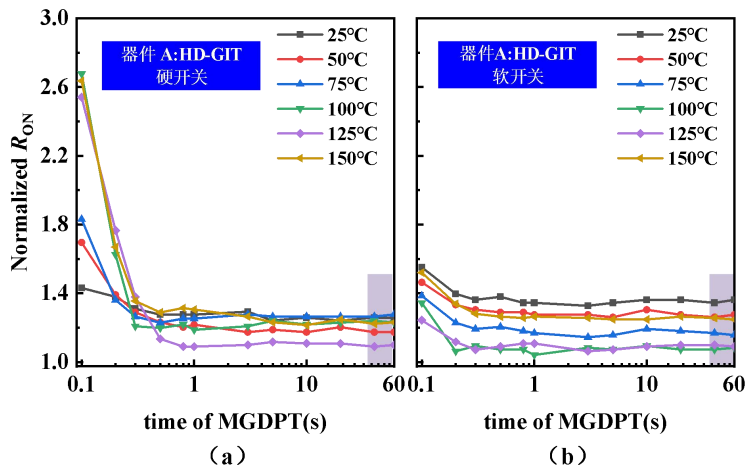


图 3-7 不同结温下器件 A 多组双脉冲测试结果 ($V_{in}=400V$; $I_{load}=20A$; $t_{stress}=100ms$): (a) 硬开关; (b) 软开关

如图 3-8 所示, 为器件 B 在不同结温的情况下, 器件的动态电阻随着多组双脉冲的时间变化的曲线, 测试条件同样为 $V_{in}=400V$, $I_{load}=20A$ 。从图中可以看出, 器件 B 的动态电阻同样会受到预电压应力的影响。硬开关测试时, 在较低结温 ($T_J=25-50^\circ C$) 的情况下, 器件 B 在 1s 后的动态电阻对比第一组双脉冲的动态电阻并未发现明显下降; 然而, 当 $T_J=75^\circ C$ 时, 器件 1s 时的动态电阻, 相比于第一组双脉冲下降了静态电阻的 15% 左右; 当器件结温超过 $100^\circ C$ 时, 器件 1s 以后的动态电阻下降幅度超过了 0.3。在软开关测试时, 器件 B 的动态电阻随着时间的下降幅度对比硬开关的情况显著降低, 下降幅度最大不超过静态电阻的 20%。器件 B 的动态电阻在测试时长超过 1s 后趋于稳定, 并不会再随着多组双脉冲测试中脉冲数的增加而显著变化。

结合图 3-7 与图 3-8 可知, 两款器件的动态电阻在多组双脉冲激励约 1s 后均趋于动态平衡。值得注意的是, 图中首组脉冲数据 (即最恶劣的瞬态极值) 实质上等效于传统单次双脉冲的测试结果。由于单次双脉冲测试窗口极短, 器件内部陷阱态无法达到实际高频连续开关下的“俘获-释放”平衡, 脱离了器件真实的物理运行状态, 从而会严重高估稳态工况下的导通损耗。相比之下, 本文引入的多组双脉冲测试方法复现了该物理恢复过程, 其稳态动态电阻能更客观、准确地反映器件在实际变换器中的导

通特性，切实弥补了传统单次双脉冲的评估局限。

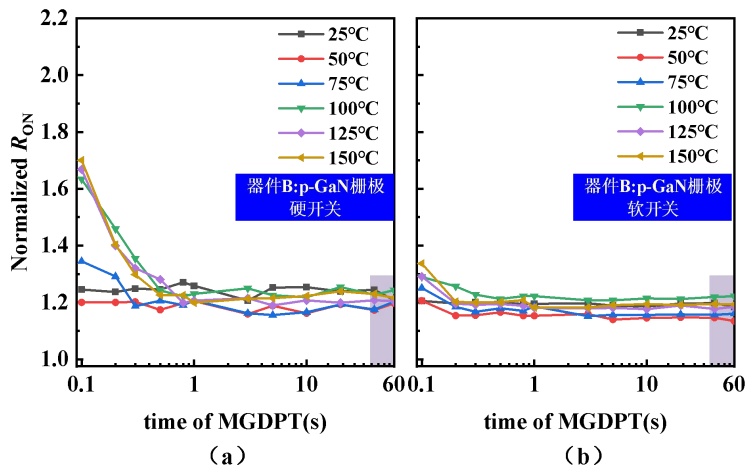


图 3-8 不同结温下器件 B 多组双脉冲测试结果 ($V_{in}=400V$; $I_{load}=20A$; $t_{stress}=100ms$): (a) 硬开关; (b) 软开关

3.3 漏源电压 (V_{DS}) 对动态电阻的综合影响

在实际的电力电子变换器中，GaN 器件所面临的工况要更加复杂。除了器件本身的损耗导致器件的结温上升以外，器件在关断状态下的漏源电压 (V_{DS}) 也不是恒定不变的。例如，由于输入母线电压的宽范围波动、不同拓扑结构的固有差异，器件往往需要承受不同等级的关断态电压应力。不同的 V_{DS} 会在器件的内部激发不同强度的电场，从而导致器件动态电阻衰退的程度不同。

为此，本文通过调整测试电路中 V_{in} 的大小，来调整 GaN 器件测试过程的 V_{DS} ，全面评估了 GaN 器件在不同电压下的高温动态电阻特性。

在连续的多组双脉冲测试过程中，器件内部的电荷俘获与释放过程会随时间推移逐渐趋于动态平衡，如章节 3.2.2 所示。为此，在处理不同电压下 GaN 器件的多组双脉冲测试结果时，为了准确获取 GaN 器件稳态情况下的动态电阻，本文采用稳态区间多点取平均的方法来提取有效数据。针对每一组特定电压和结温下的测试结果，截取了多组双脉冲测试的 40-60 s 的稳定区间，以 5 s 为时间间隔提取 5 个数据点（即 40 s、45 s、50 s、55 s 和 60 s 处的测量值），并求取其算术平均值。以该平均值作为特定结温与特定 V_{DS} 下 GaN 器件的动态电阻代表值，并以此绘制不同结温下 GaN 器件的动态电阻随电压 V_{DS} 变化的曲线。

如图 3-9 所示，为器件 A 在不同的漏源电压 V_{DS} 下其动态电阻随结温的变化曲线。

在硬开关的情况下, 当结温较低时 ($T_J < 75^\circ\text{C}$), 器件 A 的动态电阻在不同的 V_{DS} 情况下, 数值较为接近; 当结温 $T_J = 100^\circ\text{C}$ 的情况下, 器件 A 在 100V 下的动态电阻数值较大出现升高; 当器件结温继续升高 ($T_J \geq 125^\circ\text{C}$) 时, 器件 A 的动态电阻随着漏源电压 V_{DS} 的升高而逐渐下降。在软开关的情况下, 器件的结温 $T_J \leq 100^\circ\text{C}$ 时, 器件 A 的动态电阻随着电压的升高呈现出先上升后下降的趋势; 器件结温继续升高 ($T_J \geq 125^\circ\text{C}$), 器件 A 的动态电阻随着漏源电压 V_{DS} 的升高而逐渐下降。

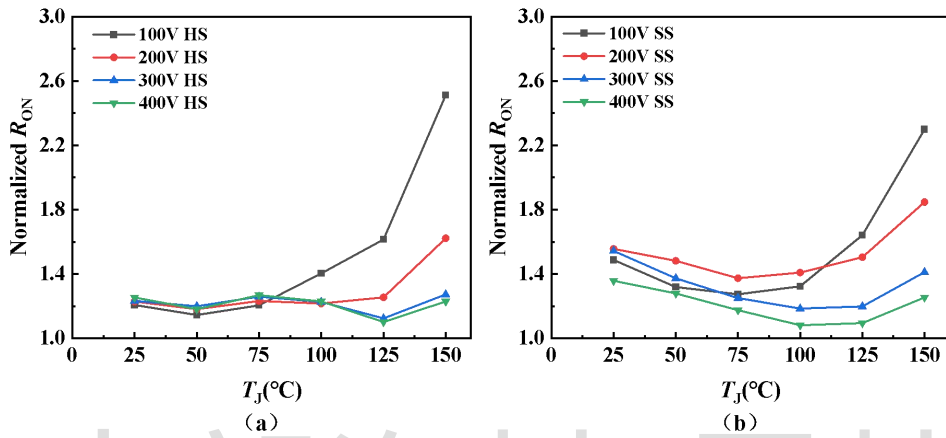


图 3-9 器件 A 在不同电压和不同结温下动态电阻 ($I_{\text{load}}=20\text{A}$; $t_{\text{stress}}=100\text{ms}$): (a) 硬开关; (b) 软开关

如图 3-10 所示, 为器件 B 在不同的漏源电压的情况下, 器件的动态电阻随结温变化的曲线。总体来看, 器件 B 的归一化动态电阻受到结温的影响相对较小。在硬开关的情况下, 相同结温时, 器件的动态电阻随着 V_{DS} 的增加而逐渐减小。同样地, 在软开关的情况下, 器件在相同的结温情况下, 其动态电阻随着 V_{DS} 的增大而逐渐减小。

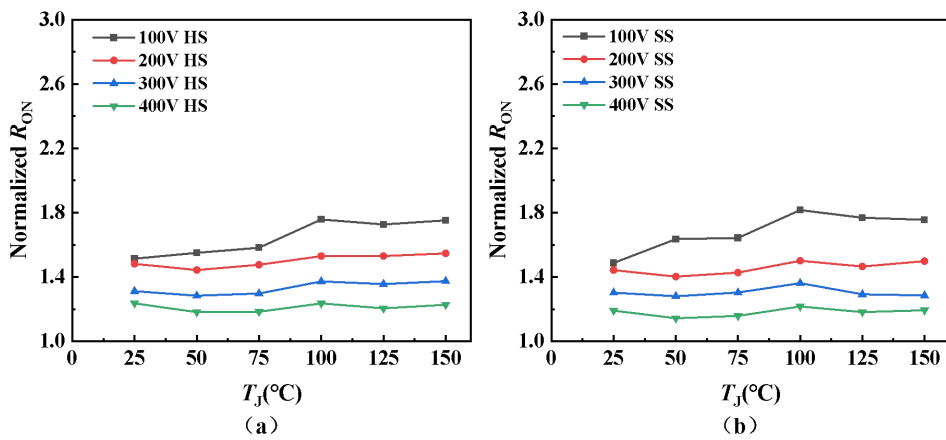


图 3-10 器件 B 在不同电压和不同结温下动态电阻 ($I_{\text{load}}=20\text{A}$; $t_{\text{stress}}=100\text{ms}$): (a) 硬开关; (b) 软开关

综上所述,对比器件 A 和器件 B 在 $t_{\text{stress}}=100\text{ ms}$ 的情况下,器件的动态电阻在不同的 V_{DS} 和结温下的变化情况:器件 A 的动态电阻不仅受到 V_{DS} 的影响,同样结温也对器件 A 的动态电阻有较大影响;器件 B 的动态电阻受到结温变化的影响较小,在较大程度上受到 V_{DS} 的影响。

3.4 电压应力时间 (t_{stress}) 对动态电阻的综合影响评估

在实际的电力电子变换器运行中, GaN 器件的开关模式并非一成不变,而是高度依赖于系统的负载状态与控制策略。具体而言,在中重载条件下,变换器通常工作于连续导通模式(如高频连续工况),此时器件的俘获与脱陷过程处于高频动态平衡;然而,为了优化系统在轻载或待机条件下的效率,现代变换器广泛采用跳周期(Pulse-skipping)或打嗝控制模式(Burst-mode),使得器件处于典型的间歇工作模式,如图 3-11 所示。在间歇期内,器件停止开关动作但长期承受高压关断偏置;当下一组开关信号到来时, GaN 器件的动态电阻可能会表现出不同的行为,器件动态电阻的变化则可能直接影响变换器轻载效率的评估准确性。

为了准确评估 GaN 器件在上述连续与间歇工况下的动态电阻行为,本章节基于多组双脉冲测试方法进行了拓展设计。实验通过精准调节多组双脉冲测试过程中相邻两组双脉冲序列之间的电压应力时间 t_{stress} ,模拟了实际的 GaN 基变换器不同的工作状态。较短的电压应力时间用于模拟连续稳态工况下的高频激励,而较长的电压应力则用于复现间歇工况下长期关断应力积累后器件瞬态连续导通的极端边界条件。通过提取不同间歇时间下多组双脉冲测试的动态电阻数据,旨在揭示间歇时间长度对 GaN 器件动态电阻的影响。

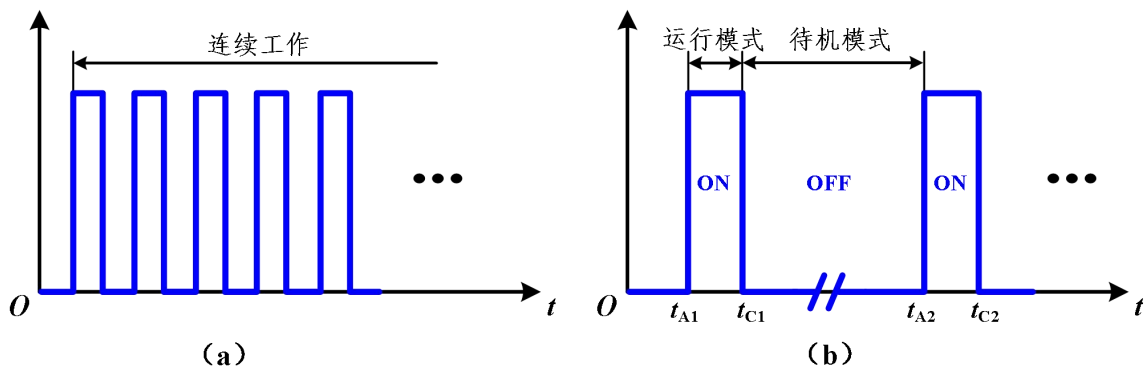


图 3-11 GaN 器件在不同工况下工作示意图:(a) 连续导通模式;(b) 间歇工作模式

因此,为了深入探究上述间歇工况对动态导通电阻的影响规律,本文综合考虑了

器件结温 T_J ，器件的漏源电压 V_{DS} 和多组双脉冲测试中相邻两组双脉冲之间电压应力时间 t_{stress} 三个关键变量对于器件动态电阻的影响，对上述两款不同结构的 GaN 器件展开了多维度测试和综合评估。

需要额外说明的是，多组双脉冲测试仍与实际高频连续工况在时间尺度上存在等效性差异。实际运行中器件通过自身损耗维持热平衡，没有间歇时间进行散热。本文引入 t_{stress} ，一方面是为了规避瞬态高频测试中器件自发热难以监测的难题，从而实现特定结温的精确开环控制；另一方面则是旨在实现热-电物理机制的有效剥离。为缩小与真实工况的热状态差异，本文辅以外置加热平台模拟了实际的高结温环境。考虑到长间歇增加了陷阱的响应时间，本节进一步通过宽范围调节 t_{stress} （1 ms-200 ms）探究动态电阻的边界演变规律，从而为评估器件在连续与间歇工况下的损耗差异提供客观参考。

3.4.1 器件 A 在不同 t_{stress} 下的测试结果

本小节针对器件 A 的动态电阻展开测试评估。为了全面反映其在不同的工况下的动态电阻情况，实验中设置了一系列电压应力时间 t_{stress} （1 ms-200 ms），并在多个结温和偏置电压的工况下对其动态电阻展开测试评估。

首先，针对器件 A，在 $V_{DS}=100$ V 的情况下，对其在不同 t_{stress} 下的动态电阻进行了测试评估，测试结果如图 3-12 所示。在器件硬开关和软开关的情况下，当器件结温较高时，器件的动态电阻均随着 t_{stress} 的缩短而降低；器件结温较低时，这种趋势随着结温的降低而减弱。

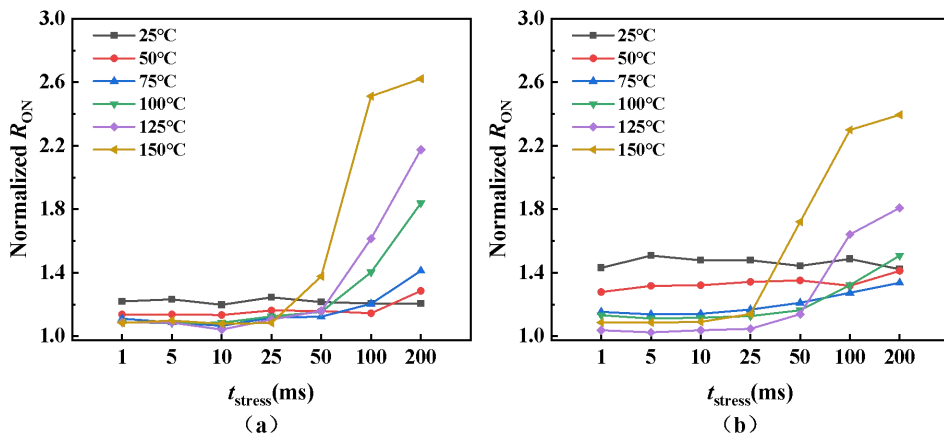


图 3-12 器件 A 在不同 t_{stress} 下的动态电阻 ($V_{DS}=100$ V; $I_{load}=20$ A): (a) 硬开关; (b) 软开关
在室温环境下，器件的动态电阻几乎不随 t_{stress} 变化；当器件结温达到 100 °C 时，

器件的动态电阻就已经随着 t_{stress} 的减小出现了较为明显的下降趋势，硬开关下下降幅度达到了静态电阻的 60%，软开关下同样也达到了 30%；在 $T_J=150\text{ }^{\circ}\text{C}$ 的高结温情况下，硬开关下器件的动态电阻下降幅度超过了静态电阻的 150%，软开关下器件的动态电阻下降幅度达到了静态电阻的 140%。

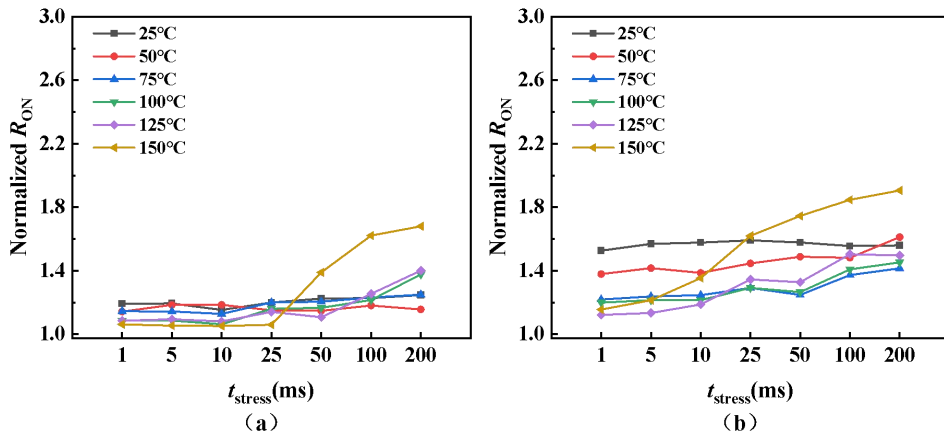


图 3-13 器件 A 在不同 t_{stress} 下的动态电阻 ($V_{\text{DS}}=200\text{ V}$; $I_{\text{load}}=20\text{ A}$): (a) 硬开关; (b) 软开关

如图 3-13 (a) 所示，在 $V_{\text{DS}}=200\text{ V}$ 的硬开关情况下，器件 A 的结温 $T_J=25\text{ }^{\circ}\text{C}$ 和 $50\text{ }^{\circ}\text{C}$ 时，器件的动态电阻几乎不随 t_{stress} 变化；当 $T_J=75\text{ }^{\circ}\text{C}$ 时，器件的动态电阻随着 t_{stress} 的减小，有约 5% 的降低；随着器件的结温上升到 $100\text{ }^{\circ}\text{C}$ 和 $125\text{ }^{\circ}\text{C}$ 时，器件的动态电阻随着 t_{stress} 下降了约静态电阻的 20%；当 $T_J=150\text{ }^{\circ}\text{C}$ 时，器件的动态电阻随着 t_{stress} 的下降而缓解的程度更加显著，达到了静态电阻的 50%。此外，如图 3-13 (b) 所示，在软开关情况下，器件 A 的动态电阻的变化趋势与硬开关下类似。随着器件结温的升高，器件的动态电阻随着 t_{stress} 减小而降低的趋势更加明显。在 $T_J=150\text{ }^{\circ}\text{C}$ 时， $t_{\text{stress}}=1\text{ ms}$ 下的器件动态电阻相比于 $t_{\text{stress}}=200\text{ ms}$ 下的动态电阻下降了静态电阻的 80% 左右。

继续提高测试过程中器件的漏源电压 V_{DS} ，如图 3-14 所示，在 $V_{\text{DS}}=300\text{ V}$ 的情况下，器件 A 的动态电阻在 $T_J=25\text{ }^{\circ}\text{C}$ 的情况下几乎不随 t_{stress} 变化；然而，随着器件 A 的结温升高，在 $50\text{ }^{\circ}\text{C}$ 至 $100\text{ }^{\circ}\text{C}$ 之间时，器件的动态电阻随着 t_{stress} 的减小而降低，下降幅度约为静态电阻的 10%；随着 T_J 的进一步升高，达到 $125\text{ }^{\circ}\text{C}$ 以上时， t_{stress} 的减小对于器件动态电阻衰退的缓解更加显著，动态电阻的下降幅度超过静态电阻的 15%。在软开关的情况下， $T_J=25\text{ }^{\circ}\text{C}$ 时， t_{stress} 的变化对于器件 A 的动态电阻没有显著的影响。当结温处于 $50\text{ }^{\circ}\text{C}$ 到 $125\text{ }^{\circ}\text{C}$ 之间时，随着 t_{stress} 的减小，器件的归一化动态电阻下降了 0.15 左右；在 $T_J=150\text{ }^{\circ}\text{C}$ 时， t_{stress} 的减小对于器件动态电阻衰退的缓解进一步增强，器件的

归一化动态电阻下降达到了 0.25。

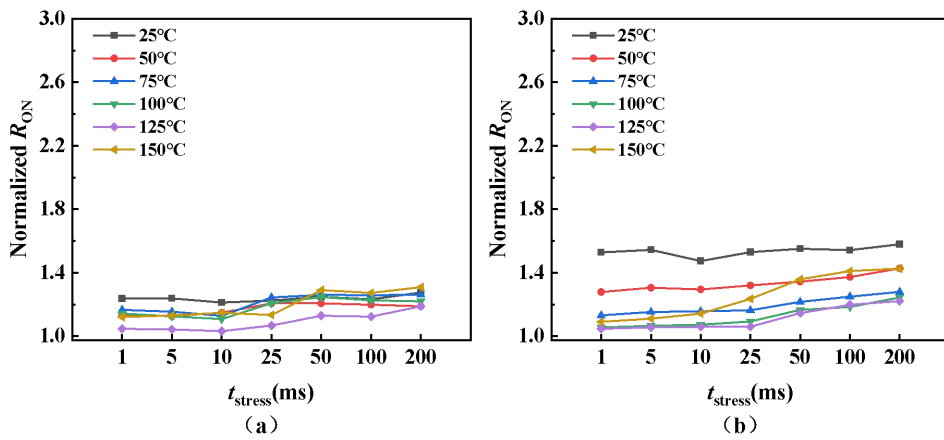


图 3-14 器件 A 在不同 t_{stress} 下的动态电阻 ($V_{\text{DS}}=300\text{ V}$; $I_{\text{load}}=20\text{ A}$): (a) 硬开关; (b) 软开关

此外,如图 3-15 所示,当测试条件为 $V_{\text{DS}}=400\text{ V}$ 时,无论是在硬开关还是软开关工况下,不同的电压应力时间 t_{stress} 对器件 A 的动态电阻均无显著影响,其动态电阻变化幅度始终保持在 5% 以内。

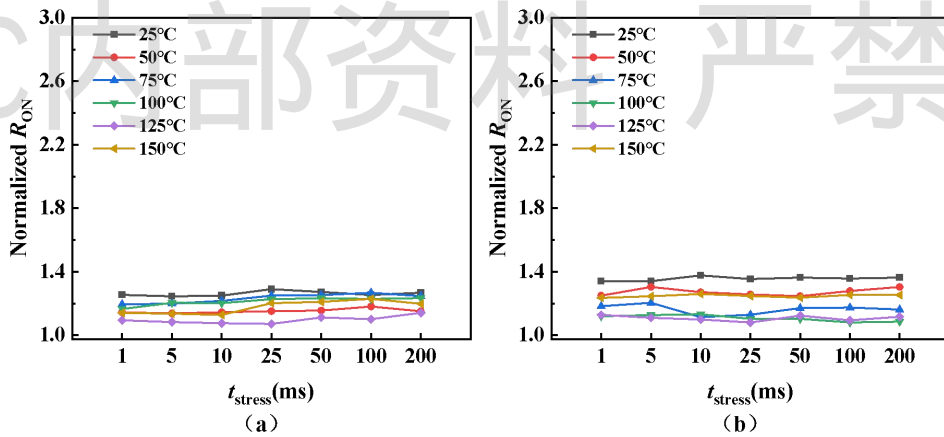


图 3-15 器件 A 在不同 t_{stress} 下的动态电阻 ($V_{\text{DS}}=400\text{ V}$; $I_{\text{load}}=20\text{ A}$): (a) 硬开关; (b) 软开关

综上所述,器件 A 的动态电阻特性对于器件的漏源电压 V_{DS} ,器件的结温 T_{J} ,电压应力时间 t_{stress} 均存在依赖关系。在测试过程中,随着电压应力时间 t_{stress} 的缩短,器件的动态电阻在较低电压应力 ($V_{\text{DS}}=100\text{ V}$) 的情况下,器件的动态电阻也同样降低;然而,随着 V_{DS} 的不断升高,器件的动态电阻对于 t_{stress} 的依赖性逐渐减弱,在 $V_{\text{DS}}=400\text{ V}$ 时几乎可以忽略不计。另外,由器件 A 的动态电阻测试结果可以看出,当较低的漏源电压,较高的结温以及较长的电压应力时间三个工况同时满足时,器件 A 的动态电阻存在较为明显的动态电阻衰退现象。

3.4.2 器件 B 在不同 t_{stress} 下的测试结果

为了进一步探究上述测试变量结温 T_j ，漏源电压 V_{DS} ，电压应力时间 t_{stress} 对于不同结构的 GaN 器件的动态电阻的影响，本节在与器件 A 完全相同的实验条件下，对于器件 B 的动态电阻进行了对比测试。

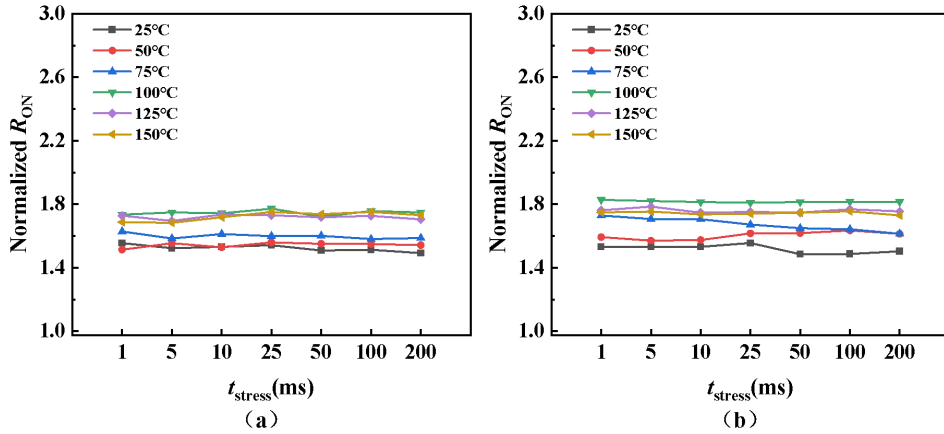


图 3-16 器件 B 在不同 t_{stress} 下的动态电阻 ($V_{\text{DS}}=100\text{V}$; $I_{\text{load}}=20\text{A}$): (a) 硬开关; (b) 软开关

图 3-16 展示了在 $V_{\text{DS}}=100\text{V}$ 的情况下，不同电压应力时间 t_{stress} 对于器件 B 的动态电阻影响情况。在无论硬开关或者软开关的情况下，器件的动态电阻在不同结温下均表现出对于电压应力时间 t_{stress} 的低敏感性，并未随着 t_{stress} 的变化而明显变化，器件 B 的动态电阻的变化幅度维持在 10% 以内。即使在较高结温的情况下，器件 B 的动态电阻也呈现出与器件 A 的动态电阻不同的行为，器件 B 的动态电阻受到 t_{stress} 的影响非常小。

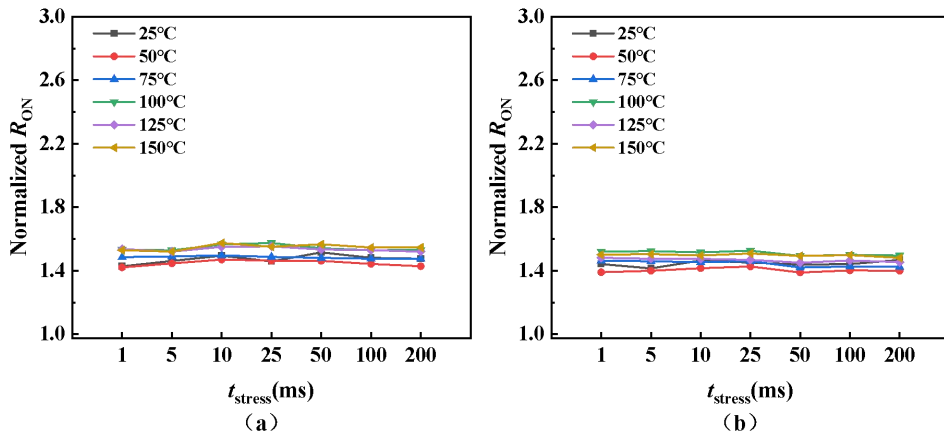


图 3-17 器件 B 在不同 t_{stress} 下的动态电阻 ($V_{\text{DS}}=200\text{V}$; $I_{\text{load}}=20\text{A}$): (a) 硬开关; (b) 软开关

提高器件 B 的漏源电压对其不同电压应力时间 t_{stress} 下的动态电阻进行测试评估。

如图 3-17 所示, 在 $V_{DS}=200\text{ V}$ 的情况下, 调整多组双脉冲测试过程中的电压应力时间 t_{stress} , 器件 B 的动态电阻仍然只在 10% 的范围内波动, t_{stress} 的长短并未对器件的动态电阻产生较大的影响。

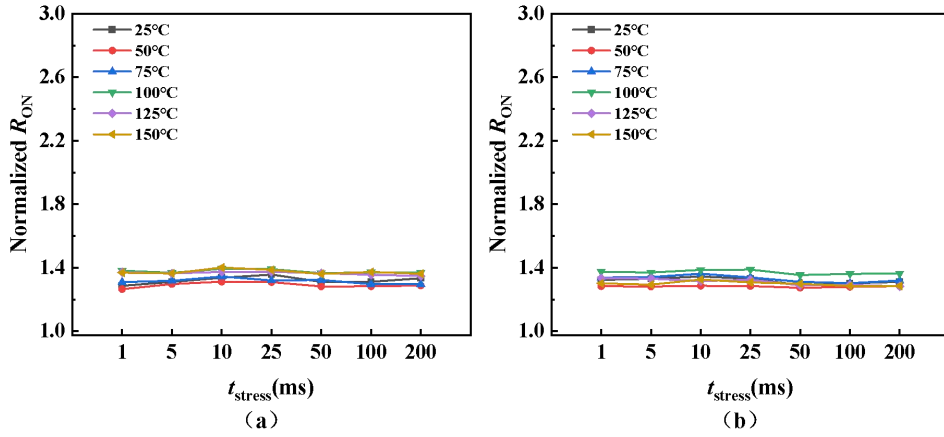


图 3-18 器件 B 在不同 t_{stress} 下的动态电阻 ($V_{DS}=300\text{ V}$; $I_{\text{load}}=20\text{ A}$): (a) 硬开关; (b) 软开关

同样地, 图 3-18 展示了在 $V_{DS}=300\text{ V}$ 的情况下, 器件 B 的动态电阻在不同结温, 不同开关模式下的动态电阻随着电压应力时间 t_{stress} 的变化情况: 器件 B 的动态电阻同样对 t_{stress} 表现出低敏感性, 其变化范围同样不超过 10%。

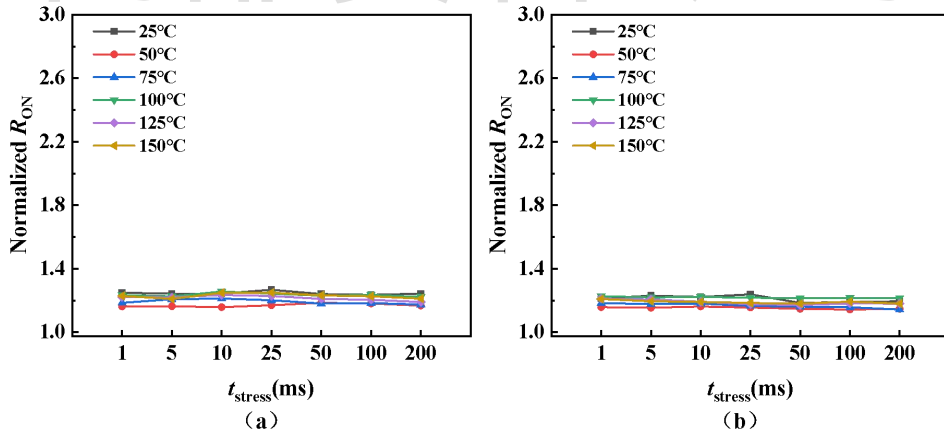


图 3-19 器件 B 在不同 t_{stress} 下的动态电阻 ($V_{DS}=400\text{ V}$; $I_{\text{load}}=20\text{ A}$): (a) 硬开关; (b) 软开关

进一步地, 在 $V_{DS}=400\text{ V}$ 的情况下, 本文对于不同电压应力时间对器件 B 的动态电阻的影响进行了评估, 相关结果如图 3-19 所示。测试结果表明, 在不同结温以及不同开关模式的情况下, 器件 B 的动态电阻同样不受 t_{stress} 的影响, 动态电阻随着 t_{stress} 的波动范围不超过 5%。

综上所述, 器件 B 在 $V_{DS}=100\text{ V}-400\text{ V}$ 的电压应力范围内, 其动态电阻均未表现

出对于电压应力时间 t_{stress} 的显著依赖。在硬开关和软开关的工况下, 器件 B 的动态电阻随 t_{stress} 的变化幅度均保持在 10% 以内, 与器件 A 的测试结果不同的是, 多组双脉冲测试过程中的电压应力时间 t_{stress} 未能对于器件 B 的动态电阻产生显著影响。

3.5 本章小结

本章依托所搭建的高温测试平台, 系统评估了两款不同结构 GaN 器件在多维热-电应力下的动态电阻变化规律, 主要结论如下:

1) 验证了多组双脉冲测试方法在热稳定性与精度上的可靠性。通过无动态电阻特性的 Si 器件对照实验, 验证了平台的测试误差控制在 $2 \text{ m}\Omega$ 以内, 并且在 $t_{\text{stress}}=1 \text{ ms}$, 硬开关的情况下, 随着多组双脉冲测试中脉冲数的增加, Si 器件电阻上升幅度小于 $5 \text{ m}\Omega$, 证明了该方法作为传统连续测试补充手段的有效性。

2) 揭示了不同漏源电压与结温下 GaN 器件动态电阻行为的变化规律。两款器件的动态电阻均随脉冲组数增加呈现恢复趋势; 对比两款器件在不同漏源电压 V_{DS} 下的测试结果, 器件 A 的动态电阻表现出随器件结温的非线性变化; 器件 B 的动态电阻则对器件结温不敏感。

3) 阐明了电压应力时间 t_{stress} 对于不同结构 GaN 器件动态电阻行为的影响。器件 A 的动态电阻在较低 V_{DS} 和较高结温 T_j 的情况下, 随着 t_{stress} 的减小而逐渐减小, 这种现象随着结温的降低或者 V_{DS} 的增大均会减弱; 器件 B 的动态电阻则对 t_{stress} 不敏感, 几乎不受 t_{stress} 的影响。

综上, 采用多组双脉冲的测试方法对于 GaN 器件的动态电阻进行评估时, 要根据器件工作的实际工况来确定漏源电压 V_{DS} 和电压应力时间 t_{stress} , 以确保对于得到对于 GaN 器件动态电阻的真实反映。

4 GaN 器件高温动态电阻行为的分析与解释

依托前文构建的 MGDPT 测试平台，第 3 章成功排除了器件的自发热干扰，精准捕获了两款不同结构 GaN 器件在复杂热-电应力下截然不同的动态电阻宏观表现，待测器件 A、B 在不同结温 T_J ，不同漏源电压 V_{DS} 以及不同的电压应力时间 t_{stress} 的测试条件下，动态电阻表现出了不同的行为：

对于 HD-GIT 型结构的器件 A， $V_{DS}=400\text{ V}$ 的情况下，其动态电阻在多组双脉冲测试过程中随着脉冲数的增加而逐渐恢复，而且温度越高，这种现象越明显；而且，器件 A 的动态电阻在不同 V_{DS} 的情况下，随着器件结温的上升呈现出非单调的变化趋势；除此之外，器件 A 的动态电阻同样受到电压应力时间 t_{stress} 的影响，在较低的 V_{DS} 和较高的结温 T_J 的情况下，器件 A 的动态电阻退化随着 t_{stress} 的减小而存在明显的缓解。

对于 E-Mode p-GaN 型结构的器件 B，其动态电阻在 $V_{DS}=400\text{ V}$ 的情况下，同样会随着多组双脉冲测试中脉冲数的增加而逐渐恢复；然而，器件 B 的动态电阻对于结温 T_J 以及电压应力时间 t_{stress} 等测试变量并不敏感，并不会随着 T_J 和 t_{stress} 的变化而存在明显的变化；器件 B 的动态电阻主要受到器件漏源电压 V_{DS} 的影响，而且， V_{DS} 越低，器件 B 的动态电阻衰退情况越恶劣。

为了解释为何在相同的精准测试应力下，两款器件会展现出这种显著的行为差异，本章将从半导体底层物理层面，深入剖析 GaN 器件内部的电荷俘获机制及结构特性对动态行为的影响。

4.1 GaN 器件动态电阻退化的物理机制

为了更进一步地分析不同的器件结构对于 GaN 器件动态电阻衰退行为的影响，本章节首先针对 GaN 器件动态电阻的成因展开详细的叙述。

对于传统的横向硅基氮化镓（GaN-on-Si）器件，动态电阻衰退（电流崩塌）主要源于器件的表面和缓冲层对于电荷的俘获作用，造成了电荷的积累^{[48][49]}。已有的众多研究表明，GaN 器件的动态电阻衰退作为器件的表面和缓冲层俘获作用的宏观表现，是多种机制共同作用的结果，下文将针对其展开详细论述：

1) 电介质/AlGaN 界面的热电子俘获效应^[50]：

对于平面型 GaN 器件，硬开关瞬态产生的高电场应力会使沟道电子剧烈加速，使其获得极高能量成为“热电子”。如图 4-1 所示，当热电子能量足够高时，便会从沟

道中溢出，被器件表面或者缓冲层内的陷阱所俘获。在栅极的漏极侧边缘以及漏极金属接触区域等区域存在较高的峰值电场，大量的热电子在此处被电场加速，其中部分热电子越过势垒进入器件表面或缓冲层中从而被陷阱俘获。

当 AlGaIn 界面俘获了大量热电子后，热电子集中区域会带上负电荷。这层负电荷会排斥下方的二维电子气，其效果等效于在器件栅极和漏极之间的器件接入区表面上，出现了类似于带负压的“栅极”，这种由陷阱俘获的电荷造成的第二个栅极被称作“虚栅”（Virtual Gate）^[51]。

虚栅的存在会耗尽其下方的二维电子气，导致器件接入区导通电阻升高，从而导致器件整体的导通电阻退化，最终造成器件导通特性恶化，危害系统转换效率。

同样地，器件缓冲层中电子的聚集同样会对二维电子气起到耗尽作用，引起 GaN 器件的动态电阻衰退。

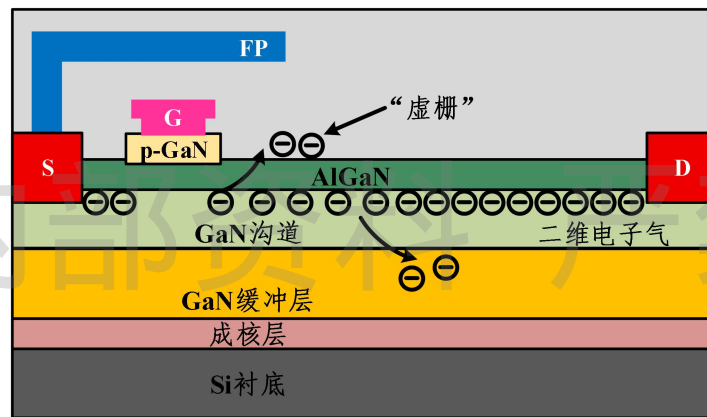


图 4-1 器件沟道中热电子被器件表面及缓冲层中的陷阱俘获

2) 与碳相关受主 (C_N) 充电有关的缓冲层俘获^{[52][53]}:

在 GaN 器件当中，为了获得更高的击穿电压，降低缓冲层的漏电，通常会对缓冲层进行碳 (C) 掺杂操作。然而，碳掺杂的引入也被证实是导致 GaN 器件动态电阻衰退的原因之一。

在对于缓冲层进行碳掺杂的过程中，碳原子在 GaN 晶格中占据氮 (N) 位时会形成深能级受主缺陷，记为 C_N 。 C_N 受主的能级位于价带顶 E_V 之上约 0.9 eV 处，在 GaN 禁带中属于深受主能级。在掺杂浓度较高的 C:GaN 缓冲层中，费米能级 E_F 被钉扎在 C_N 受主能级附近，导致 C:GaN 缓冲层表现为弱 p 型。在平衡状态下，该 C_N 受主能级大部分被空穴占据而保持电中性。

当器件经历高压关态时，器件沟道下方的 GaN 缓冲层内会形成高电场耗尽区，在

电场的作用下, 位于耗尽区内的 C_N 受主会俘获热电子, 此时, 原本呈现电中性的 C_N 受主会转变为带负电的电离受主态 (C_N^-), 这种情况在缓冲层造成了负电荷的积累, 如图 4-2 所示。缓冲层顶部 (靠近沟道/缓冲层界面) 积累的负电荷会通过静电耦合作用, 对于 AlGaN/GaN 异质结界面处的二维电子气产生耗尽效应, 从而导致了二维电子气浓度的下降。进一步地, 二维电子气浓度的下降, 在宏观上表现为 GaN 器件的动态电阻衰退现象。

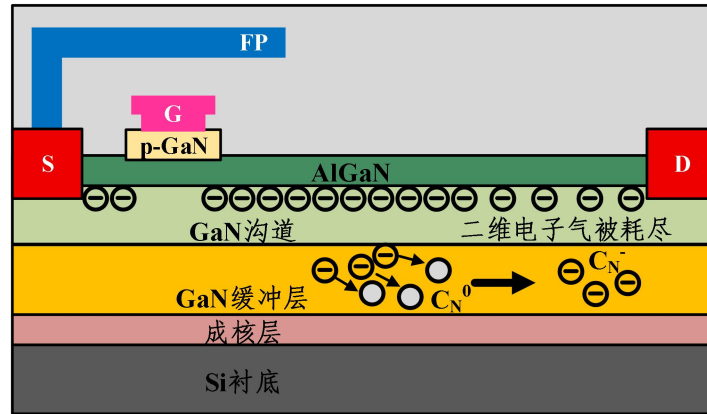


图 4-2 电中性的 C_N 受主会转变为带负电的 C_N^- 受主, 导致负电荷的积累

3) 衬底电子向 GaN 缓冲层的注入与俘获^{[54][55]}:

在 GaN-on-Si 功率器件当中, Si 衬底向 GaN 缓冲层的电子注入是导致 GaN 器件动态电阻衰退的另一个关键机制。当器件处于高压关态应力下时, 缓冲层中的深能级陷阱 (如碳掺杂等引入的缺陷) 会与 Si 衬底注入的电子产生相互作用。这种基于电子注入的电荷俘获过程, 会引发 GaN 器件与缓冲层相关的动态电阻衰退。

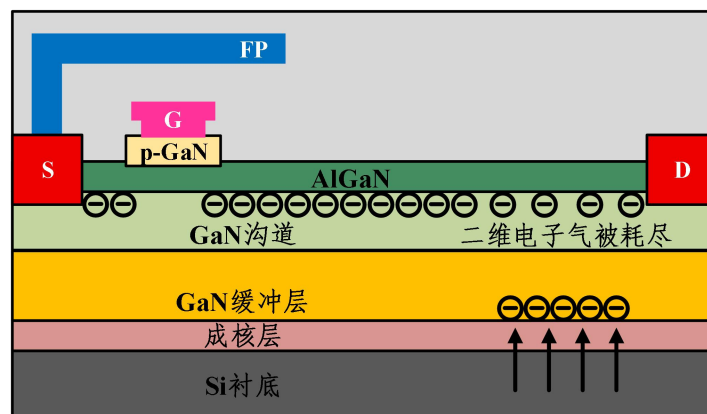


图 4-3 电子从 Si 衬底注入缓冲层, 造成缓冲层的积累

接下来针对衬底电子注入引起的 GaN 器件动态电阻衰退现象展开叙述: 当器件处于高压关态 (器件的漏极承受正向高压) 时, Si 衬底内部会通过反型 (Inversion) 或者碰撞电离 (Impact ionization) 生成电子。这些电子在强电场的作用下, 克服了 AlN

成核层 (NL) 和 Si 衬底之间的能量势垒，注入到缓冲层当中，如图 4-3 所示。

由 Si 衬底注入的电子会引发缓冲层内部明显的电荷俘获现象，当电子注入后，缓冲层内的受主陷阱 (C_N 等) 会因为俘获这些电子而呈负电，从而在缓冲层内积累大量的负空间电荷，对二维电子气产生耗尽作用，加剧 GaN 器件的动态电阻衰退现象。

4) 栅极^[56]与场板^[57]电子注入引发的表面陷阱效应：

除缓冲层陷阱效应外，表面态陷阱俘获同样是引起 GaN 器件动态导通电阻衰退的重要机制。就表面态俘获的电子来源而言，除沟道热电子外，栅极与场板 (Field Plate, FP) 向器件表面的电子注入同样是其重要来源，如图 4-4 所示。

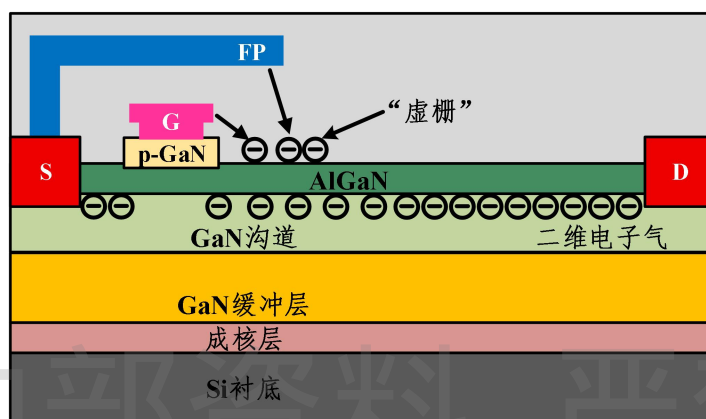


图 4-4 电子从栅极与场板注入器件表面，导致器件的二维电子气被耗尽

在 GaN 器件的表面，钝化介质与 AlGaIn 的势垒界面处存在着高密度的界面态陷阱。当器件承受高压关态应力时，器件的栅极和漏极之间的高电场会导致栅极附近的电子获得足够高的能量，越过势垒注入到栅极和漏极之间的界面态而被俘获，即栅极注入引起的陷阱效应。随着 GaN 器件的长期使用，经历长期电应力后，器件的栅极泄漏电流会显著增大，单位时间内会有更多的电子注入器件表面，导致器件表面负电荷积累，严重地耗尽 GaN 器件栅极边缘的二维电子气，加剧 GaN 器件的动态电阻衰退现象。

此外，GaN 器件的场板结构也会引发类似的表面电荷注入效应。当 GaN 器件漏极处于高电位并且器件场板接地时，场板和漏极之间的电位差会导致电子从场板向 AlGaIn 表面注入，这些电子会被钝化层/AlGaIn 界面或者钝化层内部的陷阱俘获，导致负电荷积累，耗尽其下方的二维电子气，导致 GaN 器件的动态电阻衰退加剧。而且，这一注入过程的强弱与 GaN 器件的钝化工艺有直接关系，可以通过优化 GaN 器件的钝化工艺来缓解 GaN 器件的动态电阻衰退。

4.2 器件 A（HD-GIT 型器件）的动态电阻行为分析与解释

为应对 GaN 器件的动态电阻衰退问题，不同结构的器件在其退化机制层面采取了不同的抑制策略。本节主要围绕 HD-GIT 型器件展开，其核心特征在于漏极附近引入了一个与漏电极电学连接的 p-GaN 区域，接下来将对 HD-GIT 型 GaN 器件 PD 结构的空穴注入效应展开详细叙述。

4.2.1 HD-GIT 型器件的 p-GaN 漏极（PD）结构与空穴注入

HD-GIT 型器件结构如图 4-5 所示，其特有的 p 型漏极（PD）结构可以向器件内部注入空穴，中和器件表面和缓冲层俘获的电子，来缓解器件的动态电阻衰退^[58]。

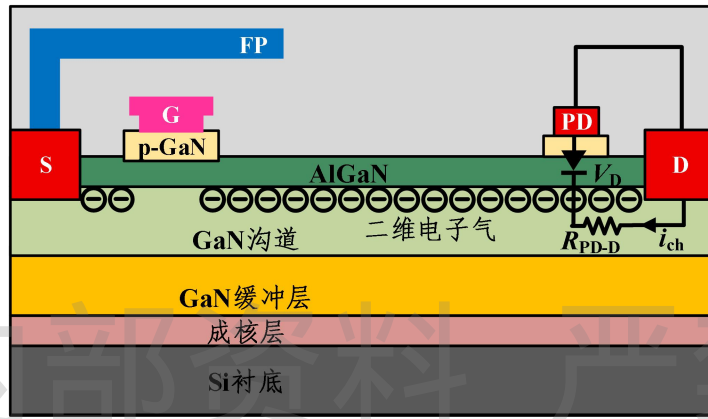


图 4-5 具有 PD 结构的 HD-GIT 型器件横截面

对于 HD-GIT 型器件，漏极侧的 PD 结构（阳极）与其下方的二维电子气（阴极）交界处形成了一个正向开启阈值电压为 V_F 的 p-n 结，p-n 结两端所承受的电势差 V_D 如下：

$$V_D = i_{ch} \times R_{PD-D} \quad (4.1)$$

其中， R_{PD-D} 是等效沟道电阻， i_{ch} 是器件的沟道电流。当 $V_D < V_F$ 时，AlGaN 较高的势垒将二维电子气中的电子有效约束在沟道当中；然而，当 $V_D > V_F$ 时，AlGaN 势垒降低促使沟道电子越过 AlGaN 势垒层到达金属电极，同时大量空穴通过 PD 层注入器件内部。空穴的注入有效地中和了深能级陷阱中俘获的电子，抑制了缓冲层当中负空间电荷的积累，改善了器件的动态电阻。

当 GaN 器件由关断切换到开通时，尤其是在硬开通的情况下，器件内部的沟道电流 i_{ch} 骤增，加在 p-n 结两端的电势差 V_D 被迅速拉高，并超过了 V_F ，PD 结构注入了大量空穴到势垒层和缓冲层，有效地抑制了 GaN 器件的动态电阻衰退。上述现象与器件开通时的电压有直接关系，电压越高，器件开通时的沟道电流 i_{ch} 就越大，电势差 V_D

就越大，空穴注入就越明显，对于动态电阻退化的抑制就越明显。

4.2.2 器件 A 动态电阻温度及开关依赖性的机理分析

从第 3 章当中的图 3-9 可知，器件 A 的动态电阻随着器件的结温和漏源电压的变化呈现出非单调的依赖特性。器件 A 的动态电阻是器件内部电子俘获和空穴注入效应共同作用的结果，两种效应分别受到器件的结温，漏源电压以及电压应力时间的影响，共同决定了器件 A 的动态电阻行为。接下来，本文依照第 3 章中器件 A 的测试结果，对于不同机理的相互作用进行解释。

在硬开关的情况下，当器件的结温 $T_j < 75^\circ\text{C}$ 时，器件 A 的动态电阻相较于软开关下数值更小，这一现象可以归因于，硬开关的情况下，器件开通瞬间会产生更大的过冲电流 i_{ch} ，此时，p-GaN 漏极与二维电子气之间的电势差 V_D 显著增大，超过了 PD 结构与沟道之间的 p-n 结的正向导通电压，大量的空穴注入了器件的缓冲层，有效地缓解了器件的动态电阻衰退^[24]。然而，结温继续升高 ($T_j > 75^\circ\text{C}$)，高温导致栅极和源极场板漏电加剧，更多的电子从场板到达器件表面，硬开关和软开关情况下器件 A 的漏电行为较为一致，因此器件的动态电阻退化也比较接近。

器件 A 在软开关下的动态电阻随着器件结温 T_j 的升高，呈现出了先下降后上升的非单调趋势。在器件结温 $T_j < 100^\circ\text{C}$ 的情况下，器件 A 的动态电阻随着结温的上升逐渐下降。器件动态电阻的缓解主要和以下两个因素有关：（1）PD 结构空穴注入效率的温度增强效应^[30]；（2）缓冲层陷阱去俘获效应的热加速效应^[59]。

首先，温度升高会增强 PD 结构的空穴注入效率。由公式 4.1 可知，p-GaN 漏极的导通条件与二维电子气之间 p-n 结上的有效电势差 V_D 受到 i_{ch} 和 R_{PD-D} 控制，当器件结温上升时，接入区的二维电子气迁移率降低，等效沟道电阻 R_{PD-D} 增大，在沟道电流 i_{ch} 不变的情况下，p-n 结上的有效电势差 V_D 升高；此外，p-GaN/AlGaIn/GaN 异质结的内建开启电压 V_F 随着温度的上升而降低。在 V_D 升高和 V_F 降低的协同作用下，器件 PD 结构的空穴注入效应进一步增强，抑制了器件的动态电阻衰退。

其次，温度升高加速了缓冲层陷阱对电子的去俘获效应。在 GaN 器件的缓冲层存在大量的深能级陷阱，在器件受到关态电压应力的情况下，这些陷阱俘获电子而带负电，对二维电子气有耗尽作用。当器件导通时，被俘获的电子需要通过热激活发射出来或者与注入的空穴复合，才能释放陷阱态。由文献^[59]可知，当器件的结温上升时，被俘获的电子的热发射过程被显著加速，被俘获的电子会在更短的时间内脱离陷阱，

加速了导电沟道二维电子气的恢复，如图 4-6 所示。

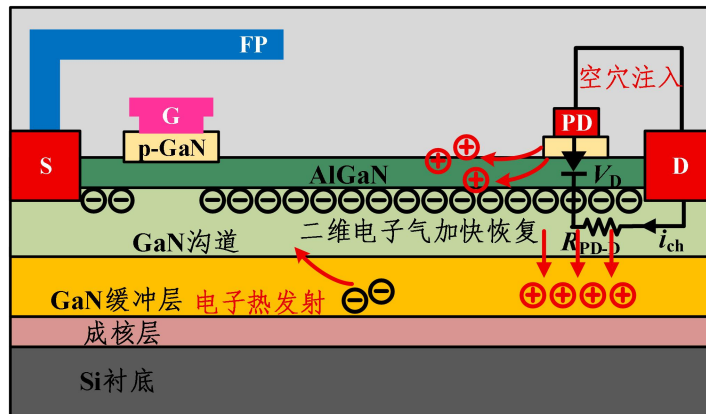


图 4-6 在较高结温下，HD-GIT 型器件的空穴注入和电子热发射均增强

当器件结温 $T_j > 100^\circ\text{C}$ 后，器件的栅极漏电流加剧，上述的 PD 结构的空穴注入效率的提高和缓冲层陷阱对电子的去俘获效应的加速难以完全抵消电子俘获的增强，造成了器件 A 的动态电阻随着结温的升高又开始逐渐上升。

因此，在软开关条件下，随着结温升高，去俘获过程的加速与空穴注入效率的增强共同作用，使器件 A 的动态导通电阻呈现随温度升高而非单调的特性。

4.2.3 器件 A 动态导通电阻显著退化的综合诱因与物理机制

综合第 3 章中，图 3-9 及图 3-12 至图 3-15 中器件 A 的动态电阻测试结果，可以得出以下结论：器件 A 的动态电阻仅在低漏源电压应力 V_{DS} ，长电压应力时间 t_{stress} 及高结温 T_j 三个条件同时满足时，才会表现出极为明显的动态电阻衰退现象，如图 4-7 所示。

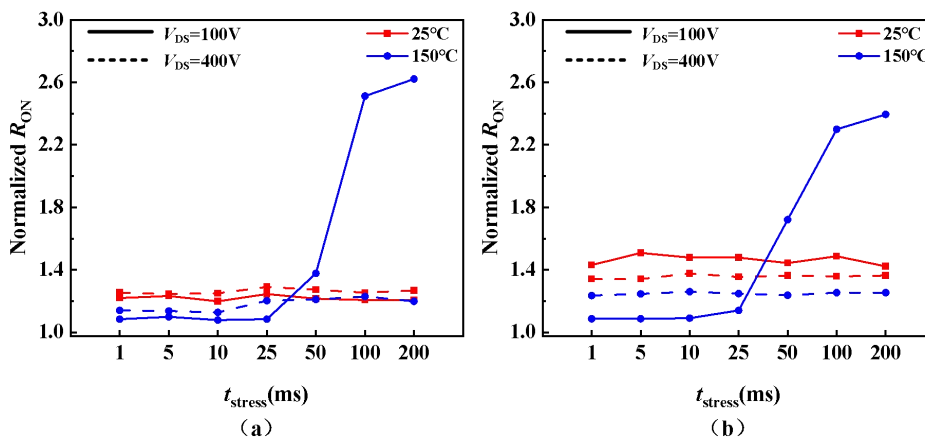


图 4-7 器件 A 动态电阻不同工况下总结对比：(a) 硬开关；(b) 软开关。

首先，低漏源电压是导致器件 A 动态电阻退化严重的关键电场因素。在较低的漏

源电压下，器件 A 中，峰值电场集中在靠近漏极一侧的栅极边缘。与此同时，器件 A 较为简单的场板结构，未能有效地缓解该峰值电场，这就导致栅极边缘的峰值电场恶化，加剧了器件表面对于电子的俘获。此外，在低漏源电压的情况下，器件 A 的空穴注入效应受到限制，且低压关态条件下的陷阱区域离漏极距离较远，导致空穴无法有效补偿界面陷阱中俘获的负电荷，最终导致器件 A 在低压关态应力下的动态电阻退化尤其严重。

其次，较高的器件结温会加剧栅极漏电流。器件结温升高后，器件的栅极和源极场板的漏电流增加，这些泄露出来的电子会跳跃至 SiN/AlGaIn 界面处，为器件表面提供了大量可俘获的电子。电子被俘获后，进一步加剧了器件表面负电荷对于二维电子气的耗尽作用^[57]。

最后，较长的电压应力时间为器件表面的电子跳跃提供了充足的时间。如图 4-8 所示，栅极漏电流和场板注入到器件表面的电子并不是瞬时完成俘获的，而是先从栅极或者源极场板结构注入到 AlGaIn 表面，然后在表面态通过跳跃机制向器件的漏极侧逐步迁移^{[56][57]}。电子的迁移和俘获的过程需要一定的时间积累，当电压应力时间足够长时，表面态中的电子积累到了一定数量，足以显著耗尽下方的二维电子气，宏观上则表现出了器件动态电阻的大幅衰退，如图 3-12 所示。

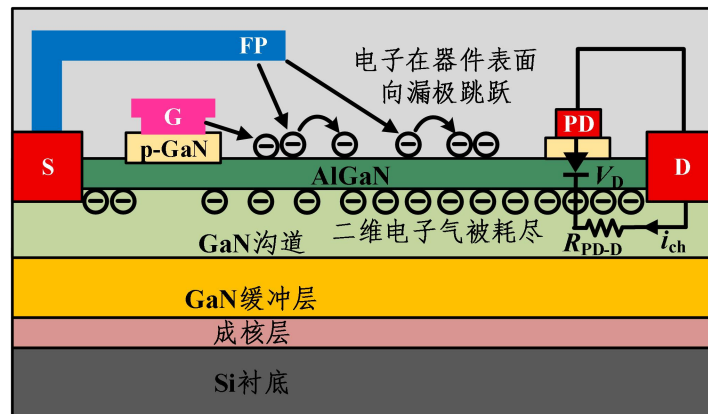


图 4-8 栅极或者场板结构注入器件表面的电子向器件漏极跳跃

4.3 器件 B (E-Mode p-GaN 型器件) 的动态电阻行为分析与解释

4.3.1 E-Mode p-GaN 型器件的场板优化与表面钝化技术

与 HD-GIT 型器件通过漏极空穴注入抑制动态电阻退化的策略不同，E-Mode p-GaN 型器件，通常会采用特殊设计的多级场板结构^[60]与原子层沉积 (Atomic Layer Deposition, ALD) 表面钝化^[61]相结合的技术路线以缓解器件的动态电阻衰退。

依照 4.1 所述, 由于关断状态下的栅极与漏极之间存在巨大的电势差, 会导致在靠近漏极侧的栅极边缘产生极其严重的电场集中效应, 造成栅极漏电流, 进而引发 GaN 器件的动态电阻衰退。

为了缓解上述现象, 在 E-Mode p-GaN 型器件的设计中, 通过优化场板结构来缓解电场集中效应, 进一步改善改善器件动态电阻特性。图 4-9 为 GaN 器件通常采用的多级场板结构, 其有效缓解了器件内部的电场尖峰, 实现了更均匀的电场分布。

随着峰值电场的显著下降, 电子从电场中获得的动能大幅减弱, 其从器件栅极向器件表面注入的几率显著下降。由于器件表面被注入的电子大幅度减少, 器件表面的陷阱难以形成具有破坏性的负空间电荷积累, 降低了对于器件沟道中二维电子气的耗尽作用, 使得 GaN 器件的动态电阻衰退现象得以缓解。

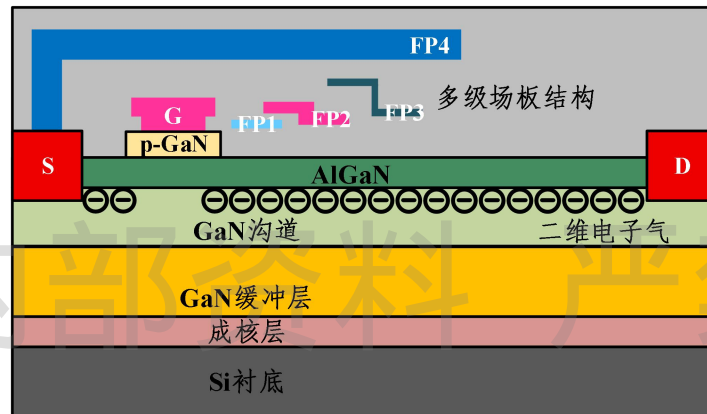


图 4-9 GaN 器件的多级场板结构

此外, E-mode p-GaN 型器件还通过 ALD AlN 钝化技术对器件表面进行钝化处理, 器件的表面态陷阱被钝化, 其密度显著降低, 有效地削弱了器件表面对电子的俘获。ALD 钝化技术通过缓解高压应力下由器件表面陷阱俘获电子所引发的“虚栅”效应, 极大程度上缓解了 GaN 器件的动态电阻衰退。

综上所述, E-mode p-GaN 型 GaN 器件通过多级场板结构优化与 ALD 表面钝化两种技术手段的协同作用, 来抑制 GaN 器件的动态电阻衰退。场板结构的优化重塑了器件的表面电场, 缓解了栅极漏电流向器件表面注入电子; ALD 钝化则利用 AlN 薄膜引入的高密度正极化电荷, 缓解了“虚栅”效应。二者共同作用, 缓解了器件的动态电阻衰退现象。

4.3.2 漏源电压对器件 B 动态电阻的影响与补偿机制

器件 B 的动态电阻测试结果表明, 其对于器件的漏源电压 V_{DS} 表现出显著的依赖

性，然而却对器件结温 T_J 和电压应力时间 t_{stress} 的敏感度相对较低，如图 4-10 所示。

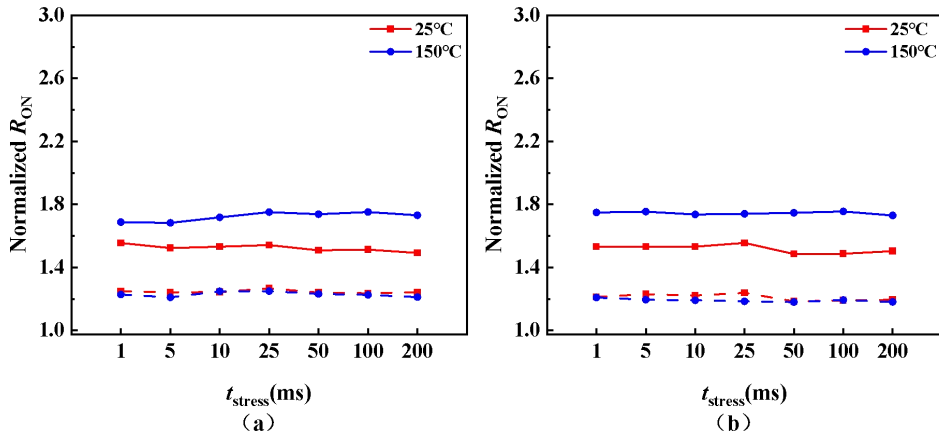


图 4-10 器件 B 动态电阻不同工况下总结对比：(a) 硬开关；(b) 软开关。

这种对温度的低敏感性表明，器件 B 的 ALD 钝化技术有效钝化了器件界面陷阱态，高温虽然加剧了器件的漏电流，但是器件的表面俘获被削弱，器件 B 的动态电阻退化并不会因为器件结温升高而持续恶化。

另外，器件 B 所采用的复杂场板结构成功缓解了栅极边缘的峰值电场集中效应，有效降低了器件 B 的栅极漏电流，器件 B 结温 T_J 上升所引起的器件栅极漏电流增加得到了缓解。于此同时，场板结构的优化也削弱了场板与漏极之间的电场强度，抑制了电子从场板向 AlGaIn 表面的注入。由于注入电子的总数大幅减少，表面态俘获电子并沿表面向漏极跳跃传输的累积效应显著减弱，动态导通电阻在较短应力时间内即可达到稳定状态。因此，器件 B 的动态电阻对于电压应力时间 t_{stress} 同样不敏感。

值得注意的是，在较高关态应力电压 V_{DS} 下，器件 B 的动态导通电阻退化反而显著减轻。这一改善可能受到多种补偿负电荷俘获效应的物理机制的影响：

1) 缓冲层泄漏电流增加^[62]：

GaN 器件的动态导通电阻具有电压依赖性，可以归因于碳相关受主陷阱 (C_N) 的动态特性与空间电荷限制电流分量之间的相互作用。当加在 GaN 器件上的漏源电压足够高时，GaN 器件的缓冲层内部会产生泄露电流，缓冲层内陷阱俘获的负电荷会通过泄露路径而被有效耗散。

如图 4-11 所示，负电荷的去俘获与电荷耗散过程由两条独立的泄露路径协同完成：首先， C_N 受主俘获的电荷在垂直泄露路径向 Si 衬底方向重新分布；随后，这些电荷更进一步地通过横向泄露路径向源极和漏极方向耗散。上述两条泄露路径共同作用，使

得缓冲层陷阱中存储的净电荷无法持续积累，缓解器件缓冲层中负电荷累积对于二维电子气的耗尽作用，从而抑制了器件动态电阻的退化。

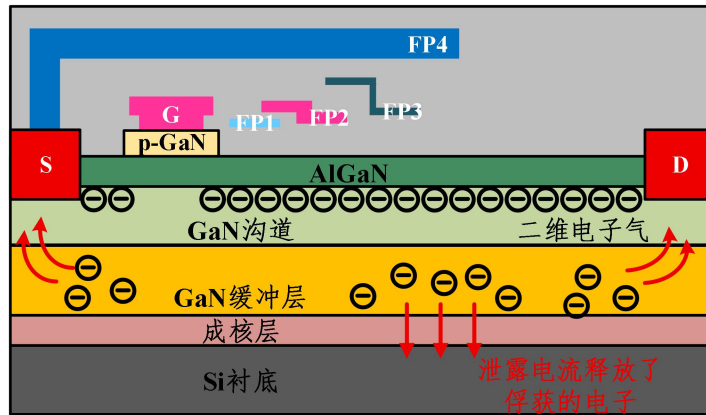


图 4-11 缓冲层俘获的电子通过垂直泄露路径和横向泄露路径耗散

2) 内部电荷重新分布^[63]:

器件 B 在较高关态应力电压下动态导通电阻退化的显著减轻，除缓冲层泄漏电流增强外，还与缓冲层内部正电荷的积累与再分布机制密切相关。

当器件的漏极电压较高时，由于泄漏电流的增加或带间隧穿效应的激发，在缓冲层内部诱导正电荷的生成。这种正电荷的存储过程通常伴随极快的响应速度，主要取决于不具有强烈热激活特征的垂直泄漏或隧穿机制。如图 4-12 所示，这些正电荷主要聚集在缓冲层与应力释放层（Strain-relief Layer, SRL）的界面处，有效地补偿碳受主电离产生的负空间电荷。通过这种器件内部缓冲层的电荷重新分布，正电荷有效地减弱了对于二维电子气的耗尽作用，从而缓解了器件动态电阻的衰退。

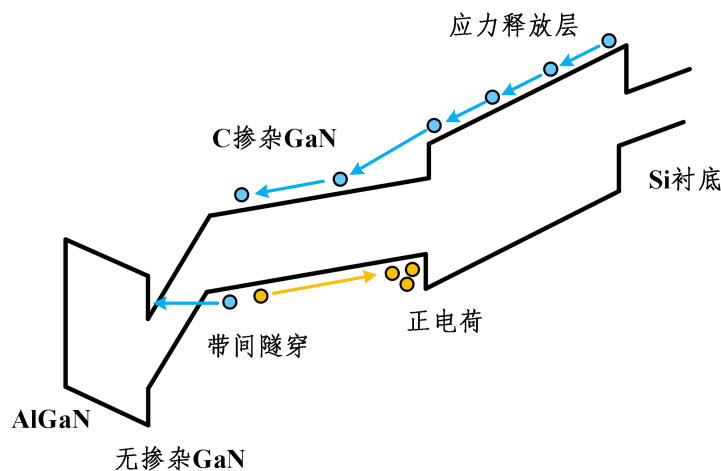


图 4-12 器件内部电荷重新分布物理机制的能带示意图

在较高的漏源电压情况下，缓冲层/SRL 界面处正电荷的积累，促进了器件二维电

子气的恢复，解释了器件 B 动态导通电阻在高压应力下发生降低的现象。

3) 碰撞电离的发生^[64]:

除了缓冲层泄漏电流与电荷的重新分布外，器件 B 在较高关态漏源电压下动态导通电阻衰退的显著缓解，还与高电场触发的碰撞电离（Impact Ionization）机制密切相关。

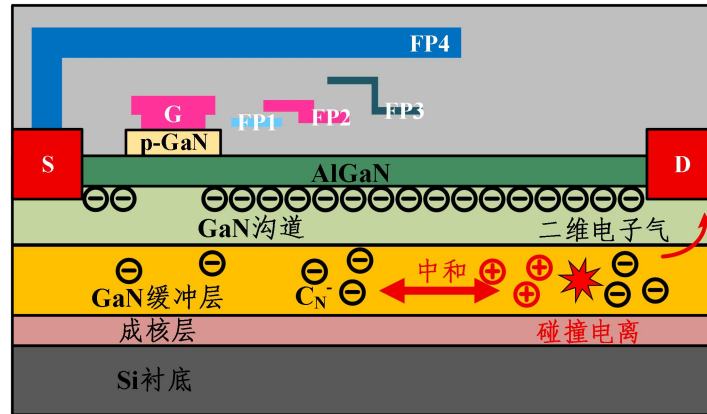


图 4-13 器件内部高压下碰撞电离产生的空穴与 C_N^- 中和

在较低的漏源电压情况下，器件的缓冲层中碳相关受主陷阱会产生载流子俘获效应，造成缓冲层内积累了对二维电子气具有耗尽作用的负空间电荷。然而，如图 4-13 所示，当器件的关态漏源电压进一步升高时，器件漏极边缘的高电场区通过碰撞电离过程产生大量电子-空穴对：碰撞电离产生的大量空穴随后被缓冲层中带负电的 C_N^- 受主陷阱所俘获，从而部分中和了原本积累的带负电的 C_N^- 受主；碰撞电离产生的电子则通过器件的漏极以泄露电流的形式释放。

这种 C_N^- 受主态的局部中和有效削弱了缓冲层内的净负空间电荷浓度，缓解了其对二维电子气的耗尽作用进而增加了该区域二维电子气的浓度，最终表现为器件 B 的动态电阻在高漏源电压下的部分恢复。

4.4 本章小结

本章从半导体微观物理层面，深入剖析了引发 GaN 器件高温动态电阻衰退的核心机制，并从器件结构差异的角度解释了动态行为的不同，主要结论如下：

1) 系统归纳了诱发 GaN 器件二维电子气耗尽的核心电荷俘获机制。明确了电介质/AlGaIn 界面热电子俘获、碳相关受主 (C_N^-) 缓冲层俘获、衬底电子注入俘获以及栅极与场板电子注入引发的表面陷阱效应，是共同主导器件动态电阻退化的四类底层物理

机制。

2) 阐明了 HD-GIT 型器件动态电阻非单调变化的物理机制。器件 A 的动态电阻受控于 p-GaN 漏极 (PD) 结构空穴注入效率与陷阱电荷积累的综合影响。在器件 PD 结构空穴注入效应的作用下, 器件 A 的动态电阻表现出了结温 T_J 、漏源电压 V_{DS} 及电压应力时间 t_{stress} 的高度依赖性。其中, 低漏源电压限制了空穴注入效应, 高结温加剧了栅极漏电流, 叠加长电压应力时间的累积效应, 是诱发器件 A 动态电阻急剧恶化的综合诱因。

3) 揭示了 E-Mode p-GaN 型器件的动态电阻抑制策略和高压补偿机制。器件 B 依靠多级场板与 ALD 表面钝化技术, 有效削弱了表面电子俘获 (使其动态电阻对结温和电压应力时间不敏感); 同时, 在高漏源电压下, 缓冲层漏电流的电荷耗散、内部正电荷的重新分布, 以及局部高场碰撞电离产生的空穴中和效应被促进, 削弱了缓冲层对于二维电子气的耗尽作用, 缓解了器件 B 的动态电阻衰退。

综上所述, 本章进一步解释了 GaN 器件结构的差异决定了器件在不同工况下的动态电阻行为。GaN 器件动态电阻物理机制的揭示具有工程指导意义: 一方面, 它对器件结构的优化提供了依据; 另一方面, 也为变换器器件选型提供了参考信息。

5 结论与展望

5.1 全文工作总结

面向高频、高效电力电子技术的发展需求，GaN 器件正逐步成为下一代电源系统的核心。然而，商用 GaN 器件在高温及复杂电应力下的动态电阻衰退问题，极大限制了其在实际系统中的潜力释放。

为此，本文聚焦于 GaN 器件的高温动态电阻评估与物理机理分析，在全面梳理现有 GaN 器件动态电阻评估相关研究的基础上，探究了器件结温，漏源电压以及多组双脉冲测试中电压应力时间对于不同结构 GaN 器件动态电阻的综合影响。本研究在完成相关测试验证的基础上，进一步为宽禁带半导体器件于复杂工况下的动态电阻表征，提供了宏观电路表现与微观物理机制相结合的综合评估方案。

本文的主要创新研究成果如下：

1) 提出了基于多组双脉冲的 GaN 高温动态电阻解耦测试与精确表征方法：

针对传统连续脉冲测试中 GaN 器件结温上升与器件内部陷阱俘获深度耦合、难以准确剥离器件发热干扰的痛点，本文设计并采用了一种基于多组双脉冲测试方法的高温测试方案。基于测试平台的热阻模型，本文采用了一种结温预设置的开环控制策略。该策略在测试前实现了对待测器件初始结温的精确估算与设定，并配合多组双脉冲的低发热特性维持测试期间待测器件的热平衡。进一步地，通过对无动态电阻现象的 Si 器件进行严格对比验证，证实了该结温开环控制方案在维持热稳定性方面的可靠性，为 GaN 器件高温动态电阻的精准表征奠定了坚实的硬件与方法基础。

2) 全面揭示了不同物理结构 GaN 器件在复杂热-电应力下的动态电阻行为规律：

针对高温工况下不同结构器件动态行为交叉评估不足的问题，本文依托所搭建的高温测试平台，系统地评估了两款具有代表性结构的主流商用 GaN 器件（器件 A：HD-GIT 型器件；器件 B：E-Mode p-GaN 型器件）在不同结温（ T_J ）、漏源电压（ V_{DS} ）以及电压应力时间（ t_{stress} ）下的动态电阻演变规律。实验结果表明，两款不同结构的 GaN 器件在 $V_{DS}=400\text{ V}$ 的情况下，器件的动态电阻均随着双脉冲组数的增加而呈现出恢复的趋势，但二者的动态电阻行为仍存在显著差异：器件 A 的动态电阻随结温呈现非线性变化，且在低漏源电压和较高结温下对电压应力时间高度敏感；而器件 B 的动态电阻则对器件结温与电压应力时间的敏感性较低。

3) 深入阐明了不同结构 GaN 器件高温动态电阻行为差异的微观物理机制：

针对导致 GaN 器件高温动态电阻退化的微观解释不足的局限，本文深入探讨了 GaN 器件高温动态电阻行为的物理机制。首先梳理了诱发器件动态电阻衰退的四种核心电荷俘获机制（电介质/AlGaIn 界面热电子俘获、碳相关受主缓冲层俘获、衬底电子注入俘获以及栅极与场板电子注入引起的表面陷阱效应）。在此基础上，针对 HD-GIT 型器件，揭示了其内部 PD 结构空穴注入效应与电荷积累的竞争关系，指明了低压、高温及长电压应力时间诱发其动态电阻急剧恶化的物理机制；针对 E-Mode p-GaN 型器件，阐明了多级场板与 ALD 表面钝化技术对其动态特性的保护机制，并从缓冲层泄漏电流、内部正电荷再分布及局部高场碰撞电离等物理维度，解释了该器件在高漏源电压下动态电阻下降的内在机理。本部分的研究成功将器件宏观外特性与底层物理结构相对应，为后续的器件选型及工艺优化提供了客观依据。

综合上述详尽的实验论证与机理探讨，为确保在实际电力电子变换器中准确评估并应用 GaN 器件，本文提出以下两项工程指导建议：

其一，应将多组双脉冲测试作为传统连续工况测试的有效补充。连续脉冲测试固有的发热现象会掩盖纯电学陷阱的退化规律。本文证实，MGDPT 方法能够在恒定结温下有效模拟连续开关中的陷阱电荷俘获，获取动态平衡条件下的真实电阻值。因此，在评估自发热严重的工况时，引入该补充手段可规避温升干扰，精准提取目标应力下的真实动态导通电阻。

其二，动态电阻的测试条件应与变换器的实际工况相匹配。研究表明，漏源电压幅值（ V_{DS} ）与电压应力时间（ t_{stress} ）等变量会影响器件内部的电荷俘获状态。因此，在工程设计与传导损耗评估中，应避免脱离器件的实际运行环境盲目套用标称动态电阻数据。建议依据目标拓扑的具体工作状态（如软/硬开关、工作电压、连续/间歇模式等），合理配置测试的应力参数，从而确保所得数据能真实反映 GaN 器件在系统中的实际表现。

5.2 研究工作展望

本文针对 GaN 器件在不同工况下的高温动态电阻进行了综合评估，并针对不同结构 GaN 器件的动态电阻行为进行了分析与解释。综合本课题的现有探索成果，并统观当前业界在 GaN 器件动态电阻表征方面的技术瓶颈，后续的深度研究围绕以下几个方

面进行优化：

(1) 本文采用的测试电路利用多个 Si MOSFET 控制器件的预电压应力，回路寄生参数较大且精度受限。为优化测试电路，未来可采用类似于 H 桥的高度集成拓扑结构，减小测试回路寄生参数的同时，进一步提高测试过程中应力切换的响应速度和控制精度。

(2) 本文的测试电路中的箝位电路，由于寄生参数的影响仍然有 200 ns 左右的测量延迟。未来可以采用寄生参数更小的器件或者优化箝位电路拓扑，进一步降低箝位电路的响应时间，实现 GaN 器件动态电阻的高频测试。

(3) 本文针对 GaN 器件的动态电阻测试过程中，测试电流一般较小，未来可以进一步提高测试电流，探究 GaN 器件不同结温下饱和电流的动态特性，为 GaN 器件的可靠性分析拓展新的思路。

(4) 受限于长期热-电耦合测试的时间成本，本文尚未针对同型号器件开展大规模的批次差异性表征，且测试的品牌覆盖面有限。未来研究可引入更多电压、电流规格的 GaN 器件，进一步完善 GaN 器件的高温动态电阻表征工作。

PMIC内部资料 严禁外传

参考文献

- [1] De Rooij M, Laidebeur Q. Meeting the power and magnetic design challenges of ultra-thin, high-power density 48 V DC-DC converters for ultra-thin computing applications[J]. IEEE Power Electron. Mag., 2021, 8(3): 30-36.
- [2] 汤岑. 增强型高压 AlGaIn/GaN HEMTs 器件的场优化技术及关键工艺研究[D]. 杭州: 浙江大学, 2016.
- [3] 何亮, 刘扬. 第三代半导体 GaN 功率开关器件的发展现状及面临的挑战[J]. 电源学报, 2016, 14(4): 1-13.
- [4] 【芯版图】15 年前被视作砷化镓未来替代品, GaN 进化史被谁书写[EB/OL]. https://ijiwei.com/html/share/news/743097?news_id=743097&source=app_android_v2
- [5] Efficient Power Conversion Corporation (EPC) Market Leading eGaN™ FET Named Finalist in Prestigious 2010 EDN Innovation Awards Competition [EB/OL]. <https://epc-co.com/epc/cn/>.
- [6] EPC Product Table [EB/OL]. <http://epc-co.com/epc/Products/eGaNfetsandICs.aspx>.
- [7] Transphorm official website[EB/OL]. [https:// poweramericainstitute. org/ devicebank/ transphorm/](https://poweramericainstitute.org/devicebank/transphorm/).
- [8] Navitas official website[EB/OL]. <https://navitassemi.com/zh/about-navitas-zh/>
- [9] Kaneko S, Kuroda M, Yanagihara M, et al. Current-collapse-free operations up to 850 V by GaN-GIT utilizing hole injection from drain[C]. Proc. Int. Symp. Power Semiconductor Devices IC's, 2015: 41-44.
- [10] Panasonic to Launch Industry's Smallest Enhancement-Mode 600V GaN Power Transistors Package [EB/OL]. <http://news.panasonic.com/global/press/data/2015/05/en150518-4/en150518-4.html>.
- [11] GaN 功率半导体厂商梳理[EB/OL]. <http://ep.cntronics.com/market/3041>
- [12] 英飞凌将收购 Gan Systems 扩充氮化镓产品线巩固功率系统领域全球领导地位 [EB/OL]. <https://cn.gansystems.com/newsroom/infineon-to-acquire-gan-systems-strengthening-it-s-gan-portfolio-and-further-reinforcing-its-global-leadership-in-power-systems/>
- [13] 英飞凌新一代 CoolGaN 晶体管技术, 满足消费类和工业应用的需求[EB/OL]. <http://ep.cntronics.com/guide/4313/13652>

- [14] 告别硅基时代！英飞凌 100V GaN 晶体管以 70%开关损耗降低重塑汽车功率转换 [EB/OL]. <http://ep.cntronics.com/guide/4346/14663>
- [15] Innoscience official website[EB/OL]. <https://www.innoscience.com/hk>
- [16] 第三代半导体洗牌 GaN 跃居主角 [EB/OL]. <https://www.eepw.com.cn/article/202507/472588.htm>
- [17] Zhong K, Xu H, Zheng Z, et al. Characterization of Dynamic Threshold Voltage in Schottky-Type p-GaN Gate HEMT Under High-Frequency Switching[J]. IEEE Electron Device Letters, 2021, 42(4): 501-504.
- [18] Jin D, del Alamo J A. Methodology for the study of dynamic ON-resistance in high-voltage GaN field-effect transistors[J]. IEEE Trans. Electron Devices, 2013, 60(10): 3190-3196.
- [19] Li K, Evans P L, Johnson C M. Characterisation and Modeling of Gallium Nitride Power Semiconductor Devices Dynamic On-State Resistance[J]. IEEE Trans. Power Electron., 2018, 33(6): 5262-5273.
- [20] Yang S, Han S, Sheng K. Dynamic On-Resistance in GaN Power Devices: Mechanisms, Characterizations, and Modeling[J]. IEEE Journal of Emerging and Selected Topics in Power Electronics, 2019, 7(3): 1425-1439.
- [21] Cai Y, Forsyth A J, Todd R. Impact of GaN HEMT dynamic on-state resistance on converter performance[C]. 2017 IEEE Applied Power Electronics Conference and Exposition (APEC). Tampa, FL, USA: IEEE, 2017: 1689-1694.
- [22] Zulauf G, Guacci M, Kolar J W. Dynamic on-Resistance in GaN-on-Si HEMTs: Origins, Dependencies, and Future Characterization Frameworks[J]. IEEE Transactions on Power Electronics, 2020, 35(6): 5581-5588.
- [23] Li K, Evans P L, Johnson C M, et al. A GaN-HEMT Compact Model Including Dynamic RDSon Effect for Power Electronics Converters[J]. Energies, 2021, 14(8): 2092.
- [24] Li R, Wu X, Yang S, et al. Dynamic on-State Resistance Test and Evaluation of GaN Power Devices Under Hard- and Soft-Switching Conditions by Double and Multiple Pulses[J]. IEEE Transactions on Power Electronics, 2019, 34(2): 1044-1053.
- [25] Xie Z, Wu X, Dong Z, et al. Dynamic On-Resistance Characterization of GaN Power HEMTs Under Forward/Reverse Conduction Using Multigroup Double Pulse Test[J]. IEEE Transactions on Power Electronics, 2024, 39(2): 1963-1967.

- [26] Badawi N, Hilt O, Bahat-Treidel E, et al. Investigation of the Dynamic On-State Resistance of 600 V Normally-Off and Normally-On GaN HEMTs[J]. IEEE Transactions on Industry Applications, 2016, 52(6): 4955-4964.
- [27] Alharbi S S, Matin M. Experimental evaluation of medium-voltage cascode gallium nitride (GaN) devices for bidirectional DC-DC converters[J]. CES Transactions on Electrical Machines and Systems, 2021, 5(3): 232-248.
- [28] Kailun Z, Wei J, He J, et al. IG - and VGS -Dependent Dynamic RON Characterization of Commercial High-Voltage p-GaN Gate Power HEMTs[J]. IEEE Transactions on Industrial Electronics, 2022, 69(8): 8387-8395.
- [29] Cai Y, Forsyth A J, Todd R. Impact of GaN HEMT dynamic on-state resistance on converter performance[C]. Proc. IEEE Appl. Power Electron. Conf. Expo. (APEC), 2017: 1689-1694.
- [30] Li S, Sheng K, Yang S. Temperature-Dependent Dynamic Ron of GaN E-HEMTs: The Impact of p-GaN Drain[J]. IEEE Transactions on Electron Devices, 2023, 70(7): 3754-3761.
- [31] Test Method for Continuous-Switching Evaluation of Gallium Nitride Power Conversion Devices, Version 1.0, JEP182, 2021.
- [32] Huang Y, Jiang Q, Huang S, et al. Characterization of Electrical Switching Safe Operation Area on Schottky-Type P-GaN Gate HEMTs[J]. IEEE Transactions on Power Electronics, 2023, 38(7): 8977-8989.
- [33] Hou R, Shen Y, Zhao H, et al. Power Loss Characterization and Modeling for GaN-Based Hard-Switching Half-Bridges Considering Dynamic on-State Resistance[J]. IEEE Transactions on Transportation Electrification, 2020, 6(2): 540-553.
- [34] 分立 GaN HEMT 功率器件动态电阻评估, T/CASAS/TR 003—2022.
- [35] 谢宗伦.全象限功率 GaN 器件动态导通电阻测试方法与分析[D].浙江大学,2024.
- [36] Dynamic On-Resistance Test Method for GaN High Electron Mobility Transistor (HEMT) in Hard-Switching Circuits, Version 1.0, CASAS 005-2022, 2022.
- [37] Gelagaev R, Jacqmaer P, Driesen J. A fast voltage clamp circuit for the accurate measurement of the dynamic on-resistance of power transistors[J]. IEEE Trans. Ind. Electron., 2015, 62(2): 1241-1250.
- [38] 李瑞.增强型 GaN 功率器件的动态电阻测试及分析[D].浙江大学,2019.
- [39] Badawi N, Dieckerhoff S. A new method for dynamic Ron extraction of GaN power

- HEMTs[C]. Proc. IEEE Int. Exhib. Conf. for Power Electr. Intell. Motion, Renew. Energy Energy Manag., 2015: 1-6.
- [40] Marcault E, Trémouilles D, Isoird K, et al. Dynamic of power-GaN-HEMT Electrical Parameters: Why DC characterization might be misleading[C]. Proc. Eur. Conf. Power Electron. Appl., 2016: 1-6.
- [41] Ren L, Shen Q, Gong C. A voltage clamp circuit for the real-time measurement of the on-state voltage of power transistors[C]. Proc. Energy Convers. Congr. Expo., 2016: 1-7.
- [42] Weiser M C J, Muñoz Barón K, Fink T, et al. A Fast ON-State Drain-to-Source Voltage Amplifier for the Dynamic Characterization of GaN Power Transistors[C]. 2023 IEEE Applied Power Electronics Conference and Exposition (APEC). Orlando, FL, USA: IEEE, 2023: 637-644.
- [43] Yang F, Xu C, Ugur E, et al. Design of a Fast Dynamic On-Resistance Measurement Circuit for GaN Power HEMTs[C]. 2018 IEEE Transportation Electrification Conference and Expo (ITEC). Long Beach, CA, USA: IEEE, 2018: 359-365.
- [44] Laimer G, Kolar J W. Accurate measurement of the switching losses of ultra high switching speed CoolMOS power transistor/SiC diode combination employed in unity power factor PWM rectifier systems[C]. Proc. PCIM, 2002: 14-16.
- [45] Zhang Z, Guo B, Wang F F, et al. Methodology for Wide Band-Gap Device Dynamic Characterization[J]. IEEE Trans. Power Electron., 2017, 32(12): 9307-9318.
- [46] 陈娜. 中高压功率 IGBT 模块开关特性测试及建模[D]. 杭州: 浙江大学, 2012.
- [47] Uemoto Y, Hikita M, Ueno H, et al. Gate Injection Transistor (GIT)—A Normally-Off AlGaIn/GaN Power Transistor Using Conductivity Modulation[J]. IEEE Trans. Electron Devices, 2007, 54(12): 3393-3399.
- [48] Martínez P J, Miaja P F, Maset E, et al. A test circuit for GaN HEMTs dynamic RON characterization in power electronics applications[J]. IEEE J. Emerg. Sel. Topics Power Electron., 2019, 7(3): 1456-1464.
- [49] Han S, Yang S, Li R, et al. Current-collapse free and fast reverse recovery performance in vertical GaN-on-GaN Schottky barrier diode[J]. IEEE Trans. Power Electron., 2019, 34(6): 5012-5018.
- [50] Fabris E, Meneghini M, De Santi C, et al. Hot electron effects in GaN GITs and HD-GITs: A comprehensive analysis[C]. Proc. IEEE Int. Rel. Phys. Symp. (IRPS). Monterey, CA, USA: IEEE, 2019: 1-6.

- [51] Vetury R, Zhang N Q, Keller S, et al. The impact of surface states on the DC and RF characteristics of AlGaIn/GaN HFETs[J]. IEEE Transactions on Electron Devices, 2001, 48(3): 560-566.
- [52] Zagni N, Chini A, Puglisi F, et al. "Hole redistribution" model explaining the thermally activated Ron stress/recovery transients in carbon-doped AlGaIn/GaN power MIS-HEMTs[J]. IEEE Trans. Electron Devices, 2021, 68(2): 697-703.
- [53] Chini A, Meneghesso G, Meneghini M, et al. Experimental and numerical analysis of hole emission process from carbon-related traps in GaN buffer layers[J]. IEEE Trans. Electron Devices, 2016, 63(9): 3473-3478.
- [54] Freedman J J, Watanabe A, Yamaoka Y, et al. Influence of AlN nucleation layer on vertical breakdown characteristics for GaN-on-Si: Vertical breakdown characteristics for GaN-on-Si[J]. Phys. Status Solidi, 2016, 213(2): 424-428.
- [55] Yang S, Zhou C, Han S, et al. Buffer trapping-induced Ron degradation in GaN-on-Si power transistors: Role of electron injection from Si substrate[C]. 2017 29th International Symposium on Power Semiconductor Devices and IC's (ISPSD). Sapporo, Japan: IEEE, 2017: 101-104.
- [56] Huang X, Sun P, He Z, et al. Investigation of power cycling degradation on the dynamic ON-resistance of HD-GITs[J]. IEEE Trans. Ind. Electron., 2024, 71(11): 14957-14966.
- [57] Cioni M, Cappellini G, Giordano G, et al. Impact of SiN Passivation on Dynamic-RON Degradation of 100 V p-GaN Gate AlGaIn/GaN HEMTs[J]. electronic material, 2025, 6(4): 14.
- [58] Kaneko S, Kuroda M, Yanagihara M, et al. Current collapse-free operations up to 850 V by GaN-GIT utilizing hole injection from drain[C]. Proc. IEEE 27th Int. Symp. Power Semiconductor Devices IC's (ISPSD), 2015: 41-44.
- [59] Zhou C, Jiang Q, Huang S, et al. Vertical leakage/breakdown mechanisms in AlGaIn/GaN-on-Si devices[J]. IEEE Electron Device Lett., 2012, 33(8): 1132-1134.
- [60] Hung S-H, Wang T-W, Cho C-W, et al. Field Plate and Package Optimization for GaN Devices and Systems[C]. 2024 IEEE Symposium on VLSI Technology and Circuits (VLSI Technology and Circuits), 2024: 1-2.
- [61] Huang S, Jiang Q, Yang S, et al. Mechanism of PEALD-grown AlN passivation for AlGaIn/GaN HEMTs: Compensation of interface traps by polarization charges[J]. IEEE Electron Device Lett., 2013, 34(2): 193-195.

- [62] Moens P, Banerjee A, Uren M J, et al. Impact of buffer leakage on intrinsic reliability of 650 V AlGaIn/GaN HEMTs[C]. Proc. IEEE Int. Electron Devices Meeting, 2015: 35.2.1-35.2.4.
- [63] Canato E, Meneghini M, De Santi C, et al. OFF-state trapping phenomena in GaN HEMTs: Interplay between gate trapping, acceptor ionization and positive charge redistribution[J]. Microelectron. Reliab., 2020, 114: 113841.
- [64] Cioni M, Zagni N, Iucolano F, et al. Partial recovery of dynamic Ron versus OFF-state stress voltage in p-GaN gate AlGaIn/GaN power HEMTs[J]. IEEE Trans. Electron Devices, 2021, 68(10): 4862-4868.

PMIC内部资料 严禁外传

作者简介及在学期间主要研究成果

- [1]姜旭, 蔡博程, 基于多组双脉冲测试的 GaN 器件高温动态电阻评估[J].电工技术, 2027, 1.
- [2] Jiang X, Wu X, Sun J, et al. Dynamic On-Resistance Characterization of GaN HEMTs under High Temperature Using Multigroup Double Pulse Test[C]. PCIM Asia Shanghai Conference 2025; International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management, Shanghai, China, 2025: 289-295.
- [3] Jiang X, Cai B, Li X, et al. Dynamic On-resistance Evaluation of GaN Devices under High Temperature by Different Stressing Time between Neighboring Groups of Pulses[J]. IEEE Trans. Power Electron. (审稿中)

PMIC内部资料 严禁外传