

分类号： TM46
密 级： 公开

单位代码： 10335
学 号： 22310006

浙江大学
硕士学位论文



中文论文题目： 串联型碳化硅功率模块的过流保护
与结温检测技术研究

英文论文题目： Overcurrent Protection and Junction
Temperature Detection Techniques for
Series-Connected SiC Power Modules

申请人姓名： 侯淳耀
指 导 教 师： 邵帅
合 作 导 师： _____
专 业 名 称： 电气工程
研 究 方 向： 电力电子与电气传动
所 在 学 院： 电气工程学院

论文提交日期： 2026 年 5 月

串联型碳化硅功率模块的过流保护

与结温检测技术研究



论文作者签名: 侯厚耀

指导教师签名: 邵帅

论文评阅人 1: 隐名评阅

评阅人 2: 隐名评阅

评阅人 3: 隐名评阅

评阅人 4:

评阅人 5:

答辩委员会主席: 谢小高

委员 1: 张军明

委员 2: 吴新科

委员 3: 杨永恒

委员 4:

委员 5:

答辩日期: 2026.5.28

浙江大学研究生学位论文独创性声明

本人声明所呈交的学位论文是本人在导师指导下进行的研究工作及取得的研究成果。除了文中特别加以标注和致谢的地方外，论文中不包含其他人已经发表或撰写过的研究成果，也不包含为获得 浙江大学 或其他教育机构的学位或证书而使用过的材料。与我一同工作的同志对本研究所做的任何贡献均已在论文中作了明确的说明并表示谢意。

学位论文作者签名：侯淳耀

签字日期：2026 年 6 月 3 日

学位论文版权使用授权书

本学位论文作者完全了解 浙江大学 有权保留并向国家有关部门或机构送交本论文的复印件和磁盘，允许论文被查阅和借阅。本人授权 浙江大学 可以将学位论文的全部或部分内容编入有关数据库进行检索和传播，可以采用影印、缩印或扫描等复制手段保存、汇编学位论文。

（保密的学位论文在解密后适用本授权书）

学位论文作者签名：侯淳耀

导师签名：

邵明

签字日期：2026 年 6 月 3 日

签字日期：2026 年 6 月 4 日

本论文工作得到

国家重点研发计划 2023YFB3209900
“宽温域高精度量子电流敏感元件及传感器”

资助

谨致感谢！

致 谢

许多年以后，面对工作，我也一定会想起，第一次来到大功率实验室读研的那个遥远的下午。彼时，我怀揣着初生牛犊般的无知与自信，踏上了这段未知的学术旅程；如今，三年寒暑转瞬即逝，回首往昔，这段时光竟如梦幻般不真实。值此落笔之际，心中万千感慨，唯有借这一纸致谢，向每一位在我研究生生涯中给予指引、包容与支持的师长、同窗与亲友，致以我最深沉的敬意与感谢。

首先，我要向我的导师邵帅老师致以最衷心的感谢。邵老师为人如春风拂面，谦谦君子，有英伦绅士之风。在学术探索的道路上，面对基础薄弱的我，邵老师始终耐心引导，以其深刻的洞见与独到的视角，为我指点迷津。而在学业之外，生活中的邵老师，更给予我们无微不至的关怀，从春秋踏青的惬意时光，到对 AI 前沿动态的视野拓宽，您始终引领我不断前行。邵老师的言传身教，将是我受益终身的财富。此外，我还要特别感谢张军明老师与周大姐。张军明老师在学术与就业上给予了我无私的帮助与点拨；周大姐则在财务行政与日常生活中，始终悉心照料着课题组的每一位成员。在此，衷心祝愿老师们身体安康，事业顺遂；也愿我们大功率实验室的大家庭硕果累累。

其次，我还要向大功率实验室的所有师兄师姐与师弟们致以最真挚的谢意。感谢崔文韬、高枝、杨德秋、王楠、王雨琛、陈张昊、施逸能、吴彤、张光耀、袁钰淼、栾澳祖、王岩、朱志豪、邵可炜、郑柏训等师兄师姐；感谢周伟强、宗雨健、楼安、杜文琦、王斌昊、姜旭等同窗；感谢郭涛、江一博、张明轩、蒋赵晖、裴家和、林俊如、傅超伟、王超俊、陈甫玄、刘俊、童煜棋、韩新同、杜居衡等师弟在科研上的陪伴与帮助。特别感谢祖哥在我初入课题组时毫无保留的引领，让懵懂的我得以快速适应；特别感谢涛硕在对拖样机搭建过程中的鼎力支持，让实验难题迎刃而解；特别感谢周博、楼哥与健哥，每一次的思想碰撞与深入讨论，都为我的思维注入了源源不断的灵感；特别感谢能哥，那些共同奋战的时光，至今仍是我不断前行的动力源泉。正是你们的陪伴与帮助，让原本枯燥的学术探索变得生动而充满力量。

接下来，我还要向所有在我生活中给予温暖与陪伴的朋友们致以最诚挚的谢意。感谢周子杰、徐夏梓孺，以及 341 寝室的兄弟们——杜文琦、王元宇。谢谢你们在学业与生活上对我的关照，我们一同分担焦虑，共享喜悦，在杭州这座美食荒漠里，那段寻味

大街小巷的周末时光，将成为我记忆中闪闪发光的片段。感谢丁真珍、徐熠阳、陈晓楠、赵鹏博、宋亚冬、王宇轩、宋子钰，我们一多半相识近十年，虽渐行渐远，天各一方，但正如古人所云：“海内存知己，天涯若比邻”，这份跨越时光的友谊，是我内心最坚实的支撑。同时，感谢刘鑫在我毕业论文撰写过程中给予的悉心帮助，衷心祝愿你毕业顺利，前程似锦。还要感谢 CC98 论坛，感谢张一、祝潘斌、胡高佳乐、朱辰恺、胡锦瑶、陆亦澄、孟航宇、邹芮、王嘉梁、张万霆等伙伴。在时政讨论区与信息区挥斥方遒的日子，构成了我浙大七年最纯粹、最快乐的回忆之一。愿 CC98 这片属于浙大人的精神家园，永远繁荣，薪火相传。

此外，我还要特别感谢在富特科技实习的那段宝贵时光。是这段经历，为我打开了通往工业界的大门，让我接触到了最前沿、最专业的工程实践。感谢廖明荣、陈威、李钊等前辈的倾囊相授，让我在项目中快速成长，积累了弥足珍贵的经验；感谢怀仲康、陶斯力等领导的关怀与厚爱，尤其是在我深陷秋招压力、频频请假的日子里，是你们的体谅与包容，给予了我最大的助力；还要特别感谢郑有为对我工作和生活上的善意与照料，食堂早饭的葱油拌面依然是我心目中的杭州最佳。衷心祝愿大家身体安康，事业顺遂；也真诚祝愿富特科技蒸蒸日上，成为杭州电源行业中最璀璨的明珠！

之后，我更要由衷感谢我的家人们。远离故土，求学七载，你们始终是我背后最温暖、最坚定的力量。感谢你们多年来在物质与精神上毫无保留的呵护，让我能够心无旁骛地追逐梦想。你们的每一次叮嘱、每一次鼓励，都成为我走出低谷、直面挑战的勇气来源。所有的硕果，皆因有你们的一路陪伴与爱护；愿你们身体康健，余生顺遂，这也是我心底最深切的祈愿。

最后，我要感谢我自己，化用王国维在《人间词话》中的语句：古今之读研者，必经过三种之境界：“欲将心事付瑶琴。知音少，弦断有谁听”，此第一境也。“悲欢离合总无情，一任阶前点滴到天明”，此第二境也。“吾不识青天高，黄地厚。唯见月寒日暖，来煎人寿”，此第三境也。本科毕业时，我曾满怀壮志地豪言：“他日若遂凌云志，敢笑黄巢不丈夫。”而今三年期满，褪去那份青涩与狂气，回望这段岁月，只觉：“一川烟草，满城风絮，梅子黄时雨。”

再次感谢大家，祝我们前程似锦，后会有期！

侯淳耀

2026.5.30 于玉泉电工厂

摘要

采用低压 SiC MOSFET 直接串联是构建高功率密度中压电力电子装备的重要技术路线。面向大功率应用,通常需要将多颗 SiC MOSFET 芯片通过串并联方式集成封装,形成高压、大电流 SiC 功率模块。然而,此类模块内部芯片数量多、结构复杂,同时存在芯片并联均流、器件串联均压及热耦合等问题,易引发电-热失稳。因此,构建完善的电应力防护与热状态评估,是保障其可靠运行的前提。围绕上述问题,本文以高压大电流 SiC MOSFET 串联功率模块为研究对象,开展了过流保护及结温检测技术研究。

首先,针对器件串联型 SiC 模块对快速过流检测及故障信号同步下发的需求,提出了基于集成隧道磁电阻(Tunnel Magnetoresistance, TMR)电流传感器与光隔离同步分发的过流保护技术。该技术采用 TMR 传感器非侵入测量模块电流,并通过阈值比较实现故障判定。通过三维有限元仿真优化传感器安装位置,并设计 RC 极点补偿电路,降低集肤效应和空间磁场耦合对电流测量的影响,实现高带宽、低延迟电流检测。同时,引入一对多光纤与高速跨阻放大电路,实现多路故障信号的低延迟、高同步分发。测试结果表明,该技术“测量—判定—下发”全链路响应时间为 81.6 ns,各支路同步偏差小于 230 ps,验证了该技术在 SiC MOSFET 串联模块过流保护中的有效性。

其次,针对 SiC MOSFET 串联模块内部芯片结温难以直接测量的问题,提出了基于体二极管正向压降 V_{sd} 的结温检测方法。针对在变换器关停后检测时因固有测量延迟引起的温降偏差,在 K 系数法基础上引入一维热传导“平方根 t 法”进行零点补偿,实现了关断瞬时真实结温的精确反推。为提高复杂工况下的测量精度与抗干扰能力,本文研制了集成恒流源选通与差分隔离功能的专用测量电路,并设计了相应的关断时序逻辑以抑制开关瞬态电磁干扰。经单管及器件串联模组对拖实验验证,实测结温偏差控制在 2 °C 以内,证明了该方法在器件串联型 SiC 功率模块结温检测中的准确性与适用性。

本文研究结果可为器件串联型 SiC 功率模块在中压高功率密度电力电子装备中的工程应用提供参考。

关键词: SiC 器件串联模块;隧道磁电阻(TMR);一对多光纤;过流保护;结温检测

ABSTRACT

Driven by the development of medium-voltage power electronic equipment towards high power density, utilizing series-connected low-voltage SiC MOSFETs to achieve high voltage blocking and high-frequency operation has emerged as a crucial technical approach for constructing medium-voltage converters. For high-power applications, it is necessary to integrate and package multiple SiC MOSFET chips in series and parallel configurations to form high-voltage, high-current SiC power modules. However, the high chip count and complex internal structure of such modules introduce challenges—such as current sharing among parallel chips, voltage balancing across series devices, and thermal coupling—which can easily trigger electro-thermal instability. Consequently, establishing robust electrical stress protection and thermal state assessment mechanisms is a prerequisite for ensuring reliable operation. Addressing these issues, this paper focuses on high-voltage, high-current SiC MOSFET series-connected power modules and investigates overcurrent protection and junction temperature monitoring technologies.

Firstly, aiming at the requirements of series-connected SiC modules for rapid overcurrent detection and synchronized fault signal distribution, an overcurrent protection technology based on integrated Tunnel Magnetoresistance (TMR) current sensors and optically isolated synchronous distribution technology is proposed. This technology employs TMR sensors for non-intrusive module current measurement and realizes fault determination through threshold comparison. Three-dimensional finite element simulations are utilized to optimize the sensor installation positions, and an RC pole compensation circuit is designed to mitigate the impacts of the skin effect and spatial magnetic field coupling on current measurement, thereby achieving high-bandwidth and low-latency current detection. Meanwhile, a one-to-many optical fiber topology combined with a high-speed transimpedance amplifier circuit is introduced to accomplish the low-latency and highly synchronized distribution of multiple fault signals. Test results indicate that the full-link response time of the "measurement-determination-distribution" process is 81.6 ns, and the synchronization deviation among branches is less than 230 ps, which verifies the effectiveness of the proposed technology in the overcurrent protection of series-connected SiC MOSFET modules.

Secondly, addressing the difficulty of directly measuring the internal chip junction

temperature in series-connected SiC MOSFET modules, a junction temperature measurement method based on the body diode forward voltage drop (V_{sd}) is proposed. To tackle the temperature drop deviation caused by inherent measurement delays when detecting after the converter shuts down, a one-dimensional heat conduction "square root of t " method is incorporated into the traditional K-factor method for zero-point compensation. This realizes an accurate backward inference of the actual junction temperature at the exact instant of turn-off. To enhance measurement accuracy and anti-interference capability under complex operating conditions, a dedicated measurement circuit integrating constant-current source gating and differential isolation functions is developed, and a corresponding turn-off timing logic is designed to suppress switching transient electromagnetic interference (EMI). Validated by single device and back-to-back experiments on series-connected device modules, the proposed method successfully controls the measured junction temperature deviation within 2 °C, demonstrating the accuracy and applicability of the proposed method in the junction temperature measurement of series-connected SiC power modules.

The research results of this paper can provide valuable references for the engineering application of series-connected SiC power modules in medium-voltage, high-power-density power electronic equipment.

KEY WORDS: Series-connected SiC MOSFET modules; Tunnel Magnetoresistance (TMR); One-to-many optical fiber; Overcurrent protection; Junction temperature detection

目 录

致 谢	II
摘 要	IV
ABSTRACT	V
目 录	VII
图 目 录	IX
表 目 录	XIII
第 1 章 绪论	1
1.1 研究背景及意义	1
1.2 器件串联型 SiC 功率模块研究现状	3
1.3 SiC MOSFET 过流与短路故障检测研究现状	5
1.4 SiC MOSFET 结温检测研究现状	9
1.4.1 物理接触法	9
1.4.2 光学法	10
1.4.3 温敏电参数法 (TSEP)	11
1.5 本文主要研究内容	12
第 2 章 面向器件串联型碳化硅功率模块的过流保护技术	16
2.1 集成 TMR 的电流测量与故障判定	16
2.1.1 隧道磁电阻	17
2.1.2 TMR 电流传感器	18
2.1.3 TMR 电流传感器最佳安装位置	20
2.1.4 基于阈值比较的故障判定电路	25
2.2 电流信号噪声的滤除	28
2.2.1 波形畸变现象与产生机理	28
2.2.2 基于极点补偿的互感噪声抑制技术	31
2.3 基于一对多光纤与光电转换的故障下达装置	33
2.3.1 一对多光纤	33

2.3.2 光电转换电路设计	34
2.4 面向 SiC 器件串联模块的过流保护技术实验验证	44
2.4.1 集成式 TMR 电流传感器性能测试	44
2.4.2 基于阈值比较的故障判定电路测试	47
2.4.3 基于光隔离信号分发的故障下达装置性能测试	48
2.4.4 面向 SiC 器件串联模块的过流保护技术性能验证	49
2.5 本章小结	52
第 3 章 面向器件串联型碳化硅功率模块的结温检测方法	53
3.1 小电流体二极管压降作为温敏参数的 SiC MOSFET 结温测量	53
3.1.1 MOSFET 物理结构分析	53
3.1.2 K 系数法	54
3.1.3 平方根 t 法零点校正	55
3.2 体二极管压降提取电路设计与性能测试	62
3.2.1 体二极管压降提取电路设计	62
3.2.2 体二极管压降提取电路性能测试	64
3.3 基于体二极管压降的结温检测方法实验验证	65
3.3.1 单管的实验验证	65
3.3.2 器件串联模组对拖实验验证	67
3.4 本章小结	73
第 4 章 总结与展望	74
4.1 工作总结	74
4.2 后期展望	75
参考文献	76
攻读硕士学位期间取得的研究成果	84

图 目 录

图 1-1 典型的 VSC 应用	1
图 1-2 SiC 芯片比导通电阻随耐压变化曲线	2
图 1-3 三串两并结构的 3600 V/80 A SiC 串联模块 ^[20]	3
图 1-4 基于引线键合的两器件串联半桥模块 ^[21]	4
图 1-5 基于无引线键合封装的六器件串联模块示意图 ^[22]	4
图 1-6 集成有源箝位回路的 SiC MOSFET 单元模块 ^[23]	4
图 1-7 SiC MOSFET(C2M0080120D, 1200 V/24 A @100 °C)和 Si IGBT (IKW25N120H3, 1200 V/25 A@100 °C)的临界短路测试的电流波形 ^[24]	5
图 1-8 基于改进型退饱和技术的过流与短路保护技术	6
图 1-9 集成电流测量的 SiC MOSFET 芯片 ^[32]	7
图 1-10 基于开尔文电感的短路检测电路 ^{[34]-[36]}	7
图 1-11 基于集成罗氏线圈的短路检测技术 ^{[37][38]}	8
图 1-12 基于集成 TMR 电流检测的过流与短路保护技术 ^[41]	8
图 1-13 集成 NTC 的 SiC 功率模块(CREE 1200 V/20 A, CCS020M12CM2) ^[43]	10
图 1-14 热网络改进 NTC 结温检测 ^[44]	10
图 1-15 SiC MOSFET 内部集成热敏元件以实现结温检测	10
图 1-16 光学法结温检测	11
图 1-17 基于有源箝位技术的 7.2 kV/240 A SiC 器件串联模块示意图 ^[57]	13
图 1-18 有源箝位电路 ^[58]	13
图 1-19 5 kV 下有源箝位电路均压结果 ^[60]	14
图 1-20 本文第二、三章的主要研究内容示意图	15
图 2-1 磁隧道结结构与其阻值随外界磁场变化特性	17
图 2-2 一种 TMR 裸片示意图 ^[67]	17
图 2-3 不同方向磁场对磁电阻阻值的影响	18
图 2-4 TMR 电流传感器的电路结构图与实物图	18
图 2-5 TMR 电流传感器检测电流时信号的转换过程	20
图 2-6 7.2 kV SiC MOSFET 串联模块实物与结构示意图	20

图 2-7 TMR 传感器可能的安装位置	21
图 2-8 集肤效应示意图	22
图 2-9 器件串联模块仿真模型示意图	23
图 2-10 $Z=0.6\text{mm}$ 时的 $-B_y$ 与 Y 的关系	23
图 2-11 $f=1\text{Hz}, 1\text{MHz}$ 时的磁场分布	24
图 2-12 $f=1\text{Hz}, 1\text{MHz}$ 时的 YZ 平面的磁场分布	24
图 2-13 $Z=3\text{mm}$ 时的 $-B_y$ 与 Y 的关系	25
图 2-14 $Z=3.8\text{mm}$ 时的 $-B_y$ 与 Y 的关系	25
图 2-15 基于阈值比较的故障判定电路	26
图 2-16 过流保护电路仿真结果	27
图 2-17 集成式 TMR 高频三角波测试平台	28
图 2-18 1.5MHz 三角波电流的测量波形	29
图 2-19 1MHz 三角波电流的噪声波形	29
图 2-20 半桥电路 TMR 输出等效模型 ^[72]	30
图 2-21 磁场耦合图	30
图 2-22 互感噪声等效电路模型	31
图 2-23 TMR 传感器信号叠加关系	31
图 2-24 RC 极点补偿网络示意图	32
图 2-25 $R=25\ \Omega$, $C=4.7\ \text{nF}$, $500\ \text{kHz}$, $1\ \text{MHz}$ 和 $1.5\ \text{MHz}$ 互感噪声补偿效果	32
图 2-26 一对一光纤头与一对八光纤模块示意图 ^[74]	34
图 2-27 电-光转换电路图	34
图 2-28 SFH213 光电流与暗电流特性曲线 ^[75]	35
图 2-29 单位增益稳定运放和非完全补偿运放的幅频曲线 ^[76]	36
图 2-30 考虑偏置电流的运放零输入响应电路示意图	37
图 2-31 偏置电流与输出漂移电压关系验证实验	38
图 2-32 $R_2=200\ \text{k}\Omega$, R_1 不同取值下的 TIA 输出	39
图 2-33 基于同相放大器的光-电转换电路	40
图 2-34 同相放大电路仿真结果	40
图 2-35 基于 TIA 的光-电转换电路	41

图 2-36 同相放大器闭环与开环等效电路.....	41
图 2-37 同相放大电路反馈环路图.....	42
图 2-38 TIA 闭环与开环电路.....	42
图 2-39 TIA 电路环路图.....	43
图 2-40 TIA 电路与同相放大电路仿真结果对比图.....	43
图 2-41 基于一对多光纤与光电转换的故障下达装置实物图.....	44
图 2-42 面向 SiC MOSFET 串联模块的过流保护系统框架图.....	44
图 2-43 双脉冲测试平台实物与电路图.....	45
图 2-44 仿真选取的最佳位置（星形）与对比位置（三角形）.....	45
图 2-45 最佳位置双脉冲测试结果.....	46
图 2-46 对照位置双脉冲测试结果.....	47
图 2-47 基于阈值比较的故障判定电路实物图.....	48
图 2-48 故障判定电路双脉冲性能测试.....	48
图 2-49 基于光隔离信号分发的故障快速响应装置电路结构图.....	49
图 2-50 基于光隔离信号分发装置的故障响应时间.....	49
图 2-51 面向 SiC 器件串联模块的过流保护技术的短路测试平台.....	50
图 2-52 短路测试与延时测量.....	51
图 2-53 所提技术与传统方案响应延迟对比分析.....	51
图 3-1 SiC MOSFET 基本结构.....	54
图 3-2 MOSFET K 系数标定电路.....	54
图 3-3 功率芯片散热建模示意图.....	56
图 3-4 一维与二维模型归一化热阻对比图.....	58
图 3-5 分离点选取图.....	59
图 3-6 模块结构截面示意图.....	61
图 3-7 SiC MOSFET 模块结温仿真结果：不同时刻温度分布云图.....	61
图 3-8 SiC MOSFET 模块结温仿真结果：不同时刻温度芯片间热耦合情况.....	61
图 3-9 SiC MOSFET 模块结温仿真结果：结温随时间的 1/2 次方变化曲线.....	61
图 3-10 体二极管压降提取电路原理图.....	62
图 3-11 恒流源选通电路工作模态.....	63

图 3-12 C3M0021120K 体二极管 K 系数拟合图.....	64
图 3-13 恒温油浴锅.....	65
图 3-14 器件开盖处理流程图.....	66
图 3-15 单管结温测试电路图与实物图.....	66
图 3-16 负载电流 17A 时的测试结果.....	67
图 3-17 电流方向对器件串联模块结温检测电路的影响.....	68
图 3-18 器件串联结温检测时序设计图.....	69
图 3-19 针对器件串联模组的结温检测.....	69
图 3-20 对拖测试电路图.....	70
图 3-21 粘贴热电偶处理流程图.....	70
图 3-22 对拖样机实物图.....	71
图 3-23 器件串联模块对拖测试结温检测结果.....	72

表 目 录

表 1-1 近年来典型高压 SiC MOSFET 芯片与模块.....	2
表 1-2 SiC MOSFET 过流与短路故障检测方法对比.....	9
表 1-3 SiC MOSFET 温敏电参数法对比 ^[56]	11
表 2-1 集肤效应仿真条件设置.....	22
表 2-2 OPA836 关键参数	27
表 2-3 考虑偏置电流的运放模型验证.....	38
表 2-4 测试电路的主要参数.....	45
表 2-5 不同位置 TMR 电流传感器输出性能的比较	46
表 2-6 面向 SiC 器件串联模块的过流保护技术延时分解表.....	51
表 3-1 平方根 t 法零点校正仿真条件设置.....	60
表 3-2 体二极管压降提取电路的器件选型.....	64
表 3-3 体二极管压降电参数法结温与油浴锅设定温度对比.....	65
表 3-4 单管的体二极管压降电参数法实验验证.....	67
表 3-5 热电偶测温准确性实验验证.....	71
表 3-6 对拖实验样机参数.....	71
表 3-7 器件串联模块的体二极管压降电参数法实验验证.....	72

第 1 章 绪论

1.1 研究背景及意义

在现代电力系统中，中压电压源换流器（Voltage Source Converter, VSC）是实现中压交流电网柔性互联、构建中压交直流混合配电网以及实现高压电网潮流调控的关键装备^[1]。在众多中压 VSC 拓扑中，模块化多电平变换器（Modular Multilevel Converter, MMC）因具有模块化、高效率、高可靠、输出波形质量高等优点^{[2]-[5]}，已成为中压 VSC 的主流技术方案。

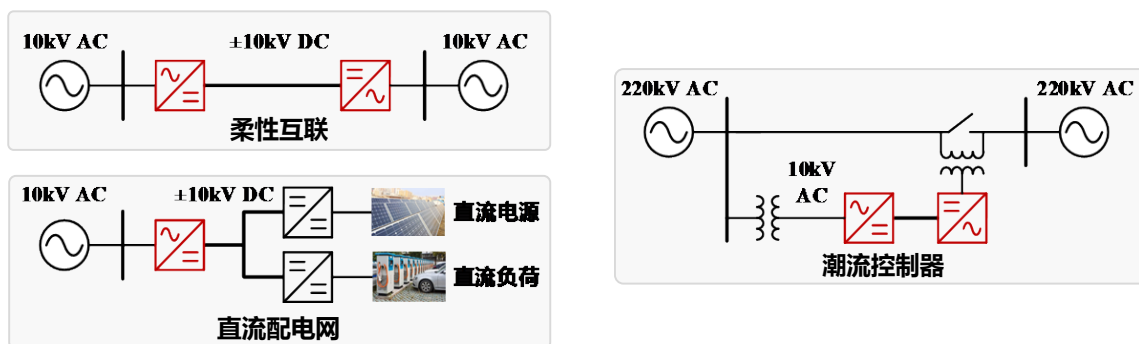


图 1-1 典型的 VSC 应用

当前，中压 MMC 通常采用 1.7 kV IGBT，每个子模块额定电压约为 830 V，整个系统一般包含至少 144 个子模块。由于各子模块电容需要处理桥臂工频电流，其电容值通常可达数 mF 到 10 mF 量级。上述因素导致 MMC 功率密度低、占地面积大^[6]，如珠海“互联网+”柔性直流配电网鸡山 I 换流站^[7]，其 10 MW MMC 工程的占地面积可达 34.6 m²。

第三代宽禁带半导体器件 SiC MOSFET 具有开关速度高、耐高压和耐高温等优点^[8]，为解决中压换流器体积大、功率密度低的问题提供了新的技术路径。采用 SiC 器件降低 MMC 复杂度的一种思路，是直接使用高压 SiC MOSFET。自 2011 年起，Cree 等公司开始研发 6.5 kV~15 kV SiC MOSFET 工程样品^[9]，通用电气、苏黎世联邦理工学院等也基于此开展了中压换流器样机研究，表 1-1 列举了近年来部分典型的高压 SiC MOSFET 器件与功率模块性能参数。

表 1-1 近年来典型高压 SiC MOSFET 芯片与模块

文献	年份	机构/公司	电压/kV	电流/A	类别
[9]	2011	Cree	10	10	芯片
[10]	2014	Cree	15	10	芯片
[11]	2016	Cree	10	240	半桥模块
[12]	2017	ROHM	6.5	30	芯片
[13]	2018	三菱	6.5	400	半桥模块
[14]	2018	Cree	10	20	芯片
[15]	2020	中电 55 所	6.5	400	半桥模块
[16]	2021	GenSiC	3.3	63	芯片
[17]	2023	国家电网	18	125	单开关模块
[18]	2024	Infineon	3.3	1000	半桥模块

然而，高压 SiC MOSFET 实用化仍面临诸多挑战。一方面，这类高压芯片通常需要较厚的外延层，例如 10 kV 器件的外延层厚度可达约 100 μm，同时还需要较宽的终端结构，从而导致芯片成品率较低、制造成本较高，且器件长期可靠性仍有待进一步验证。另一方面，作为单极型器件，SiC MOSFET 比导通电阻($R_{ds(on),sp}$)与耐压等级 V_B 近似满足 $R_{ds(on),sp} \propto V_B^{2.3\sim 2.5}$ 的关系^[19]，这意味着随耐压等级提高，器件的单位面积导通性能将显著下降，如图 1-2 所示。相比之下，采用成熟的低压 SiC 器件(1.2 kV-1.7 kV)进行串联，其等效比导通电阻随串联个数的增加呈线性增长。因此，采用低压 SiC 器件串联构建中压换流器，在电力系统等大电流应用场合通常更具优势。

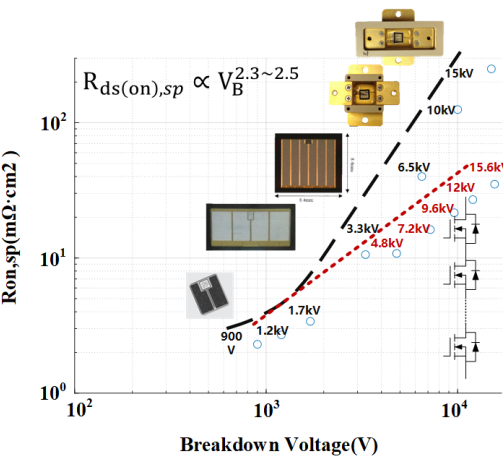


图 1-2 SiC 芯片比导通电阻随耐压变化曲线

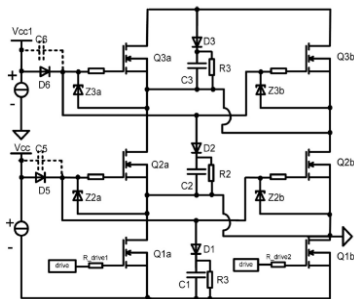
为了将低压 SiC MOSFET 串联技术进一步应用于电力系统，通常需要将多颗 SiC

MOSFET 芯片通过串并联方式集成封装，形成高压、大电流 SiC 功率模块。由于此类模块内部芯片数量多、结构复杂，同时存在芯片并联与器件串联两种耦合关系，其可靠运行不仅依赖于合理的电压均衡与热设计，也对模块内部芯片的故障检测与结温检测提出了更高要求。下文将围绕器件串联型 SiC 功率模块的实现现状、过流及短路故障检测方法以及芯片结温检测方法展开文献综述，并在此基础上进一步说明本文的研究内容与技术路线。

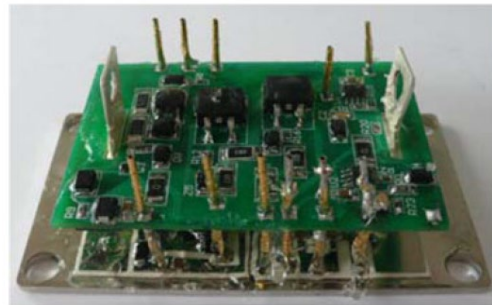
1.2 器件串联型 SiC 功率模块研究现状

器件串联型 SiC 功率模块的研究，核心在于通过封装集成将低压 SiC 芯片组合成适用于中压场合的高压模块，并在此过程中兼顾通流能力、绝缘设计、热管理及杂散参数控制。

文献[20]首次提出通过 SiC MOSFET 串联技术提升 SiC 功率模块的耐压能力，如图 1-3 所示。该方案使用 6 颗 1.2 kV/40 A 的 SiC MOSFET 裸片，采用“三串两并”的结构，封装为一个 3600 V/80 A 的高压模块。然而，该设计未对串联回路的寄生电感进行针对性优化，导致模块整体寄生电感较大。



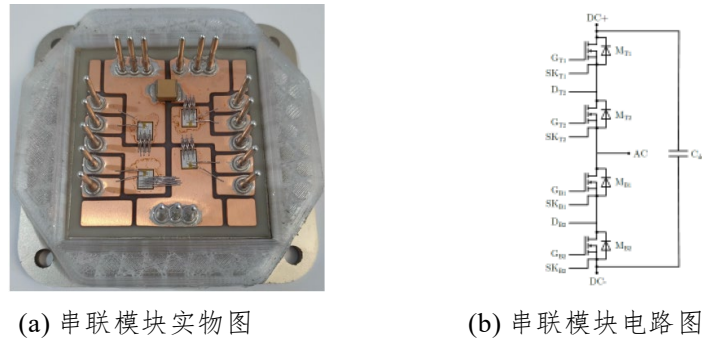
(a) 串联模块电路图



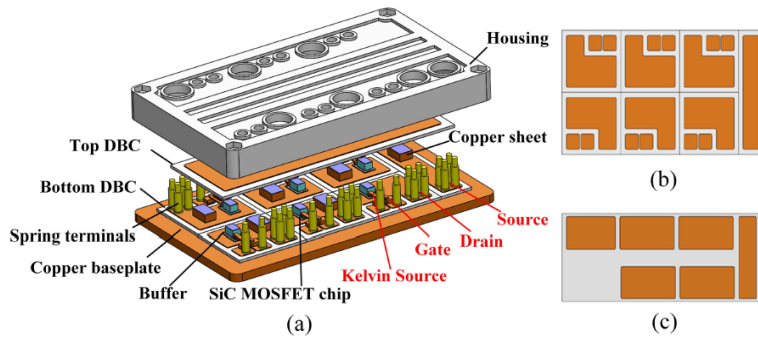
(b) 串联模块实物图

图 1-3 三串两并结构的 3600 V/80 A SiC 串联模块^[20]

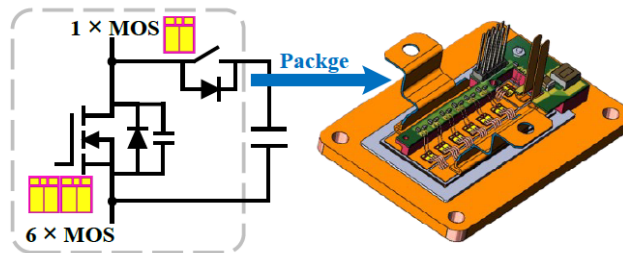
文献[21]介绍了一种基于传统引线键合工艺的串联模块，如图 1-4 所示。该方案在单桥臂内集成了两颗 1.2 kV/21 mΩ 规格的 SiC MOSFET 裸片，通过优化布线布局，将回路寄生电感有效抑制在 5.8 nH 以内，实现了 2.4 kV/100 A 的功率等级。然而，该方案单桥臂仅实现了两个器件的串联，模块整体耐压等级提升有限。

图 1-4 基于引线键合的两器件串联半桥模块^[21]

文献[22]进一步提出了一种基于平面封装工艺的串联 SiC MOSFET 模块,如图 1-5 所示。该结构通过上下双面 DBC 基板与内部金属缓冲层的垂直堆叠,较传统键合方案降低了 50%以上的寄生电感,实现了 6 颗 1.2 kV SiC MOSFET 裸片的串联,成功将单模块耐压提升至 6.5 kV。

图 1-5 基于无引线键合封装的六器件串联模块示意图^[22]

另一方面,现有的器件串联模块[20]~[22]均压方案大多采用外部 RC 或 RCD 吸收回路。这类方案在产生额外损耗的同时,也限制了 SiC MOSFET 的开关速率,更重要的是,这种被动均压方法的均压能力有限,如文献[22]中的六器件串联模块,在使用 RC 吸收回路后其器件间的不均压度仍达 8%。为改善均压性能,文献[23]研制了一种集成有源箝位回路的 SiC MOSFET 单元模块。通过将 6 个单元模块串联在 3.6 kV 直流母线上运行,在两电平变换器中成功将器件间的不均压度降至 5%以下。

图 1-6 集成有源箝位回路的 SiC MOSFET 单元模块^[23]

1.3 SiC MOSFET 过流与短路故障检测研究现状

SiC MOSFET 的短路故障电流上升速度快、峰值大,短路承受时间远低于硅 IGBT,如图 1-7 所示,相比于同电压/电流的 IGBT, SiC MOSFET 的峰值短路电流是 IGBT 的近三倍,短路承受时间仅为 IGBT 的 1/5^{[24][25]}。更重要的是,对于 SiC MOSFET 器件串联功率模块而言,一旦某一芯片或单元发生过流或短路故障,故障电流与电压应力将迅速在串联支路中重新分配,并可能进一步传播至其他健康单元,诱发过压、过热甚至连锁失效;此外,串联架构在故障停机时对同步性要求严苛,若各支路存在微小的关断延时差异,率先关断的器件将承受全部母线电压而过压击穿。因此,开发兼具强抗扰、低延迟且支持多路同步下发能力的过流与短路故障检测保护方案,是确保串联模块可靠运行的重要方向。

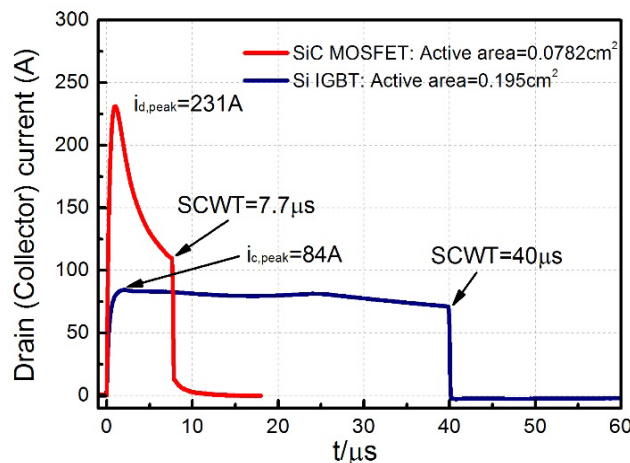
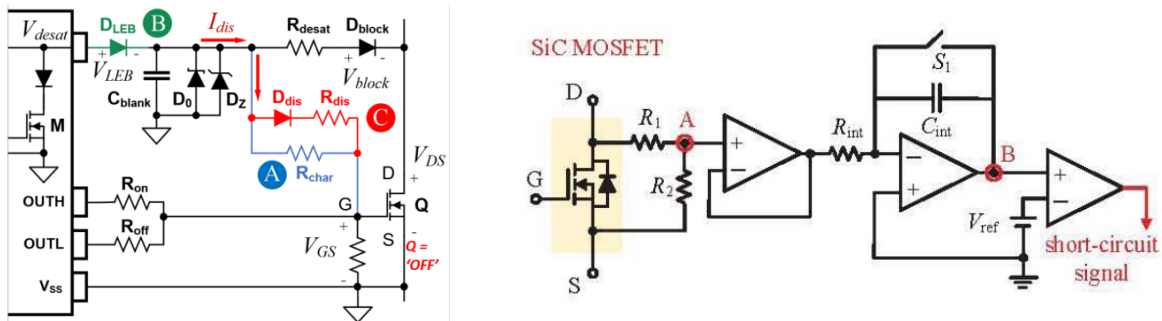


图 1-7 SiC MOSFET(C2M0080120D, 1200 V/24 A @100 °C)和 Si IGBT (IKW25N120H3, 1200 V/25 A@100 °C)的临界短路测试的电流波形^[24]

目前,源自 Si IGBT 的退饱和(DESAT)技术凭借高效率、高可靠性、低成本及结构紧凑等优势,被广泛移植并应用于 SiC 功率模块的过流与短路故障检测中。典型的驱动芯片如 TI 公司的 UCC21750,建议的消隐时间为 800 ns 至 2 μs^{[26][27]},这主要由两部分组成:一是内部将 DESAT 引脚与地短接,强行拉低引脚电压的前沿消隐时间,二是内部恒流源将消隐电容充电至触发阈值所需的时间。然而,串联模块的高电压工作环境使得其开关及故障瞬间的 dv/dt 往往高于单管工况,在使用 DESAT 技术时,为降低误触发概率,通常需要设置较长的消隐时间,但这与 SiC 器件较短的短路耐受时间存在矛盾,过长的保护延迟可能导致芯片内部温升过高,增加栅氧老化或器件损坏的风险。

针对该问题,文献[28][29]提出了一种改进型退饱和保护电路,如图 1-8(a)所示。该电路在驱动输出端与 DESAT 引脚间引入辅助充电电阻 R_{char} ,利用驱动电压提供额外的消隐电容充电电流;同时 DESAT 引脚与消隐电容间串联肖特基二极管 D_{LEB} ,以阻断消隐电容在前沿消隐阶段经内部开关 M 放电的路径,二者结合显著加快了消隐电容的充电速度,将保护响应时间缩短至 $1.45 \mu\text{s}$ 。文献[30]将传统的电压阈值比较逻辑优化为 V_{ds} 电压积分逻辑(如图 1-8(b)所示),无需消隐时间,将保护时间进一步缩短至 743 ns 。然而,总体来看,该类方法在追求更高响应速度的过程中,仍需在抑制开关瞬态噪声与缩短消隐时间之间寻找平衡。



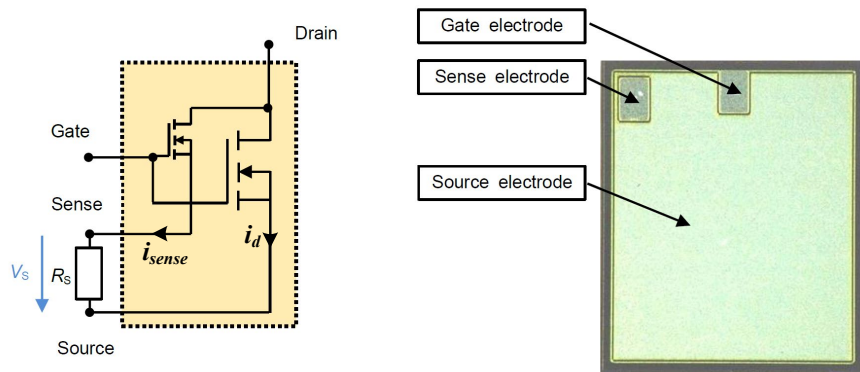
(a)提升消隐电容充电速度的改进型退饱和电路^{[28][29]}

(b)电压积分的改进型退饱和电路^[30]

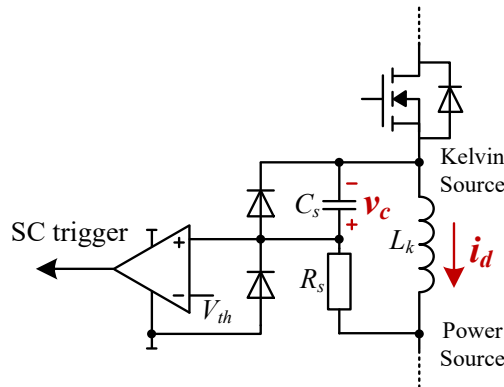
图 1-8 基于改进型退饱和技术的过流与短路保护技术

为突破消隐时间的限制进一步提升检测速度,国内外研究人员提出了多种方案,主要思路都是直接获取流经 SiC MOSFET 的电流信息。

获取电流信息最直接的方式是利用欧姆定律,在 SiC MOSFET 的功率回路串入采样电阻,即可获得 SiC MOSFET 的电流信息。然而,该方法在高压大功率场合面临功耗大、测量噪声显著以及引入额外环路电感等局限^[31]。为克服上述弊端,文献[32]提出了 SenseFET 技术:通过将功率芯片内部的一小部分晶胞专门用于电流检测,实现了低损耗测量。图 1-9 展示了其芯片结构及等效电路:流经 Sense 电极的电流 i_{sense} 与主电流 i_d 成正比,通过采样电阻将 i_{sense} 转换为电压信号,即可用于短路与过流保护。由于 Sense 电极与源极在芯片内部相互隔离,有效降低了主功率回路对测量信号的干扰。然而,该技术目前缺乏普适性,多数商用 SiC MOSFET 芯片尚未集成 Sense 电极^[33],且此类 SenseFET 模块成本也较高。

图 1-9 集成电流测量的 SiC MOSFET 芯片^[32]

法拉第电磁感应定律也能用来测量电流,文献[34]-[36]提出利用开尔文电感进行短路保护。如图 1-10 所示,该方案利用 RC 积分电路将开尔文电感上的 di/dt 信息转换为电压 v_c ,通过将 v_c 与预设阈值进行比对来判定短路故障。文献[35][36]分别基于该方案,在 170 ns (针对分立器件) 和 1.1 μ s (针对 1200 V/325 A 模块) 内实现了短路故障检测及保护。该方法电路结构简单、无需高速运放(成本较低)且保护响应快。然而,该方案难以同时满足快速短路保护与过流保护需求。一方面,积分电路会降低检测电路对慢变电流信号的敏感性,使得电流上升较缓的过流故障检测时间显著增加,甚至可能导致保护无法触发;另一方面,信号检测电路与主功率回路之间缺乏物理隔离,开关瞬态产生的尖峰电压和高频噪声易耦合至检测端,进而造成误诊断或误触发。

图 1-10 基于开尔文电感的短路检测电路^{[34]-[36]}

罗氏线圈同样是基于法拉第定律的经典电流检测方案。其基本原理如图 1-11 所示。感应主体通常为包含数百匝线圈的空心环状结构,载流导体穿过环心并与其建立互感关系。导体电流 i_d 在环中感应出电压 v_r ,该电压经积分处理后即可提取出 i_d 的交流分量。文献[37]利用多层 PCB 技术实现了罗氏线圈的集成化设计,通过基于运算放大器的积分电路拓宽了带宽,并引入屏蔽层以抑制 SiC MOSFET 高 dv/dt 产生的共模噪声,

最终实现了 470 ns 内的短路检测与软关断。然而，该技术面临较高的应用成本。运放内部普遍存在偏置电压与偏置电流，易导致积分输出漂移甚至饱和，为此需采用高性能运放并配套复杂的校准与复位电路，这显著增加了成本^[38]。此外，由于罗氏线圈无法测量直流或低频电流，其在实现准确的过流保护方面存在明显局限。

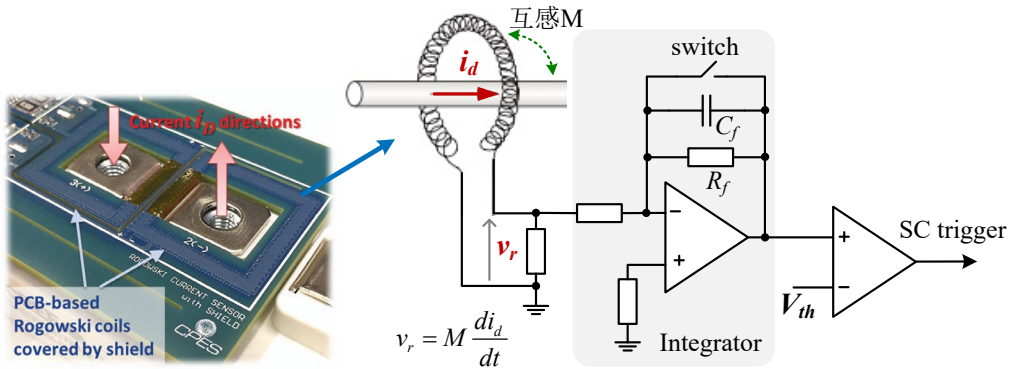


图 1-11 基于集成罗氏线圈的短路检测技术^{[37][38]}

为了弥补罗氏线圈无法测量直流及低频电流的缺陷，并保留非侵入式测量的优势，基于磁场传感器的电流检测方案受到了广泛关注。磁场传感器能够将静态与动态磁场转换为电信号，可以测量电流的直流和交流分量。典型的磁场传感器包括霍尔元件(Hall)以及 AMR、GMR、TMR 等磁电阻传感器。其中，TMR 传感器具有较高灵敏度、较高信噪比、较小体积和较低温度漂移等特点，在高带宽、小型化电流检测场合具有较好的应用潜力。然而，TMR 电流传感器难以有效区分待测磁场与干扰磁场，需结合电磁屏蔽^[39]、算法滤波^[40]或针对性的安装位置优化^[41]，以规避复杂电磁环境的影响。文献^[41]介绍了一种集成于 62 mm 半桥模块基于 TMR 的短路与过流保护技术，如图 1-12 所示，通过对 TMR 安装位点的精确寻优，实现了非侵入式且具备电气隔离能力的快速短路与过流保护。

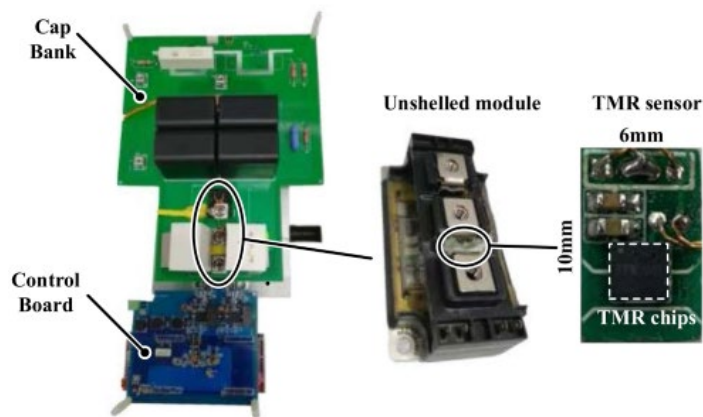


图 1-12 基于集成 TMR 电流检测的过流与短路保护技术^[41]

表 1-2 从响应速度、优点、缺点等方面对现有 SiC MOSFET 过流与短路故障检测方法进行了对比。

表 1-2 SiC MOSFET 过流与短路故障检测方法对比

检测大类	具体技术	响应速度	优点	局限性
退饱和检测	传统 DESAT	慢	成本低，结构紧凑，可靠性高	受限于瞬态噪声抑制与消隐时间的矛盾，保护时间较长
	改进型 DESAT	较慢		
直接电流检测	采样电阻法	快	简单、直接测量	功耗大，引入寄生电感
	SenseFET 法	快	损耗低、直接测量	依赖特定芯片结构，无普适性，模块成本高
间接磁感应检测	开尔文电感法	快	简单、成本低、短路响应快	无法兼顾过流保护，无物理隔离，易受开关噪声干扰
	集成罗氏线圈	较快	响应带宽高，电气隔离	无法兼顾过流保护，积分电路复杂且易漂移，成本高
	集成 TMR	较快	体积小，带宽高，兼顾过流与短路保护，电气隔离，	易受空间杂散磁场及集肤效应干扰，需优化安装位点

1.4 SiC MOSFET 结温检测研究现状

对于 SiC MOSFET 器件串联功率模块而言，模块内部通常集成了多颗芯片，并同时存在串联均压、并联均流以及芯片间热耦合等复杂关系。在此条件下，若局部芯片出现温升异常，不仅会加速器件老化，还可能改变其导通特性与动态开关特性，进而影响模块内部的电流与电压分配，甚至诱发热失稳和可靠性问题。因此，准确获取模块内部芯片的结温及其分布情况，对于 SiC 器件串联模块的可靠运行、热管理设计以及健康状态评估具有重要意义。目前，SiC MOSFET 的结温检测主要分为三大类：物理接触法、光学法以及温敏电参数法^[42]。

1.4.1 物理接触法

物理接触法是指将热电偶、热敏电阻或热敏二极管等热敏元件放置在待测器件内部以获取结温。目前，SiC MOSFET 功率模块普遍采用将 NTC 热敏电阻集成在 DBC 上的方案来监测基板温度^[43]，如图 1-13 所示。然而，该方法实际测得的是基板温度而非芯片结温，二者间存在较大偏差。

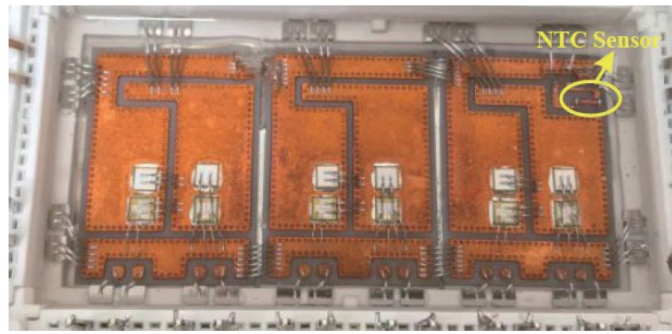


图 1-13 集成 NTC 的 SiC 功率模块(CREE 1200 V/20 A, CCS020M12CM2)^[43]

为减小测量误差，文献[44]采用二阶 Foster 模型表征 NTC 热敏电阻与芯片之间的热传导路径，进而实现结温检测，如图 1-14 所示。然而，受限于热阻热容网络的补偿机制，该方法的检测延迟较大；同时，实际运行中热参数的动态漂移会使热网络模型偏离实际工况，从而在长期运行中引入显著的测量误差。

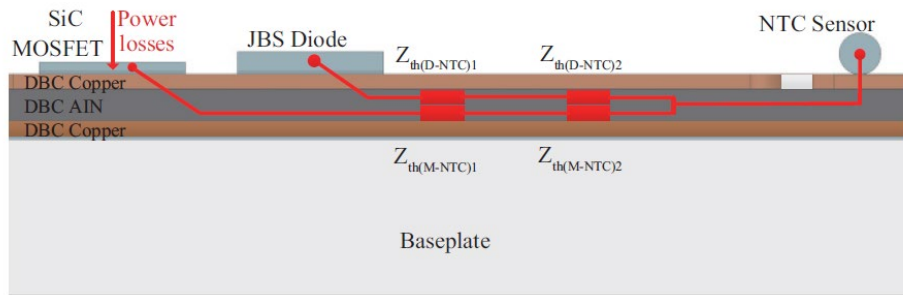
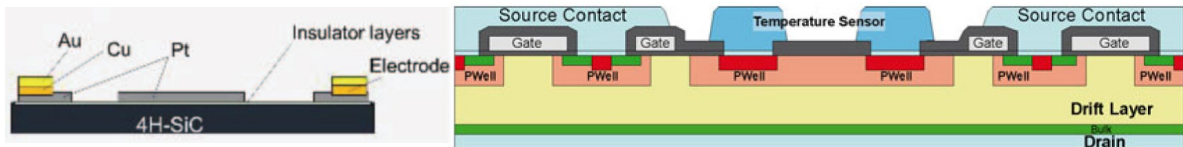


图 1-14 热网络改进 NTC 结温检测^[44]

为了进一步提升检测精度，文献[45]与[46]分别尝试在 SiC MOSFET 内部直接集成 Pt 热敏电阻或热敏二极管，如图 1-15 所示。尽管这种方式能更直接地获取结温，但此类传感器的植入通常需要改变或破坏器件原有的封装结构与设计完整性，导致其在通用功率模块中的应用受到限制。



(a)集成 Pt 热敏电阻^[45]

(b) 集成热敏二极管^[46]

图 1-15 SiC MOSFET 内部集成热敏元件以实现结温检测

1.4.2 光学法

光学测温法主要包括红外热成像(IR Camera)与热敏光学参数法(TSOP)两类。文献[47]利用红外热成像仪检测 SiC 模块结温(如图 1-16(a)所示);文献[48]则通过检测 SiC MOSFET 体二极管在特定电流下的电致发光现象实现结温测量(如图 1-16 (b)所示)。

然而，一方面，测量前需对功率器件进行破坏性预处理(如开盖)；另一方面，其响应带宽受限于测试仪器的采样率，难以实现快速结温瞬态捕获。因此，该方法在实际运行检测中应用较少，主要作为其他结温检测方案的验证基准。

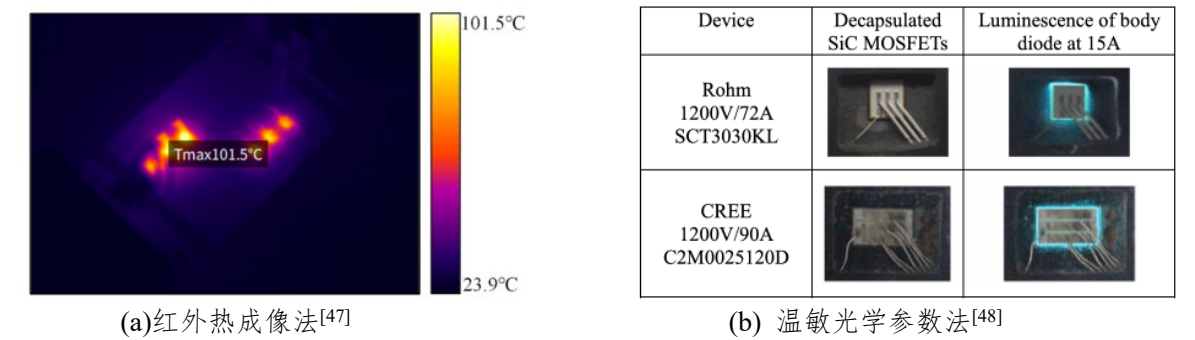


图 1-16 光学法结温检测

1.4.3 温敏电参数法（TSEP）

温敏电参数法(Temperature Sensitive Electrical Parameter, TSEP)利用功率器件内部电气参数随结温变化的物理特性，通过检测相关电参数实现对芯片结温的反推。由于该方法属于非侵入式测量，无需破坏器件原始封装即可获取结温，其在测量精度、响应速度及成本控制等方面均显著优于传统方法，在结温检测领域具有广阔的应用潜力。

目前 SiC MOSFET 的 TSEP 方法主要分为两类：基于小电流的电参数提取与基于大电流的电参数提取。前者主要包括阈值电压^[49]、小电流下体二极管压降^[50]和栅极内阻^[51]；后者包括饱和电流^[52]、大电流导通压降^[53]、导通电阻^[54]、关断延时^[55]等，表 1-3 从线性度、灵敏度、耦合量、老化一致性等维度对上述参数进行了综合评估。

表 1-3 SiC MOSFET 温敏电参数法对比^[56]

电流水平	温敏电参数	线性度	灵敏度	耦合量	老化一致性
基于小电流	阈值电压	好	-4.5 mV/°C	I_m	差
	小电流下体二极管压降	好	-2~4 mV/°C	I_m, V_{gs}	好
	栅极内阻	较好	7 mΩ/°C	V_{DC}	一般
基于大电流	饱和电流	非线性	Varying	V_{DC}, V_{gs}	差
	大电流导通压降	好	4.7~14.7 mV/°C	V_{gs}, I_L	差
	导通电阻	非线性	Varying	V_{gs}, I_L	差
	关断延时	好	12-736 ps/°C	V_{gs}, I_L, R_g	差

在电力电子应用中，理想的温敏电参数需兼具高灵敏度、高线性度及长期稳定性。然而，SiC MOSFET 现有多数 TSEP 在工程应用中仍存在不同程度的局限：在大电流工

况下，导通电阻与饱和电流不仅受结温影响，还受到载流子迁移率下降及阈值电压漂移的耦合影响，导致其随温度变化的线性度较差，难以建立精确的映射模型；关断延时虽与温度相关，但在 SiC 百纳秒级高速开关环境下，信号极易被强电磁干扰淹没，导致高精度特征提取在工程上难以实现；大电流导通压降则与键合线老化、金属层退化等封装失效因素深度耦合，无法准确区分温升与器件损伤。在小电流工况下，栅极内阻通常仅为欧姆级，极易被驱动回路的寄生阻抗所屏蔽，测量分辨率不足；而阈值电压受限于 SiC MOSFET 固有的偏压温度不稳定性(BTI)，在长期运行中易产生不可逆的零点漂移，严重制约了其作为结温检测参数的长期可靠性。综上所述，上述温敏电参数均难以在高压大电流的复杂工况下实现长期、稳定且可靠的结温检测。

相比之下，小电流体二极管正向压降具有较好的线性度和老化一致性，因而常被用作 SiC MOSFET 结温检测的基准参数。但是由于该方案需在关断沟道后向体二极管注入小电流，在实际应用中需先停机再测量。这为器件串联模块的应用带来了两大工程挑战：首先，需设计能够耐受高母线电压的测量与信号提取电路，以实现在关断瞬间快速注入电流并获取信号；其次，由于结温信号需要在器件关断后才能测得，测量延迟期间芯片温度会发生下降，因此必须对该温降进行补偿修正，方能准确反推关断瞬时的真实结温。目前，现有方案多采用无补偿读取或简单的线性外推法，但 SiC 材料的热导率较高，芯片关断后的初期冷却速率较快，无补偿或传统线性外推均会导致较大的零点误差。

1.5 本文主要研究内容

前文围绕 SiC 器件串联功率模块、SiC MOSFET 过流与短路故障检测技术以及结温检测技术进行了综述。总体来看，低压 SiC MOSFET 串联方案为构建中压高功率密度功率模块提供了有效途径，但由于模块内部芯片数量多、串并联关系复杂，其可靠运行仍面临快速过流保护以及芯片结温准确获取等技术挑战。

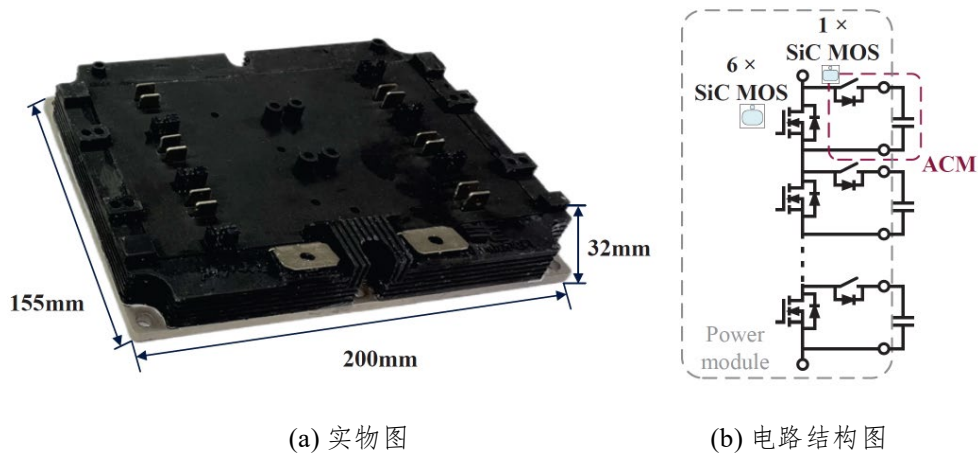


图 1-17 基于有源钳位技术的 7.2 kV/240 A SiC 器件串联模块示意图^[57]

本文以课题组前期研制的 SiC 器件串联功率模块为研究对象，如图 1-17 所示。该模块通过将多颗低压 SiC MOSFET 芯片进行串并联集成封装，实现了高电压、大电流输出能力。为实现串联器件间的电压均衡，该模块采用了课题组提出的有源钳位均压技术。该均压电路结构如图 1-18 所示，主要由并联于主功率器件两端的辅助开关管 S_a 与钳位电容 C_{AM} 组成。

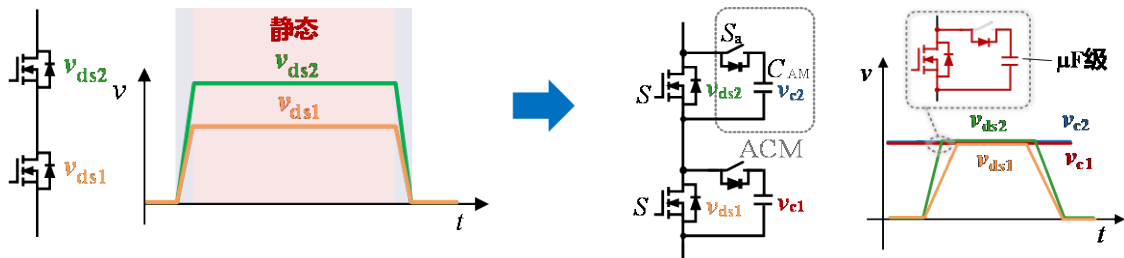
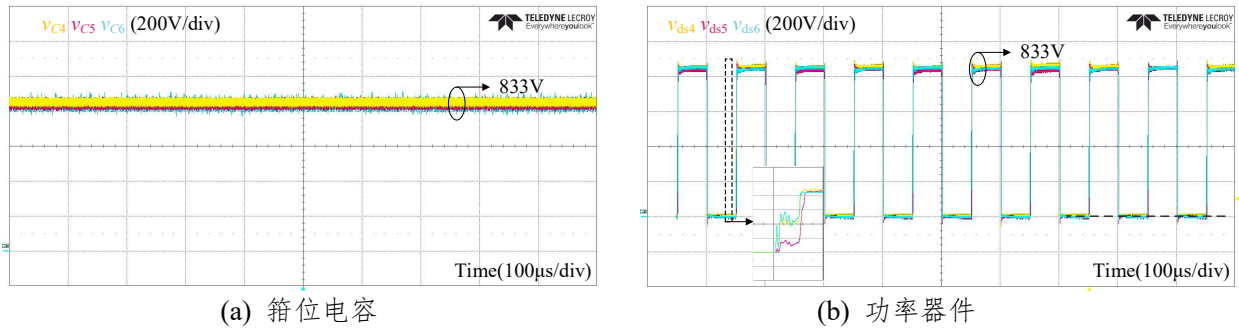


图 1-18 有源钳位电路^[58]

在工作过程中， C_{AM} 两端电压 V_c 稳定在各主功率器件关断时的稳态电压，当主功率器件关断且漏源极电压 V_{ds} 上升至超过 V_c 时，辅助开关管的反并联二极管自动导通，将主功率器件两端电压钳位至 C_{AM} 的电压。通过维持各串联支路钳位电容电压 V_c 的均衡，即可实现主功率器件间的动静态均压。文献^[58]^[59]给出了均衡钳位电容电压的控制方法，分别利用负向电流和电压压差回收钳位电容能量。图 1-19 给出了典型的钳位电容电压与串联 SiC MOSFET 均压结果，六器件串联模组在 5 kV 母线电压下，钳位电容电压实现了均衡，进而串联 SiC MOSFET 实现了良好均压，不均压度小于 5%^[60]。上述研究表明，有源钳位均压技术能够为 SiC 器件串联功率模块提供有效的电压均衡基础。

图 1-19 5 kV 下有源箅位电路均压结果^[60]

在此基础上, 为进一步提升 SiC 器件串联功率模块在大功率、高频应用环境下的可靠性, 本文围绕 SiC 器件串联模块过流保护和芯片结温检测两个方面开展研究, 如图 1-20 所示。本文各章节主要内容如下:

第一章阐述了采用低压 SiC MOSFET 串联实现高电压阻断和高频运行, 是构建中压变换器的重要技术路线。随后, 综述了器件串联型 SiC 功率模块、SiC MOSFET 过流与短路检测方法、结温检测方法的研究现状。最后, 明确了本文拟解决的核心问题与具体研究方向。

第二章针对 SiC 器件串联模块对快速过流检测以及故障信号同步下发的需求, 提出了一种过流保护技术。该技术采用 TMR 电流传感器对模块电流进行非侵入测量, 并通过阈值比较实现故障判定。通过三维有限元仿真寻优传感器安装位置, 配合 RC 极点补偿电路, 有效降低了集肤效应和空间磁场耦合对测量的干扰, 实现了高带宽、低延迟的电流检测。在信号下发端, 引入一对多光纤与高速跨阻放大电路, 以实现多路故障信号的低延迟、高同步分发。测试结果表明, 该技术完成“测量—判定—下发”全链路的响应时间仅为 81.6 ns, 各支路间的同步偏差小于 230 ps, 充分验证了其在器件串联型 SiC 功率模块过流保护中的有效性。

第三章针对 SiC MOSFET 串联模块内部芯片结温难以直接测量的问题, 提出了一种基于体二极管正向压降 V_{sd} 的结温检测方法。为消除变换器关停后因固有测量延迟而引起的芯片温降偏差, 本文在传统的 K 系数法基础上, 引入了基于一维热传导的“平方根 t 法”进行零点补偿, 成功实现了对器件关断瞬时结温的精确反推。为了提升该技术在复杂电磁工况下的测量精度与抗干扰能力, 本文针对性地研制了集成恒流源选通与差分隔离功能的专用硬件电路, 并设计了匹配的关断时序逻辑来抑制开关瞬态电磁干扰。通过单管及器件串联模組的对拖实验验证, 该方法能够将实测结温偏差控制在 2 °C 以内, 证明了其在器件串联型 SiC 功率模块结温检测中的准确性与工程适用性。

第四章对全文的研究工作进行了系统总结，并对未来发展方向进行了展望。

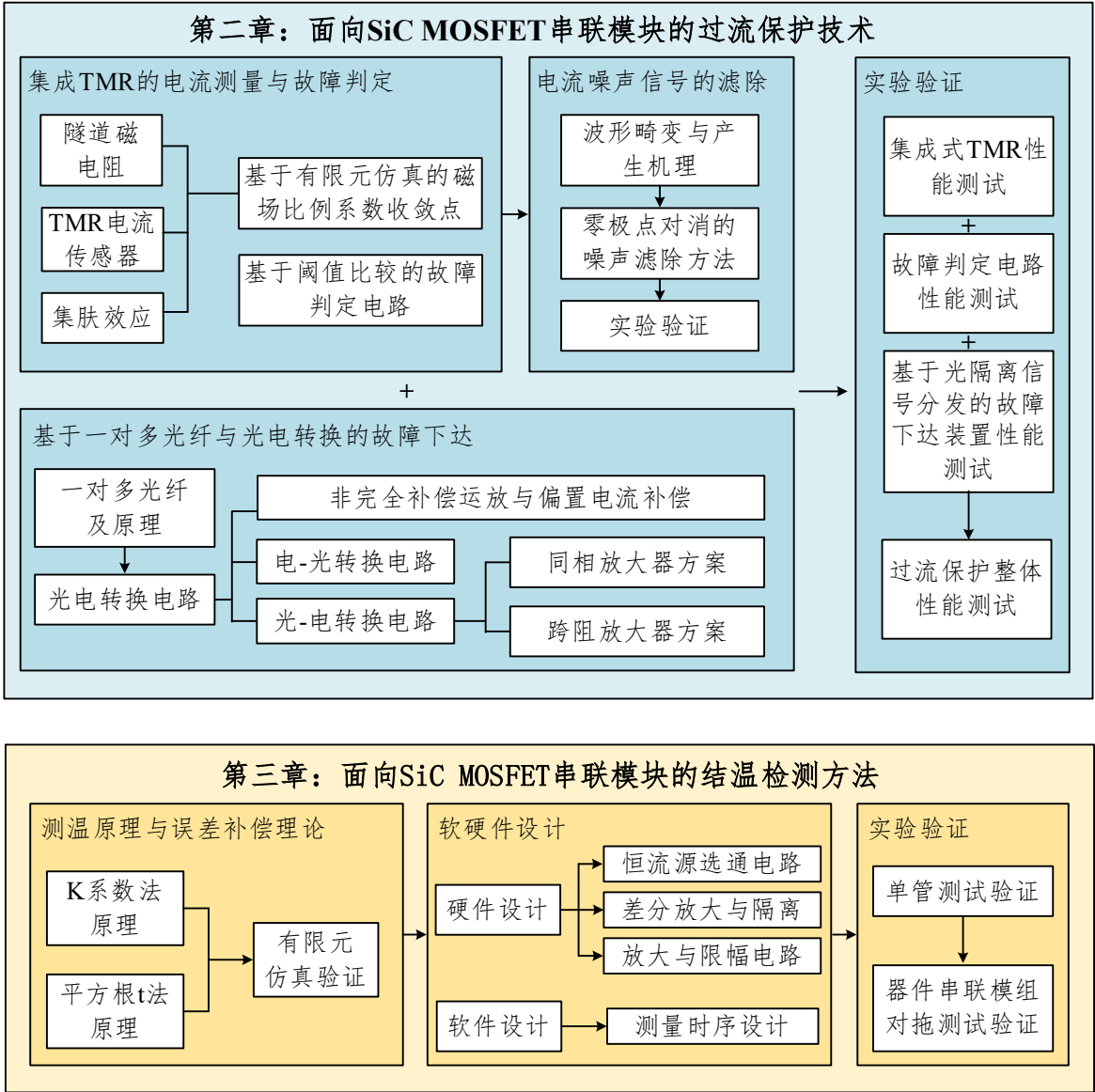


图 1-20 本文第二、三章的主要研究内容示意图

第2章 面向器件串联型碳化硅功率模块的过流保护技术

针对器件串联型碳化硅功率模块，构建快速、可靠的过流保护是保障其安全运行的关键。为此，本章基于集成式 TMR 电流传感器与一对多光纤，提出了一种面向器件串联型碳化硅功率模块的过流保护技术。

首先，为快速、可靠检测碳化硅器件串联模块过流故障，采用 TMR 传感器测量电流，并通过电流信号与保护阈值的比较完成故障判定。通过三维有限元仿真分析模块内部磁场分布，确定 TMR 传感器的最优安装位置；同时，针对空间磁场耦合引入的互感噪声，设计了 RC 极点补偿电路，实现了低延迟的电流信号提取。

其次，在检测到过流故障后，为实现串联功率器件的同步关断，引入一对多光纤，并结合高速跨阻放大电路，构建了光隔离、低延迟、高同步性的故障信号分发装置。最后，通过实验验证了所提过流保护技术的有效性与可行性。

2.1 集成 TMR 的电流测量与故障判定

器件串联型 SiC 功率模块的过流保护链条通常包括电流感知、故障判定和关断指令同步下发三个环节。其中，电流感知与故障判定位于保护链条的前端，二者的响应速度与准确性直接决定了保护动作的及时性与可靠性。由于 SiC MOSFET 开关速度快、短路耐受时间短，故障电流在短时间内快速上升，这要求测量方案必须具备高带宽与低延迟特性，同时，感测到的信号需经高速、精确的硬件电路进行调理，以确保能在第一时间可靠地判定故障。

在电流感知环节，TMR 传感器具有体积小、灵敏度高、功耗低和非接触测量等特点，适合嵌入功率模块内部实现电流检测。对于器件串联型 SiC 功率模块而言，模块内部电流路径紧凑，高频电流会受到集肤效应影响，使导体周围磁场分布随频率发生变化；同时，相邻导体和开关回路产生的空间磁场耦合也会影响传感器输出。因此，确定 TMR 传感器的安装位置，以优化其磁场响应特性和高频测量准确性，是实现集成式电流测量的关键问题。此外，在故障判定环节，由于传感器输出信号微弱且带有共模偏置，还需配套设计增益放大与阈值比较电路，以实现故障的准确判定。

本节围绕器件串联型 SiC 功率模块的集成式 TMR 电流测量与故障判定技术展开研究。首先介绍 TMR 元件的基本工作原理与输出特性；其次分析基于 TMR 传感器的电流测量方法；随后结合高压 SiC MOSFET 串联模块的结构特点，利用有限元仿真分

析集肤效应对模块内部空间磁场分布的影响,进而确定 TMR 传感器的最佳安装位点;最后,基于提取到的电流信号,设计匹配的信号调理与阈值比较判定电路,为后续实现高带宽、低延迟的过流保护奠定基础。

2.1.1 隧道磁电阻

TMR 元件由多个磁隧道结(MTJ)组成。如图 2-1(a)所示,磁隧道结采用平面多层薄膜结构,其核心由三部分构成:自由层(Free Layer)、绝缘势垒层(Insulator)和钉扎层(Pinned Layer)^{[61][62]}。在物理特性上,自由层具有较小的矫顽力,其磁化方向随外加磁场的变化而变化;钉扎层则具有较大的矫顽力,其磁化方向保持固定,称为固磁方向。MTJ 阻值与外界磁场的关系如图 2-1(b)所示,当自由层的磁化方向与固磁方向相同时,磁隧道结的阻值最小;而当自由层的磁化方向与固磁方向相反时,磁隧道结的阻值最大^{[63][66]}。

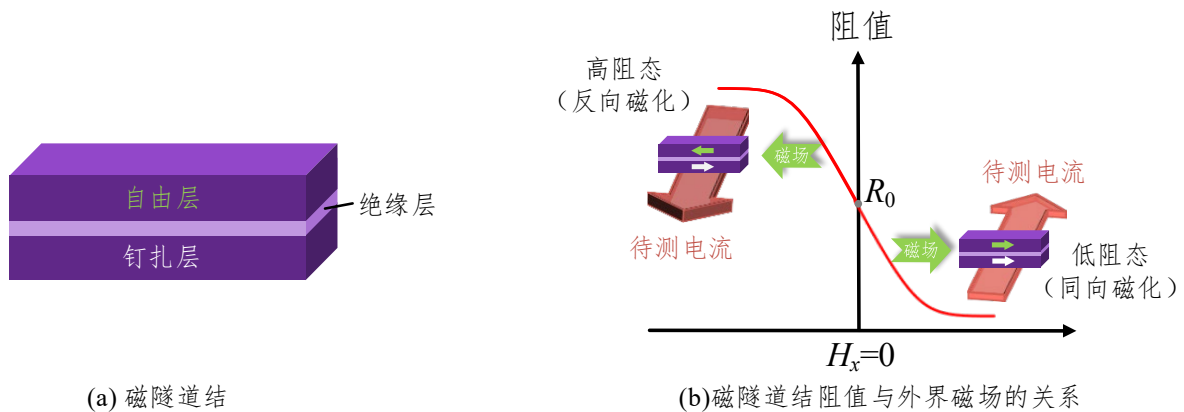


图 2-1 磁隧道结结构与其阻值随外界磁场变化特性

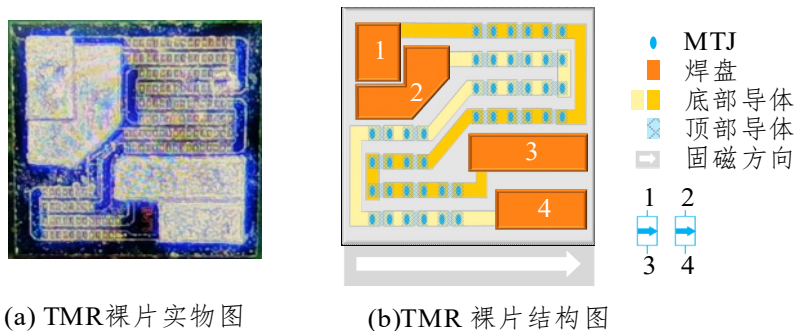


图 2-2 一种 TMR 裸片示意图^[67]

本文所采用的磁阻传感器裸片(FFW-005,由希磁科技提供)如图 2-2(a)所示。该芯片尺寸为 $500\ \mu\text{m} \times 500\ \mu\text{m}$,内部集成了两个参数完全一致且固磁方向相同的磁阻。图 2-2(b)中的白色箭头指示了其固磁方向。在微观结构上,每个磁电阻单元由若干个 MTJ 串联而成。当外部磁场强度处于该芯片的线性区内时,磁电阻的阻值随外部磁场

在固磁方向上的分量呈线性变化。

此外,图 2-3 展示了 TMR 传感器的单轴敏感特性,即其阻值仅受沿固磁方向磁场分量的影响(S 为灵敏度),而对垂直于固磁方向的正交磁场不产生响应。利用这一磁场单轴敏感性,通过优化传感器与待测导线的空间布局,可以使 TMR 传感器精确捕获待测电流产生的磁场,同时有效抑制非敏感轴方向的外界磁场干扰,从而提高电流检测的信噪比。

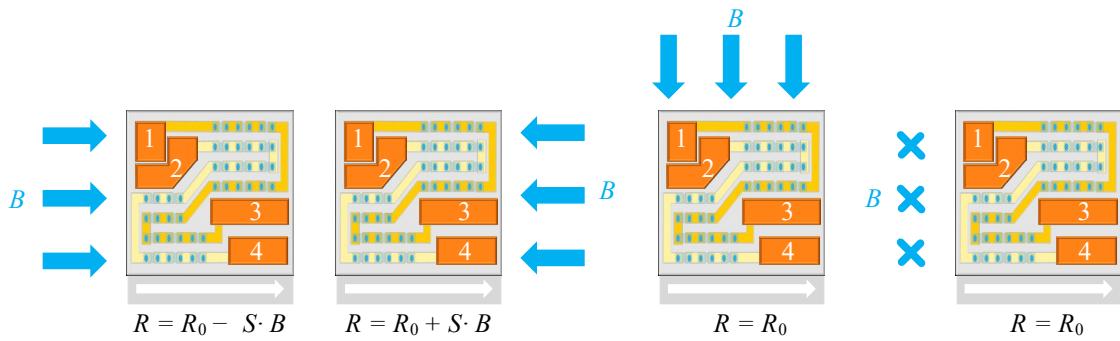


图 2-3 不同方向磁场对磁电阻阻值的影响

2.1.2 TMR 电流传感器

为抑制温漂影响并提升工作带宽, TMR 电流传感器通常采用惠斯登电桥结构^[68]。该硬件架构主要由两部分组成:首先是由四颗磁电阻(R_1 、 R_2 、 R_3 和 R_4)构成的惠斯登电桥,负责将外部磁场引起的阻值变化转化为差分电压信号;其次是后级信号调理电路,其对该微弱信号进行放大与滤波处理,以满足后续采集系统的要求。

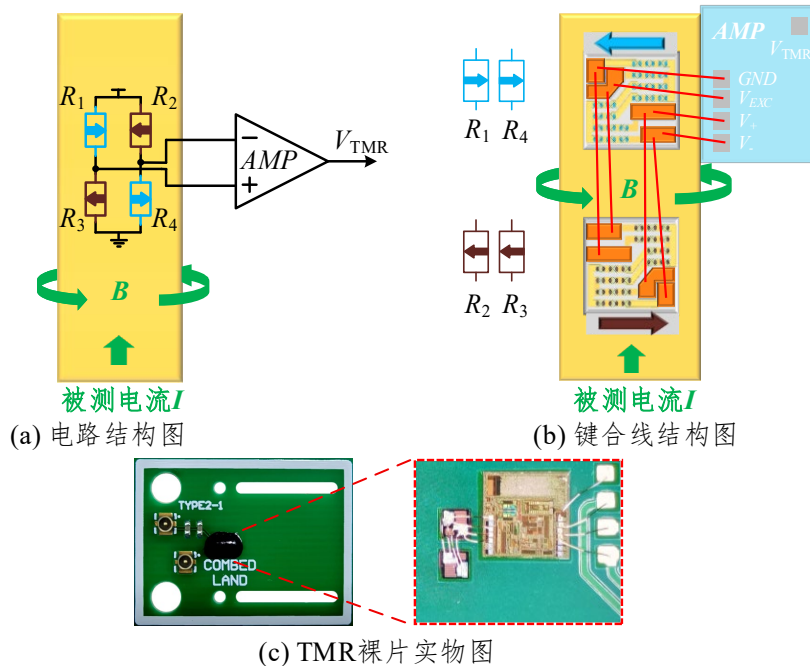


图 2-4 TMR 电流传感器的电路结构图与实物图

当待测电流 I 流经母线导体时,其激发的磁场将引起磁电阻阻值的偏移。假定外部磁场强度处于 TMR 芯片的线性响应区内(即待测电流处于传感器量程范围内)。结合图 2-4(a)和(b)中定义的各磁电阻单元固磁方向与被测电流方向,可进一步推导出电桥中四颗磁电阻阻值的变化规律:

$$R_1 = R_4 = R_0 - S \cdot B \quad (2.1)$$

$$R_2 = R_3 = R_0 + S \cdot B \quad (2.2)$$

在该表达式中, B 代表电流在磁电阻处激发的沿固磁方向的磁场分量, S 表示磁场灵敏度(单位为 Ω/Gs), R_0 则对应磁电阻在零磁场状态下的初始电阻值。在此基础上,可进一步推导出 TMR 电流传感器后级信号调理电路的输出电压表达式如式(2.5)所示,其中, V_{EXC} 为电桥的供电电压, A 表示后级信号调理运算放大器的电压增益, V_{Bias} 是后级信号调理电路引入的直流偏置电压。

$$V_+ = V_{\text{EXC}} \cdot \frac{R_3}{R_1 + R_3} = V_{\text{EXC}} \cdot \frac{R_0 + S \cdot B}{2 \cdot R_0} \quad (2.3)$$

$$V_- = V_{\text{EXC}} \cdot \frac{R_4}{R_2 + R_4} = V_{\text{EXC}} \cdot \frac{R_0 - S \cdot B}{2 \cdot R_0} \quad (2.4)$$

$$V_{\text{TMR}} = V_{\text{Bias}} + A \cdot (V_+ - V_-) = V_{\text{Bias}} + A \cdot V_{\text{EXC}} \frac{S \cdot B}{R_0} \quad (2.5)$$

由于安装位置固定,磁电阻检测到的磁场关于被测电流线性相关。设比例系数为 γ (单位为 Gs/A), 由此可将式(2.5)简化为:

$$B = \gamma \cdot I \quad (2.6)$$

$$V_{\text{TMR}} = V_{\text{Bias}} + A \cdot V_{\text{EXC}} \frac{S \cdot B}{R_0} = V_{\text{Bias}} + A \cdot V_{\text{EXC}} \frac{S \cdot \gamma \cdot I}{R_0} \quad (2.7)$$

因为运放增益 A 、电桥的供电电压 V_{EXC} 、磁电阻磁场灵敏度 S 、磁电阻在零磁场状态下的初始电阻 R_0 和电流磁场强度比例系数 γ 均为常数,因此 TMR 电流传感器的输出电压交流分量与被测电流呈线性关系。将上述常数项合并简化为传感器增益 k (单位为 V/A)后,表达式可进一步简化为:

$$V_{\text{TMR}} = V_{\text{Bias}} + k \cdot I \quad (2.8)$$

最后通过图 2-5 总结 TMR 电流传感器检测电流时信号的转换过程。

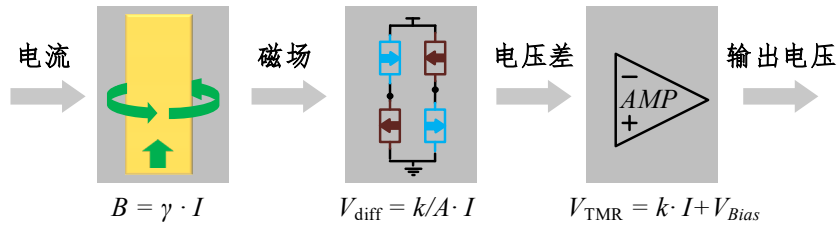


图 2-5 TMR 电流传感器检测电流时信号的转换过程

2.1.3 TMR 电流传感器最佳安装位置

1) 7.2 kV 串联 SiC MOSFET 模块

图 2-6 展示了基于有源箝位技术设计的 7.2 kV SiC 器件串联模块。该模块主功率回路采用六个单元模块串联而成，每个单元模块主功率器件由六颗 Rohm 生产的 S4651 型 1.2 kV SiC MOSFET 芯片并联，辅助回路由一颗 S4651 辅助管芯片与箝位电容串联构成。

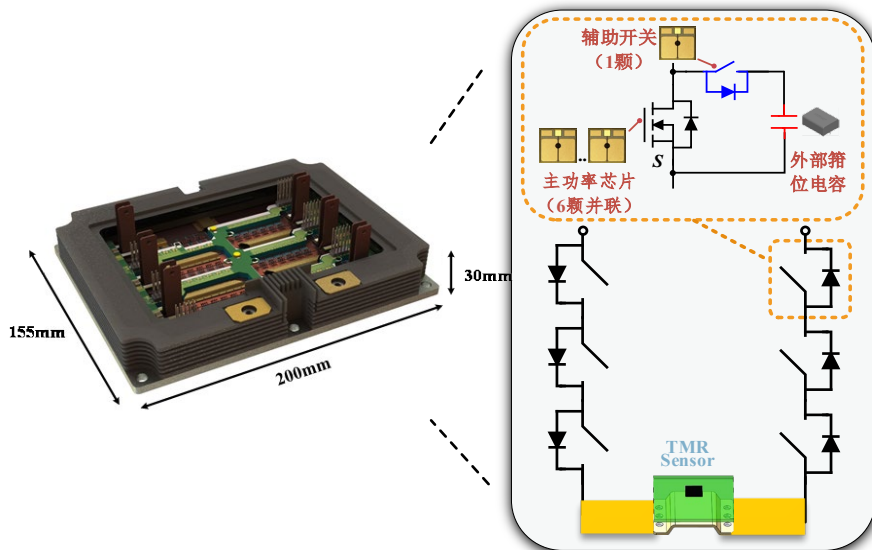


图 2-6 7.2 kV SiC MOSFET 串联模块实物与结构示意图

2) 模块内部可能的安装位置

将 2.1.2 节所述 TMR 电流传感器集成于该 7.2 kV SiC MOSFET 串联模块中。由于功率模块内部功率芯片排列密集且 DBC 走线复杂，其内部磁场具有高强度、非均匀分布的特征。在移除外壳、电容端子及 PCB 板后，TMR 传感器的潜在布置区域涵盖了 DBC 表面、功率端子邻域以及各载流铜桥表面，具体空间分布如图 2-7 所示。实际工作时，待测电流由右侧端子流入，经由内部 U 型回路后从左侧端子流出。

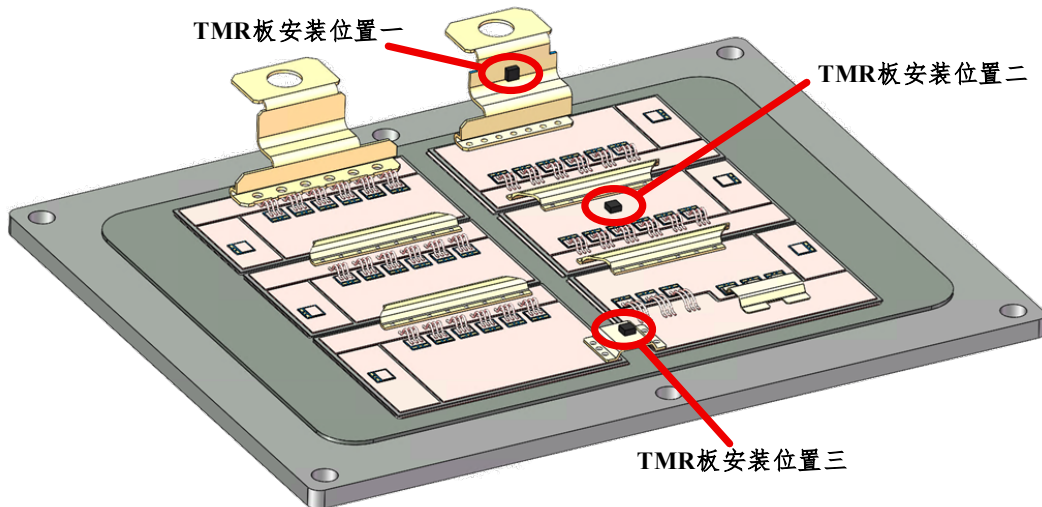


图 2-7 TMR 传感器可能的安装位置

将 TMR 传感器安装于 DBC 表面（即安装位置二），其优势在于易于工业制造，无需为集成传感器而改造现有的模块封装流程。然而，该方案的局限性在于 DBC 表面功率芯片集成度高（本设计中每个主功率器件由六颗 MOSFET 并联组成），导致安装位点的磁场环境分布复杂。此外，受 U 型回路结构影响，在测量流入电流时，流出电流所激发的磁场会产生严重的干扰。为确保电流测量的准确性，需要对 DBC 布局进行大幅度重构，这增加了设计的复杂度。

将 TMR 传感器布置于功率端子附近（位置一）或载流铜桥表面（位置三）具有相似的传感特性，即通过测量流经端子或铜桥的电流来获取模块的总电流。由于端子及铜桥的电流流向与 DBC 表面电流方向空间正交，依托 TMR 的单轴敏感特性，该布局能有效抑制 DBC 产生的复杂磁场干扰，简化了磁场建模分析，对 DBC 布局无特殊要求。然而，安装于位置一的 TMR 会受到另一功率端子电流产生磁场的额外干扰，导致电流测量的准确性受限。

因此，本文选定位置三作为 TMR 传感器的安装位点。该方案在确保电流测量精度的同时，无需对现有 DBC 布局进行重构，降低了开发难度。

3) 基于有限元仿真的精确安装位置确定

(1) 集肤效应的影响

如图 2-8 所示，随着载流导体中电流频率的升高，受集肤效应影响，电流将趋于流经导体的表面和边缘。根据安培环路定理，磁场分布由导体内部的电流分布决定，因此载流导体周围的磁场形态也会随频率变化而改变。

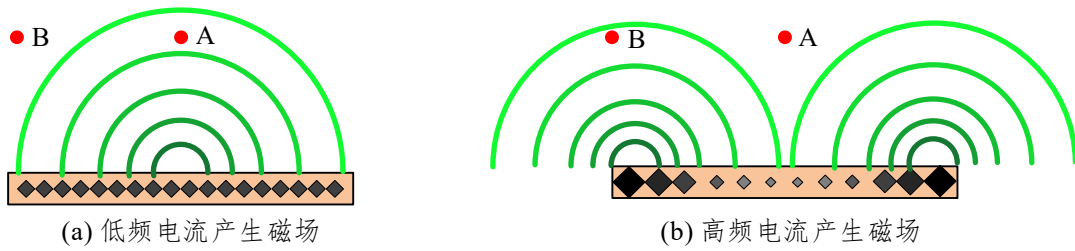


图 2-8 集肤效应示意图

以无限长载流铜箔为例（见图 2-8），当频率升高时，位置 A 处的磁感应强度有所下降，而位置 B 处则有所上升。在电流幅值保持不变的情况下，集肤效应会导致同一位置在不同频率下的感应强度与待测电流之比 γ 存在差异，这会引起电流高频分量的幅值畸变与相位延时^[69]，限制 TMR 电流传感器的有效带宽，并最终导致过流保护的响应延迟增大。

根据文献[70]，在位置 A 与位置 B 之间存在一个最优安装位点，其对应的 γ 值基本不随频率波动。同理，在图 2-7 所示的器件串联模块位置三附近，亦有可能寻找到类似的频率不敏感位点，使传感器对不同频率电流具有一致的比例系数 γ ，从而最大程度提升 TMR 电流传感器的带宽。

(2) 有限元仿真模型的建立

受集肤效应及 SiC 器件串联模块复杂几何结构的共同影响，载流铜桥周边的磁场解析计算复杂。因此，本文借助有限元仿真软件 Ansys Maxwell 对铜桥周围的磁场分布进行数值模拟，以探寻 TMR 电流传感器的最佳安装位点。

表 2-1 集肤效应仿真条件设置

类型	设置
Model	Maxwell 3D
Solution Type	Eddy Current
Excitations	400 A
Frequency Sweep	1 Hz~1MHz

首先构建三维有限元模型，根据 SiC 器件串联模块与 TMR 芯片的实际物理尺寸，建立如图 2-9 所示的仿真模型。为精确描述传感器的安装坐标，建立以铜桥上边缘中点为原点的参考坐标系。鉴于 TMR 芯片尺寸远小于载流铜桥，且其磁敏感方向设定为 Y 轴，故在仿真中将 TMR 传感器等效为 YZ 平面上 $x = 0$ 处的一个点。随后，在仿真环境中配置相应的物理属性与边界条件，具体参数如表 2-1 所示。

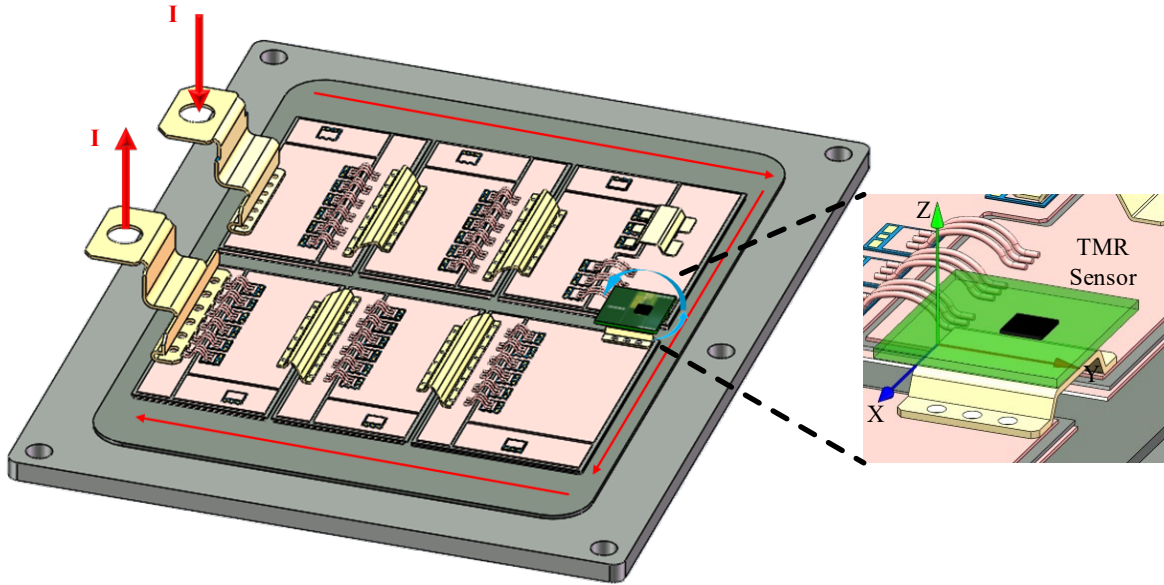
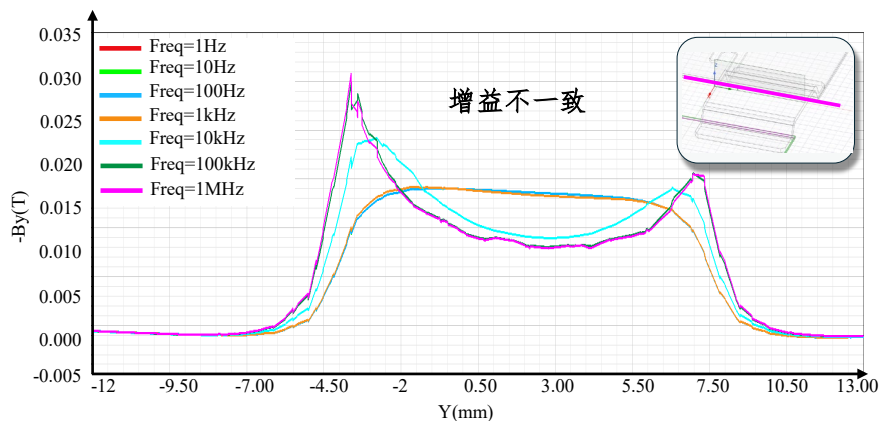


图 2-9 器件串联模块仿真模型示意图

基于图 2-9 所示仿真模型及表 2-1 中仿真条件，本文首先分析 TMR 传感器沿 YZ 平面内 $z=0.6\text{ mm}$ 的直线路径布置时，对待测电流磁场的感测特性。经求解与后处理，提取出不同频率下电流激发的磁感应强度 Y 轴分量相反数 $-B_y$ 随 Y 坐标的变化曲线，如图 2-10 所示。由图可知，随着频率由 1 Hz 升至 1 MHz，载流铜桥内部电流受集肤效应驱动向两端边缘聚集，导致空间磁场分布发生变化，该仿真结果验证了前述理论分析的正确性。然而，初步仿真结果表明，在此特定路径上并未寻获频率不敏感位点，各频率下的比例系数 γ 无法实现交叠或收敛，这意味着传感器在宽频带内的响应一致性难以得到保障。

图 2-10 $Z=0.6\text{ mm}$ 时的 $-B_y$ 与 Y 的关系

鉴于垂直坐标 Z 也可能是影响 γ 收敛特性的独立变量，本文进一步将 Y 与 Z 坐标同时作为自变量，以磁感应强度分量 $-B_y$ 为因变量展开仿真分析。通过选取 $f=1\text{ Hz}$ 与 $f=1\text{ MHz}$ 两个典型频率，对比研究了 $X=0$ 处 YZ 平面内的磁感应强度 Y 轴分量分布

特征，仿真结果如图 2-11 所示。

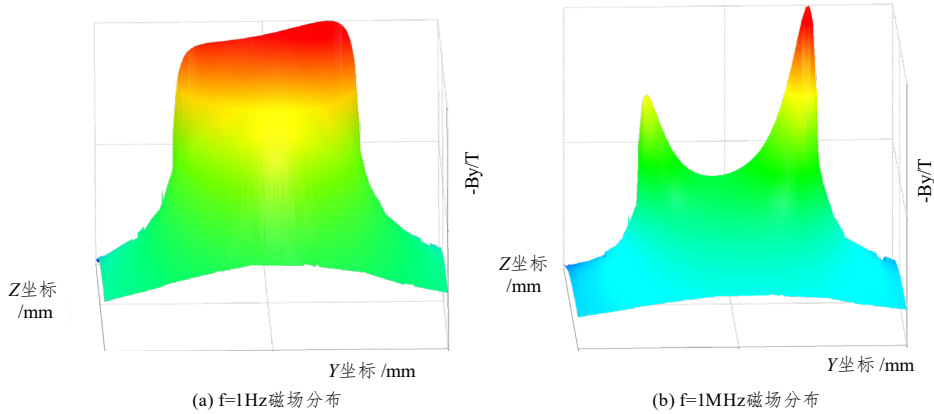


图 2-11 $f=1\text{Hz}$, 1MHz 时的磁场分布

由仿真结果可见，集肤效应对磁场分布产生了影响，但 Z 对 γ 收敛特性的影响仍待深入研究。为进一步评估 Z 轴坐标对场强分布的具体作用，本文提取了 YZ 平面内磁感应强度随 Z 向高度的变化规律。图 2-12 表明，在 Z 值较小时，受集肤效应驱动的磁场失真较为剧烈；随着 Z 的增大，频率变化引发的场强偏差逐渐减弱。据此推测，通过选取合适的 Z 轴高度，不同频率下对应的比例系数 γ 有望趋于稳定，即存在一个潜在的频率收敛点（见图 2-12 中红线标示）。

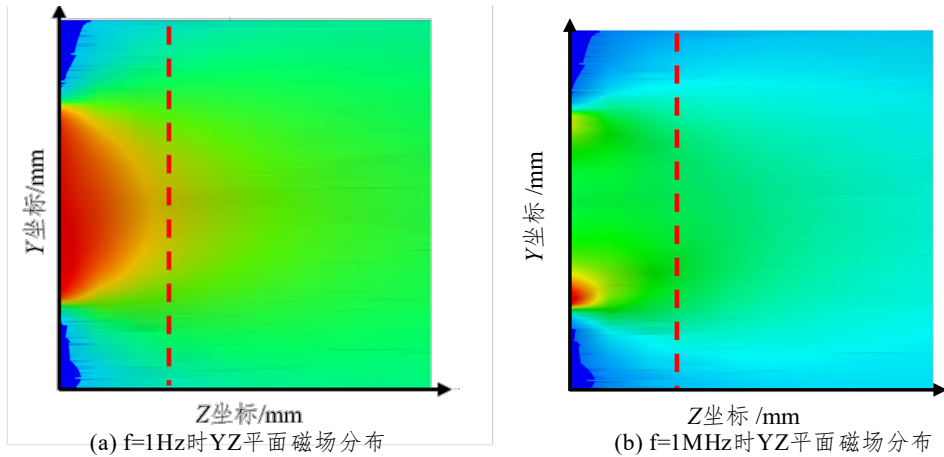
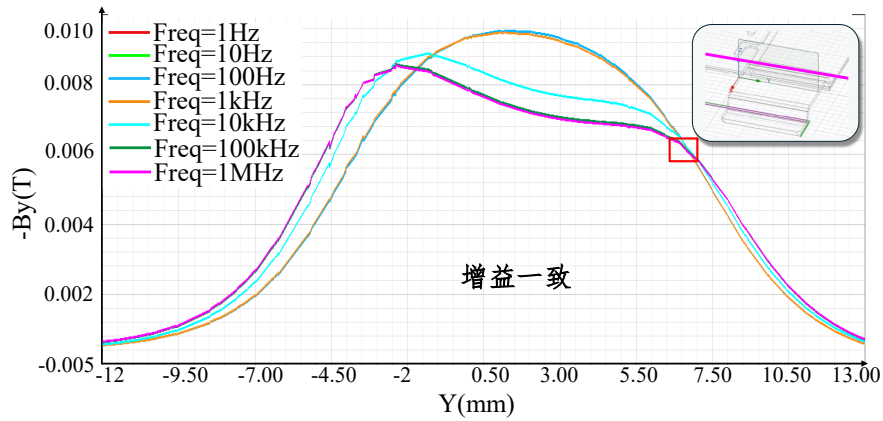
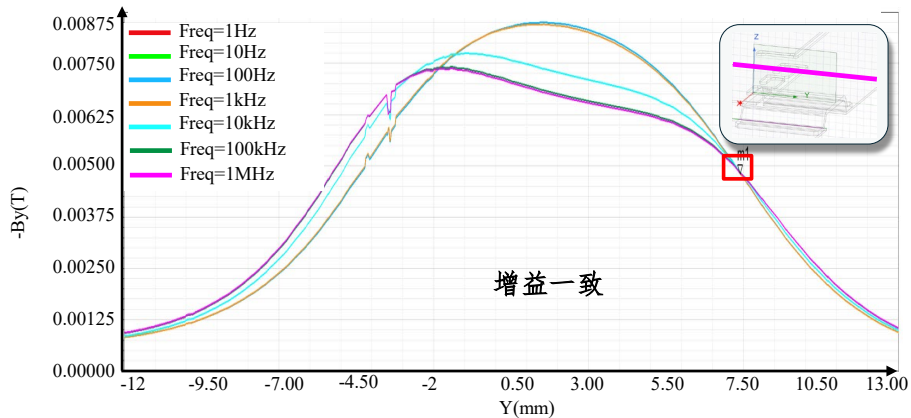


图 2-12 $f=1\text{Hz}$, 1MHz 时的 YZ 平面的磁场分布

以此为基础，设定 Z 轴起始高度为 0.6 mm 并以 0.1 mm 为步长逐级递增进行参数扫描，旨在寻获使比例系数 γ 在不同频率下实现收敛的最佳高度。当 Z 轴高度增加至 3 mm 时，仿真结果表明，在距 Y 轴原点 6.543 mm 处，不同频率下的 γ 值趋于一致，且该点的磁感应强度绝对值为 6 mT ，具体分布曲线如图 2-13 所示。

图 2-13 $Z = 3 \text{ mm}$ 时的 $-B_y$ 与 Y 的关系

进一步增大 Z 向位移至 3.8 mm 时, $-B_y$ 随 Y 轴坐标的变化曲线如图 2-14 所示。仿真发现,虽然在 $Y = 7.166 \text{ mm}$ 处同样存在 γ 收敛点,但该点的磁感应强度已降至 4.8 mT ,仅为 $z = 3 \text{ mm}$ 工况下的 80% 。考虑到在传感器量程范围内,较高的单位电流磁感应强度能提供更优的信噪比并提升测量精度,因此判定该点并非 TMR 电流传感器的最优安装位置。

图 2-14 $Z = 3.8 \text{ mm}$ 时的 $-B_y$ 与 Y 的关系

综上所述,最终确定 SiC 器件串联模块内部集成 TMR 的最佳安装坐标为 $(0, 6.543 \text{ mm}, 3 \text{ mm})$ 。该点确保了 $1 \text{ Hz} \sim 1 \text{ MHz}$ 频带内电流磁场比例系数 γ 的一致性,从而消除了集肤效应对高频电流测量的影响,实现了 TMR 电流传感器带宽性能的最大化。

2.1.4 基于阈值比较的故障判定电路

前文通过三维有限元仿真确立了 TMR 传感器的最佳安装坐标(距载流铜桥 3 mm 处),从物理布局上降低了集肤效应对测量带宽的影响。然而,较远的安装距离也带来了新的挑战:受磁场空间衰减影响,传感器捕获的原始电信号较为微弱,导致系统初始

灵敏度偏低。此外，由于 TMR 惠斯登电桥固有特性，其输出信号在包含表征电流信息的差模分量的同时，还叠加了固定的直流偏置电压。

在要求高可靠性的 SiC 器件串联模块的过流保护场景下，若直接将此类有用信号幅值微弱的原始模拟信号用于故障触发，极易引发保护系统的误动或拒动。因此，必须在 TMR 传感器后端设计一套信号调理与判定电路，该电路需实现两大任务：一是在直流偏置不变的前提下，对微弱的电流差模信号进行高保真、低延迟的放大；二是将调理后的电压信号与预设的保护阈值进行比对，从而生成用于触发保护动作的数字逻辑信号。

为此，本节设计了如图 2-15 所示的故障判定电路，该电路主要由前级信号放大与后级阈值比较两个模块构成，进而打通从“电流感知”到“故障判定”的保护链路。

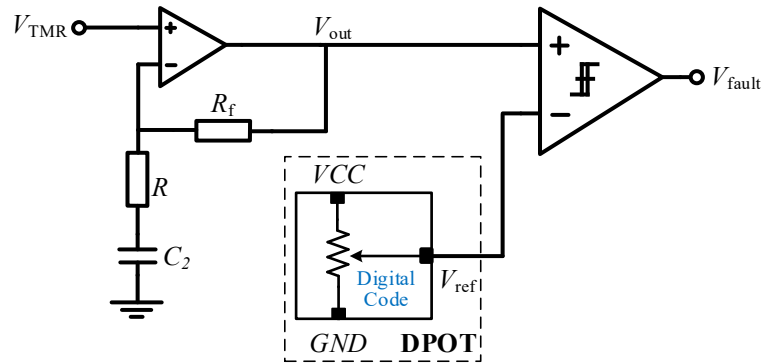


图 2-15 基于阈值比较的故障判定电路

1) 电流信号的放大电路

图 2-15 左侧为电流信号放大前端，其拓扑由传统同相放大电路演变而来。借助隔直电容 C_2 ，该电路对输入信号的直流共模分量等效为单位增益的电压跟随器；而对于交流有用信号， C_2 在工作频率下近似短路，此时电路表现为标准的同相放大器，其交流增益为 $1 + R_f / R$ 。这种频域解耦设计，实现了对交流有用信号的放大以及对直流共模分量的跟随。

除外围电路设计外，运算放大器自身的参数同样决定了过流保护装置的性能。针对 SiC MOSFET 较短的短路耐受时间，必须对运放的带宽与压摆率(Slew Rate, SR)提出严苛的要求。在短路故障瞬态下，SiC 器件串联模块电流 di/dt 可高达 50 A/ns ，结合 TMR 电流传感器的灵敏度系数 $k = 4 \text{ mV/A}$ 及后续电路 2 倍的放大倍数，折算至运放输出端的电压变化率至少应达到 400 mV/ns ，即 SR 应大于 $400 \text{ V/}\mu\text{s}$ 。同时，为确保系统具备十纳秒级的快速响应能力，依据经验公式(2.9)推算，当增益为 2.0 时，运放的带宽不应

低于 35 MHz。

$$f \cdot t_r = 0.35 \quad (2.9)$$

最终选取 TI(Texas Instruments)的 OPA836,该运算放大器关键参数如表 2-2 所示:

表 2-2 OPA836 关键参数

参数	数值	单位
带宽 ($V_{out}=2V_{pp}$, $G=2$)	87	MHz
压摆率 (rise/fall)	560	V/ μ s

为验证电流信号放大电路的性能,本文在 TINA-TI 环境下搭建了对应的电路仿真模型。仿真参数配置如下:输入信号为偏置电压 2.5V、峰峰值 2V 且频率为 1MHz 的三角波,电阻 R_f 、 R 及电容 C_2 分别取值为 10 k Ω 、10 k Ω 及 10 μ F,运算放大器选用 OPA836,供电为 0V/5V 单电源供电。输入与输出电压波形如图 2-16 所示。仿真结果显示,该电路在保持 2.5V 直流偏置电压不变的前提下,成功将输入差模信号放大 2 倍,输出为偏置 2.5V、峰峰值 4V 的 1MHz 三角波,且未观测到输出信号相对于输入信号存在明显的相位延迟和波形畸变。该仿真波形与设计需求一致,验证了电路调理功能与器件选型的正确性。

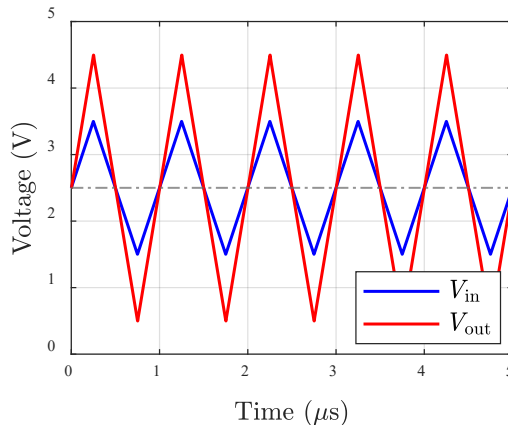


图 2-16 过流保护电路仿真结果

2) 阈值比较电路

为实现电流越限报警功能,在监测到电流信号超过预设阈值时,系统需输出高电平上报故障状态。图 2-15 右侧展示了基于数字电位器与比较器的故障判定电路。其中,数字电位器通过烧写输出 0 至 VCC 之间的电压,作为过流保护的参考阈值 V_{ref} ;比较器则将放大后的电流信号与 V_{ref} 进行比较,从而生成故障信号 V_{fault} 。在器件选型方面,本文选用支持 I2C 接口配置的 TI 公司 TPL1401DSGR 数字电位器;比较器则采用响应

延迟 7.6ns 的 TI 公司 TL3016CDR，以确保过流保护的高实时性。

2.2 电流信号噪声的滤除

在前一节中，本文通过三维有限元仿真确定了 TMR 传感器的最佳安装位置，从物理布局上确保了电流磁场比例系数 γ 在宽频带内的一致性，解决了集肤效应对测量增益的影响。然而，在器件串联模拟样机的测试中，回路中的 di/dt 会通过空间磁场耦合，在开关瞬态波形中引入明显的尖峰畸变，这不仅严重影响了电流测量的保真度，还可能引发过流保护的误动作。

因此，本节开展了电流测量过程中的互感噪声抑制研究。首先，从频域角度剖析了互感噪声的产生机理，建立了传感器输出信号的传递函数模型。随后，基于零极点对消原理，本文设计并引入 RC 极点补偿电路，通过引入特定的极点以抵消互感噪声在频域中产生的零点。最后，通过不同频率下的三角波电流测试，验证了该方案的有效性。

2.2.1 波形畸变现象与产生机理

图 2-17(a)所示是模拟 7.2 kV 器件串联模块的专用 PCB 板，该 PCB 板的电流路径与原始功率模块完全一致。在安装过程中，TMR 电流传感器被精确固定于前期仿真分析所得的最优坐标点。将其串联接入如图 2-17(b)所示的高频三角波电流测试电路中，在测量过程中，使用罗氏线圈(CWTUM/3/B)作为基准参考以获取支路实际电流，并将 TMR 电流传感器的输出信号经同轴电缆接入示波器进行采样。

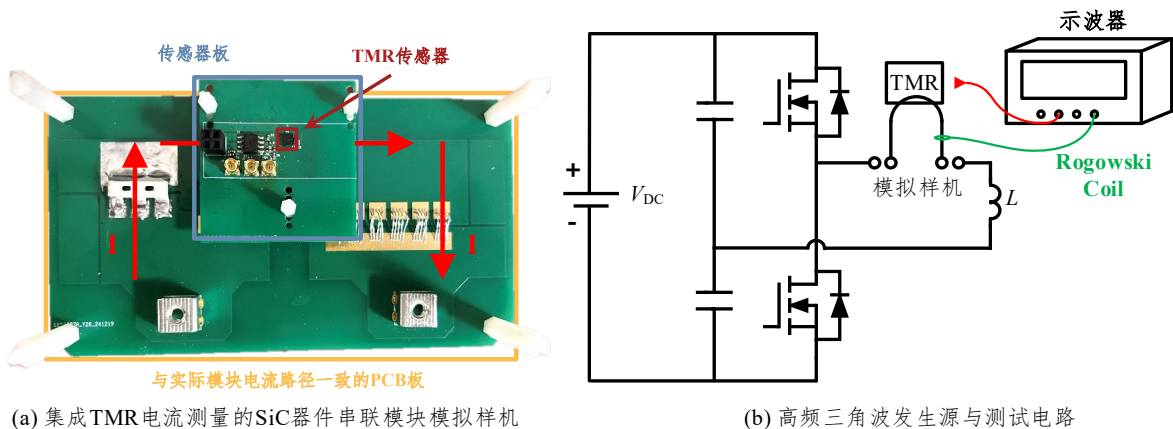


图 2-17 集成式 TMR 高频三角波测试平台

图 2-18 展示了电流测量样机对频率为 1.5 MHz、峰峰值为 12 A 的三角波电流测量波形。集成式 TMR 电流传感器较好地复现了待测电流波形，相较于罗氏线圈的测量结果，基本无时间延迟，但在开关切换瞬间观察到明显的信号畸变。

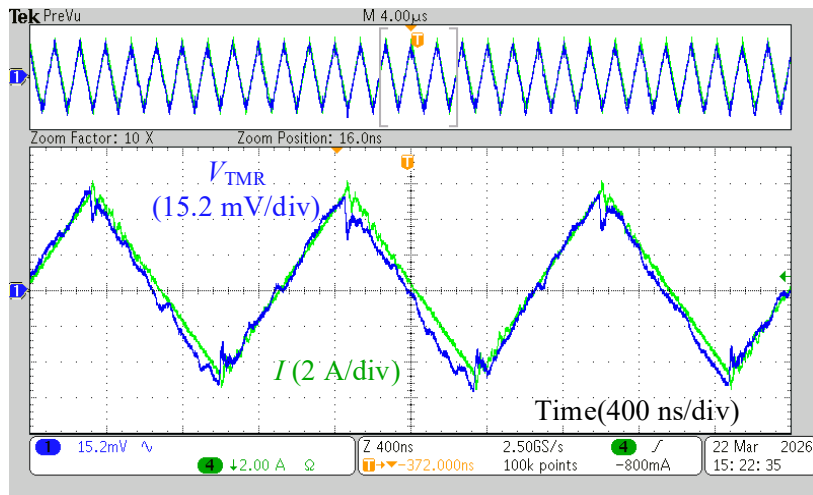


图 2-18 1.5MHz 三角波电流的测量波形

由于 TMR 电流传感器仅对敏感轴方向上的磁场分量产生响应，推测该噪声信号亦源自待测电流本身。为验证这一推断，本文采用将 TMR 芯片旋转 90° 的实验方法^[71]，使传感器的敏感轴与导体产生的磁场方向保持正交。如图 2-19 所示，实验结果表明，在此状态下传感器虽无法检测到待测电流信号，但该噪声依然存在，且表现为相位滞后 90° 的同频方波信号。

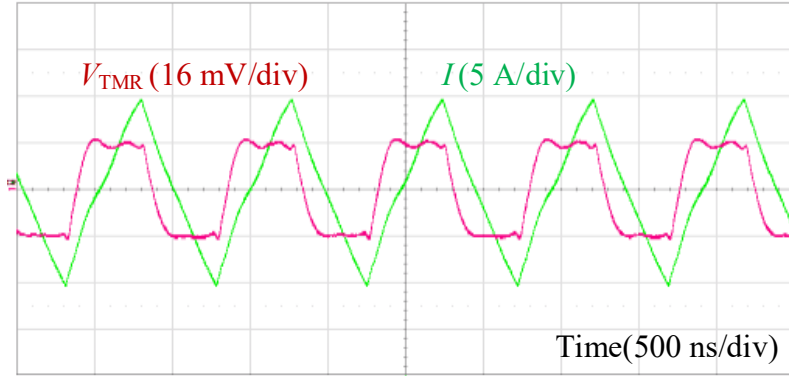
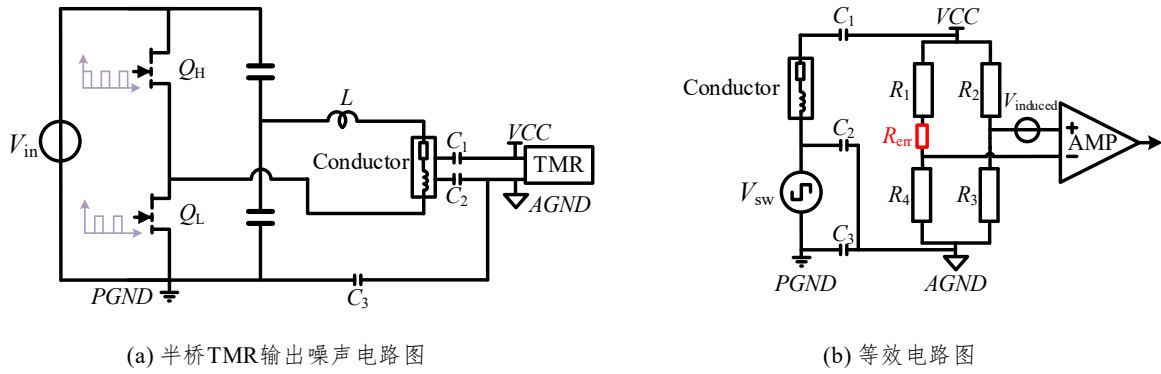


图 2-19 1MHz 三角波电流的噪声波形

为从物理机理上解析上述波形畸变现象，本文建立了 TMR 传感器在复杂电磁环境下的考虑寄生参数模型。根据文献[72]，在半桥开关拓扑下，TMR 传感器的噪声输出物理模型如图 2-20 所示。该模型综合考虑了高 dv/dt 通过寄生电容引发的互容噪声（电场耦合），以及高 di/dt 通过寄生互感引发的互感噪声（磁场耦合）两部分。

图 2-20 半桥电路 TMR 输出等效模型^[72]

结合本文的实际物理封装结构，TMR 传感器安装于载流铜桥正上方 3mm 处。相较于紧贴铜箔的常规安装方式，这一空间距离降低了主功率导体与传感器电路之间的寄生电容。同时，前述实测噪声波形呈现为规则的同频方波，且并未观测到与高 dv/dt 相关的开关尖峰。因此，在本文构建的解析模型中，可忽略互容噪声的干扰，判定波形畸变的主导物理机制为互感。基于此结论，下文将重点针对互感耦合模型展开数学解析。

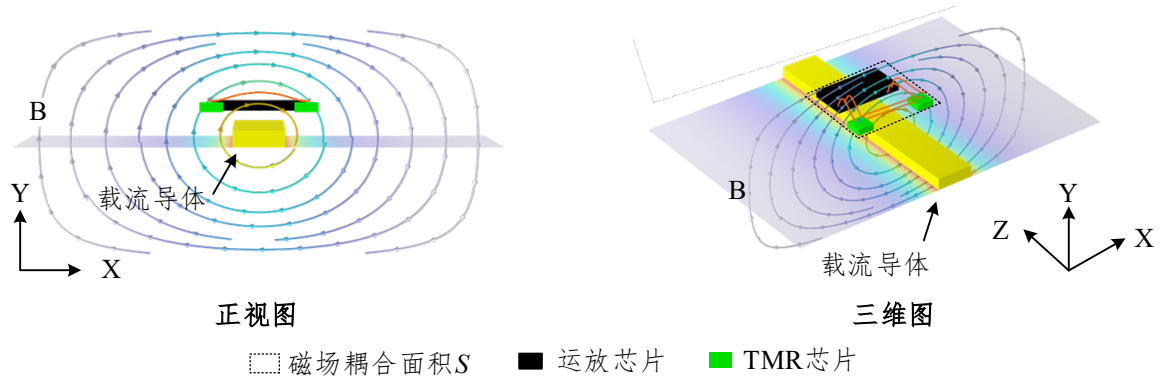


图 2-21 磁场耦合图

互感是指两邻近线圈因磁场耦合而产生的一种电磁感应现象。在本研究案例中，原边电路为被测导体，副边则为传感器内部的键合线回路。图 2-21 展示了此类互感磁场耦合的物理模型。载流导体与芯片内部键合线构成的环路（环路面积为 S ）可等效为两个耦合线圈，在这种模型下，互感噪声主要源于载流导体产生的交变磁场，即磁场在二者公共平面法向量方向上的分量 B_y ，由法拉第感应定律可得：

$$V_{noise} = \frac{d\Phi}{dt} = \frac{dB_y}{dt} \cdot S = M \frac{di}{dt} \quad (2.10)$$

互感噪声在电路模型中等效为串联于磁电阻电桥回路中的受控电压源，如图 2-22 所示。由于该噪声源与有效信号一同作用于传感回路，其必然会随有效电流信号一并

被后级信号调理电路放大，这正是导致输出信号波形发生畸变的根本原因。

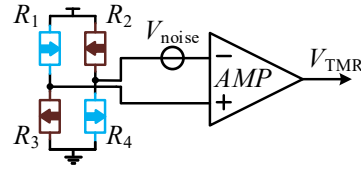
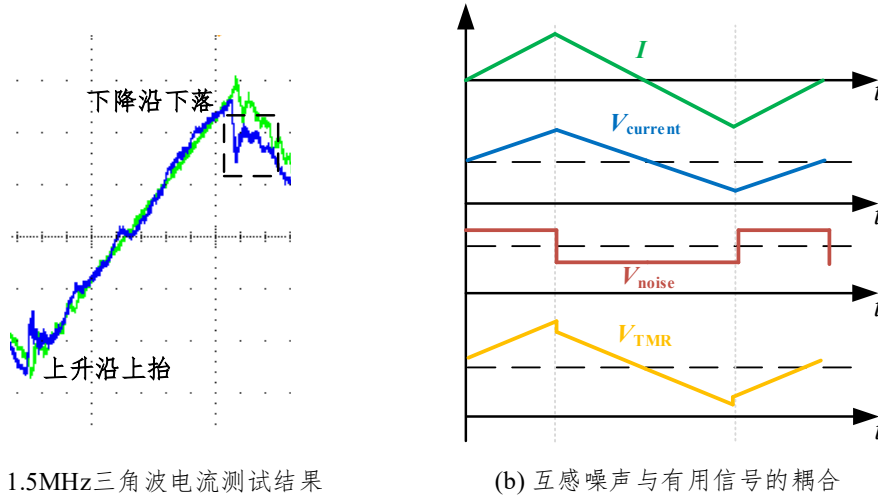


图 2-22 互感噪声等效电路模型

2.2.2 基于极点补偿的互感噪声抑制技术

根据式(2.8)与式(2.10)，可将 TMR 电流传感器的输出信号的交流分量分为两部分：

$$v_{\text{TMR}} = v_{\text{current}} + v_{\text{noise}} = k \cdot i + M \frac{di}{dt} \quad (2.11)$$



(a) 1.5MHz三角波电流测试结果

(b) 互感噪声与有用信号的耦合

图 2-23 TMR 传感器信号叠加关系

图 2-23 展示了 1.5 MHz 三角波电流测量结果与理论分析的对比，可见实测波形与理论预测高度吻合。然而，如图中黑色线框所示，电流峰值与互感噪声边沿之间存在约 40 ns 的时间延迟。究其原因，磁电阻作为一种多层薄膜结构，具有固有的电容效应^[73]，该寄生电容限制了磁电阻传感器的响应带宽，从而引发信号延迟；相比之下，互感噪声源于电磁感应原理，其产生过程基本无延迟，这种物理机制上的响应差异最终导致了二者在时间轴上的相对偏移。

从频域角度对互感噪声进行分析，可得传感器输出 $v_{\text{TMR}}(s)$ 与电流 $i(s)$ 之间的传递函数 $H(s)$ 为：

$$H(s) = \frac{v_{\text{TMR}}(s)}{i(s)} = k + s \cdot M = k \left(1 + \frac{M}{k} s \right) \quad (2.12)$$

基于频域分析可知，互感噪声在传递函数中引入了一个零点。因此，对于确定的比例系数 k 和互感系数 M ，可以通过设计一个包含特定极点的补偿器 $G(s)$ ，利用零极点

对消法来消除互感噪声的影响。使用 RC 极点补偿网络来构建补偿器 $G(s)$ ，其电路图如图 2-24 所示。列写补偿网络传递函数如式(2.13)：

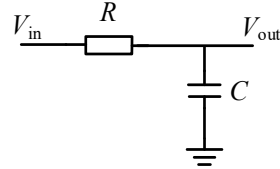


图 2-24 RC 极点补偿网络示意图

$$G(s) = \frac{1}{sC} \cdot \frac{1}{R + \frac{1}{sC}} = \frac{1}{1 + sRC} = \frac{1}{1 + \frac{M}{k}s} \quad (2.13)$$

由式(2.13)，要实现零极点对消来抑制互感噪声，需令 $RC = \frac{M}{k}$ ，基于图 2-18 的测量结果，可得 $\frac{M}{k} = 1.45 \times 10^{-7}$ ，本文通过实验调试，最终设定补偿电阻 $R = 25 \Omega$ 、补偿电容 $C = 4.7 \text{ nF}$ 进行 RC 补偿。其实验效果如图 2-25(a)所示：经 RC 补偿后，互感噪声引起的波形畸变得到了有效抑制，且补偿后的电流波形相较于罗氏线圈电流信号仅有不足 40 ns 延迟；此外，由图 2-25(b)与图 2-25(c)可见，不论工作频率如何变化，该补偿方案均能保持良好的测量精度。

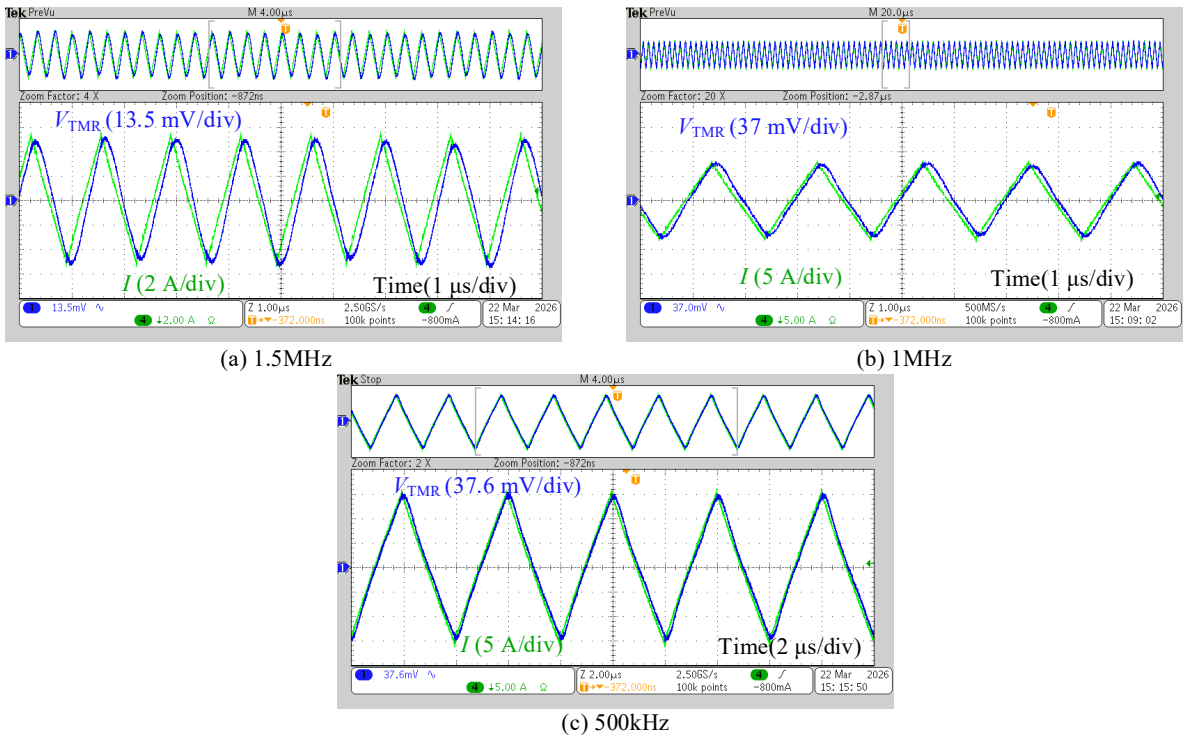


图 2-25 $R = 25 \Omega$, $C = 4.7 \text{ nF}$, 500 kHz, 1 MHz 和 1.5 MHz 互感噪声补偿效果

2.3 基于一对多光纤与光电转换的故障下达装置

通过前两节的研究,本文实现了基于集成式 TMR 传感器的高速电流测量与故障判定。然而,对于器件串联模块而言,获取故障信号仅是保护工作的第一步。由于串联单元数量多且工作在高压大功率场合,保护系统必须解决两大核心难题:一是高压隔离与强抗扰能力,以确保故障信号的可靠下达;二是高度的同步性,防止因各串联器件关断不一致导致延迟关断的器件承受全部母线电压而击穿。针对上述挑战,光纤通信是有效的解决手段,但传统的点对点光纤方案在布线复杂度及系统成本方面仍存在局限。

为克服上述瓶颈并确保故障指令的同步下发,本节设计了一套基于一对多光纤与高速光电转换电路的故障下发装置。首先,利用一对多光纤模块核心芯片的几何对称性,实现了光功率的一对多均匀分配与同步传输。其次,通过对比分析同相放大电路与跨阻放大电路,选用了基于非完全补偿运放 OPA847 的跨阻放大器(Transimpedance Amplifier, TIA)拓扑,并配套设计了相应的补偿电路,在提升闭环带宽的同时有效抑制了偏置电流引起的电压漂移。

2.3.1 一对多光纤

当 TMR 电流传感器监测到过流故障时,单个子模块不能独立执行关断动作,否则将导致该子模块主功率器件过压击穿。因此,必须确保所有串联器件在故障发生时实现同步停机,这就要求中央控制器能够快速地向各路驱动同步下发指令。然而,传统的“主控-子控-驱动板”三级架构难以满足该需求:一方面,多级通信产生的延时接近 200 ns,削弱了保护的及时性;另一方面,利用电信号下达指令难以兼顾中压应用下的高压隔离与抗扰需求,且各支路寄生参数的差异导致传输延时不一致,进一步加剧了非同步关断风险。相比之下,利用光纤将主控制板与各驱动板直连是实现快速、同步响应的有效方案。但传统的点对点光纤通信方案(如 Broadcom 公司的 AFBR-2529Z 与 AFBR-1629Z 收发模块,见图 2-26(a))存在局限:同步控制六颗 MOSFET 需配备六组独立的光纤链路,导致系统成本大幅增加。

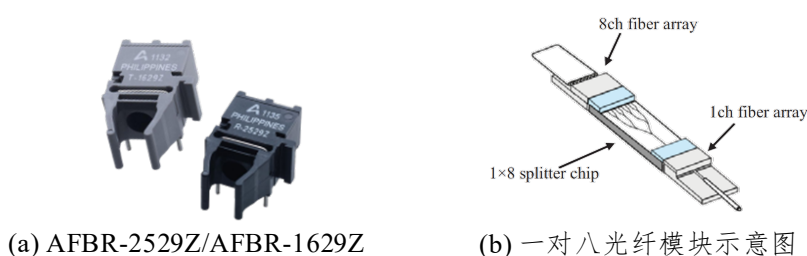


图 2-26 一对一光纤头与一对八光纤模块示意图[74]

为克服上述局限,一种既能节省 PCB 布板空间、降低系统成本,又能确保故障信号同步下发的替代方案是引入一对多光纤。图 2-26(b)展示了一款典型的一对八光纤模块,该模块主要由核心芯片及两端光纤块(即 1 通道输入与 8 通道输出光纤阵列)耦合封装而成。实现光功率分配的核心单元是芯片内部对称的 Y 型波导分支结构:在分支顶点处,基于严格的几何对称性,输入光束被等比例均分为两束输出光;通过多级 Y 型分支的级联,该结构能够将单路输入光信号精准、均匀地分配至多个输出端口。此类无源光器件传统上广泛应用于光纤通信系统。

然而,引入一对多光纤的同时也带来了一项新的技术挑战:一对多光纤仅作为光信号的无源传输介质,其输入端与输出端须额外配置电-光与光-电转换单元。基于此,下文将详细描述本文采用的高速光电转换电路,旨在实现 SiC 器件串联模块中过流故障信号的快速同步下达。

2.3.2 光电转换电路设计

1) 电-光转换电路

电-光转换电路的设计较为简单,由 MOSFET、限流电阻及激光二极管串联构成。在正常工作状态下,MOSFET 处于关断状态,电路无电流流过;当故障触发时,MOSFET 瞬间开通,驱动激光二极管发光。该电路实现了从数字逻辑电平到光信号状态(通/断)的转换。

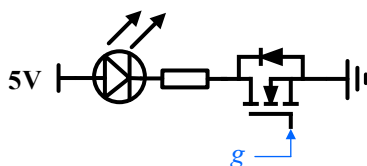


图 2-27 电-光转换电路图

2) 光-电转换电路

光电转换电路的设计形式多样,其核心功能是将光信号转换为数字逻辑电平输出。

作为电路的核心器件，光电二极管利用半导体光电效应实现信号转换。其结构基础为一个 PN 结，由于内部载流子的扩散运动，在交界处形成了自 N 区指向 P 区的内建电场。当入射光在 PN 结激发出电子空穴对后，受内建电场驱动，电子与空穴分别向 N 区和 P 区迅速漂移，从而在外部回路产生与光强成正比的光电流。此外，受载流子热激发影响，二极管在无光照条件下仍会产生微弱的漏电流，即暗电流。

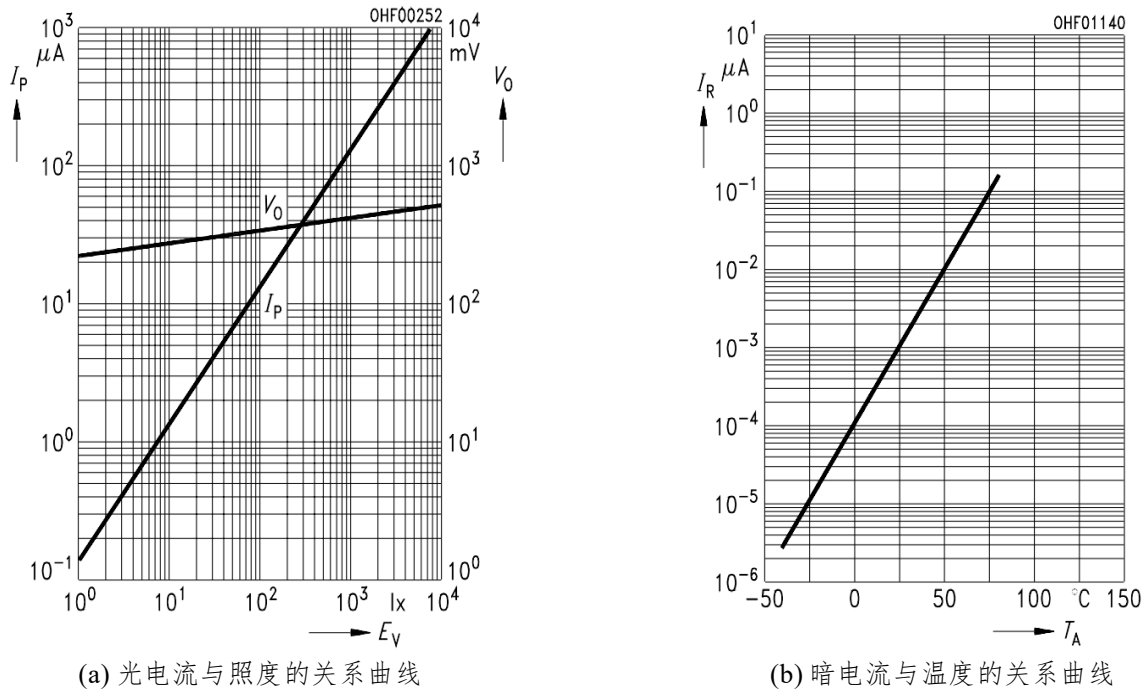


图 2-28 SFH213 光电流与暗电流特性曲线^[75]

以 OSRAM 公司的 SFH213 型光电二极管为例，图 2-28(a)展示了其光电流与照度的线性关系。测试表明，在照度为 1000 勒克斯(lx)的白炽灯标准光源照射下，该器件的光电流典型值为 135 μA 。图 2-28(b)进一步揭示了暗电流随温度的变化特性，在 25 $^\circ\text{C}$ 及特定反向偏置电压下，其暗电流仅为 1 nA。对比可见，正常工作条件下光电流与暗电流之间存在约 5 个数量级的差异，证明了该器件在微弱光信号检测中具有较高的信噪比。本文选用 Micsig 公司提供的激光二极管及光电二极管作为核心光电器件，在自主设计的发射与接收系统中，激光二极管产生的激光经由一对多光纤耦合至光电二极管后，产生的光电流可达 100 μA 。

光电二极管产生的微弱光电流可等效为电流源，为将其转换为数字逻辑电平，主要有两种实现方案：第一种为电流-电压-二次放大方案，即先使光电流流经负载电阻产生电压信号，再对其进行二次放大，常用同相放大电路实现；第二种方案为 TIA 设计，即利用运算放大器“虚断”特性，将光电流直接接入反相输入端，并通过反馈电阻实现电

流-电压的直接转换。鉴于 SiC 器件串联模块对故障信号响应速度有着较高要求,下文将首先根据性能指标筛选目标运算放大器并设计偏置电流补偿方法,随后将其应用于上述两种电路进行详细分析与评估,以确定最符合系统设计要求的方案。

(1) 运放的选取与偏置电流补偿

鉴于本文光电转换电路需将 $100\ \mu\text{A}$ 光电流信号放大至约 $2\ \text{V}$ 电压,且对瞬态响应速度要求较高,本文选用非完全补偿(Decompensated)运算放大器。非完全补偿运放是一种降低了运放内部补偿电容容值的运放,在同等功耗下提升了增益带宽积(GBW)与压摆率(Slew Rate, SR)。该类运放不能在单位增益下稳定工作,仅在闭环增益大于特定阈值时方能保持系统稳定。

如图 2-29 所示,该类运放通过调整内部补偿网络,将主极点 f_d 移至高频处的 f_1 位置,当闭环增益小于 $G_{\min}$ 时,受次极点 f_2 影响,运放环路相位裕度不足,导致系统不稳定;只有当闭环增益大于 $G_{\min}$ 时,该类运放才能正常工作。在高增益应用中,该设计能在保持充裕开环增益的同时,提供更宽的闭环带宽与更优的压摆率性能。综上所述,非完全补偿运放是实现高带宽光-电转换电路的理想器件。

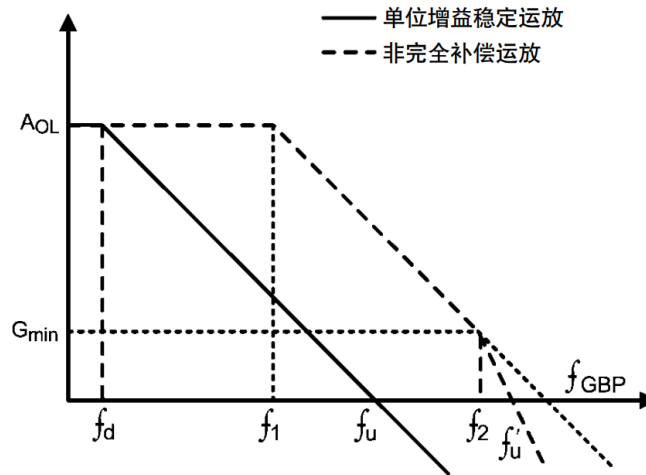


图 2-29 单位增益稳定运放和非完全补偿运放的幅频曲线[76]

本文选用 TI 公司的 OPA847 高速运算放大器。该运放的最小稳定增益为 $12\ \text{V/V}$;当增益大于等于 50 时,其增益带宽积高达 $3.9\ \text{GHz}$,在输出 $2\ \text{V}$ 阶跃信号时压摆率可达 $950\ \text{V}/\mu\text{s}$ 。此外,该器件的输入电流噪声与输入电压噪声分别仅为 $2.5\ \text{pA}/\text{rtHz}$ 和 $0.85\ \text{nV}/\text{rtHz}$ 。

然而,使用 OPA847 时必须考虑偏置电流 I_{bias} 带来的干扰。 I_{bias} 是运放为维持内部电路正常工作,流经两个输入引脚的静态直流电流。在常规运放电路中, I_{bias} 的影响大

多可忽略，因为设计者往往选用输入阻抗较高的 CMOS 或 JFET 工艺运放，其 I_{bias} 普遍处于 pA 甚至 fA 量级。以基于 JFET 工艺的 AD549 为例，其 I_{bias} 典型值为 fA 量级，尽管其满功率带宽仅为 50 kHz。

与之相对，为追求响应速度与低电压噪声，OPA847 等高速运放通常采用 BJT 工艺。由于 BJT 输入级晶体管必须依赖基极电流来维持工作，因此不可避免地牺牲了偏置电流指标，导致 OPA847 的 I_{bias} 典型值高达 39 μA 。相较于 CMOS 或 JFET 工艺运放，这类高速 BJT 运放的偏置电流高出了 6 至 9 个数量级。下文将详细阐述 I_{bias} 如何影响输出偏移电压 $V_{o\Delta}$ ，并探讨针对输入偏置电流干扰的有效补偿措施。

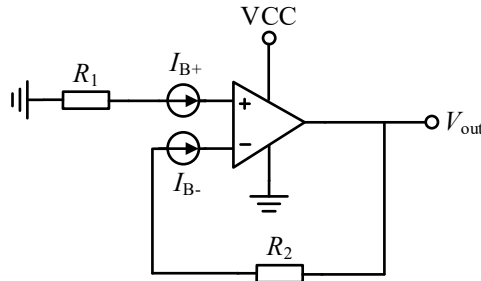


图 2-30 考虑偏置电流的运放零输入响应电路示意图

图 2-30 展示了考虑输入偏置电流的运放零输入响应电路示意图，其中 R_1 和 R_2 分别为运放同相输入端与反相输入端的等效电阻。为便于分析，假定流入芯片引脚的电流方向为正。定义输入偏置电流为 $I_{bias} = (|I_{B+}| + |I_{B-}|) / 2$ ，输入失调电流为 $I_{offset} = I_{B+} - I_{B-}$ 。根据 OPA847 的数据手册，其典型值为 $I_{bias} = -39 \mu\text{A}$ （负号表示实际方向与正方向相反）， $I_{offset} = \pm 0.6 \mu\text{A}$ 。

在引入偏置电流的运放模型中，由于输入偏置电流的存在，“虚断”近似失效；但只要运放保持在线性工作区且处于深度负反馈状态，“虚短”特性依然成立。由此可计算出零输入条件下，由输入偏置电流引起的输出电压漂移 $V_{o\Delta}$ ，如式(2.16)所示：

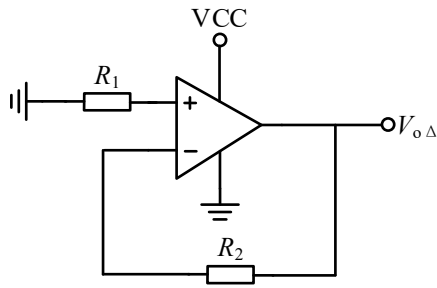
$$V_+ = -I_{B+} \cdot R_1 = V_- \quad (2.14)$$

$$V_{o\Delta} - V_- = I_{B-} \times R_2 \quad (2.15)$$

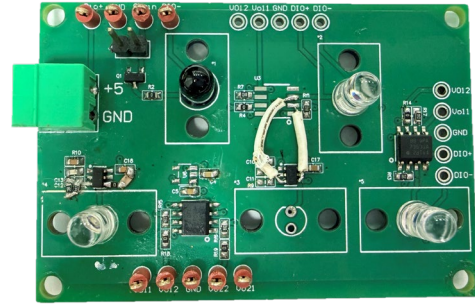
$$V_{o\Delta} = I_{B-} \times R_2 - I_{B+} \times R_1 \quad (2.16)$$

因此，电阻 R_1 和 R_2 的取值直接决定了运放电路在零输入条件下的输出漂移电压 $V_{o\Delta}$ ，将 I_{bias} 与 I_{offset} 的定义代入式(2.16)，得：

$$V_{o\Delta} = -I_{bias} \times (R_2 - R_1) - \frac{I_{offset}}{2} \times (R_2 + R_1) \quad (2.17)$$



(a) 偏置电流与输出漂移电压
关系验证电路图



(b) 偏置电流与输出漂移电压
关系验证实物图

图 2-31 偏置电流与输出漂移电压关系验证实验

为验证式(2.17)，本文搭建了如图 2-31 所示的实验测试电路，通过配置不同的电阻参数并记录对应的输出漂移电压，对考虑 OPA847 偏置电流影响的运放模型进行了实验验证，详细实验结果如表 2-3 所示。

表 2-3 考虑偏置电流的运放模型验证

$R_1(\text{k}\Omega)$	$R_2(\text{k}\Omega)$	$V_{o\Delta}(\text{mV})$
100	100	-286
180	200	514
190	200	20

利用最小二乘法进行线性回归分析，可得 $V_{o\Delta}$ 与 R_1 、 R_2 关系如式(2.18)所示，该模型的拟合优度 R^2 达 0.997，且反解出的 I_{bias} 与 I_{offset} 与 datasheet 典型值相近，验证了所建偏置电流与输出漂移电压模型的准确性。

$$V_{o\Delta} = 51.35\mu\text{A} \times (R_2 - R_1) - 1.32\mu\text{A} \times (R_2 + R_1) \quad (2.18)$$

$$I_{\text{bias}} = -51.35\mu\text{A}, I_{\text{offset}} = 2.64\mu\text{A} \quad (2.19)$$

根据式(2.18)，满足 $R_1 = R_2$ 是确保系统输出漂移电压 $V_{o\Delta} \approx 0$ 的关键条件。本文结合图 2-35 所示的 TIA 电路对该设计准则进行验证。在该电路中，运放同相输入端与反相输入端的等效电阻 R_1 和 R_2 分别对应电路中的 R 与 R_f 。在 TINA-TI 环境下搭建仿真模型，设定 $R_2 = 200 \text{ k}\Omega$ ， R_1 分别取 $130 \text{ k}\Omega$ 、 $200 \text{ k}\Omega$ 和 $400 \text{ k}\Omega$ 三个特征值进行扫描分析。运算放大器选用 OPA847，为确保输出信号具有足够的双极性摆幅，供电电压配置为 $-5 \text{ V}/5 \text{ V}$ 双电源模式；光电二极管等效为一个受控电流源，在 $t=100 \text{ ns}$ 时刻模拟光电流由 0 A 瞬时阶跃至 $10 \mu\text{A}$ 。不同电阻 R 取值下的仿真输出波形如图 2-32 所示。

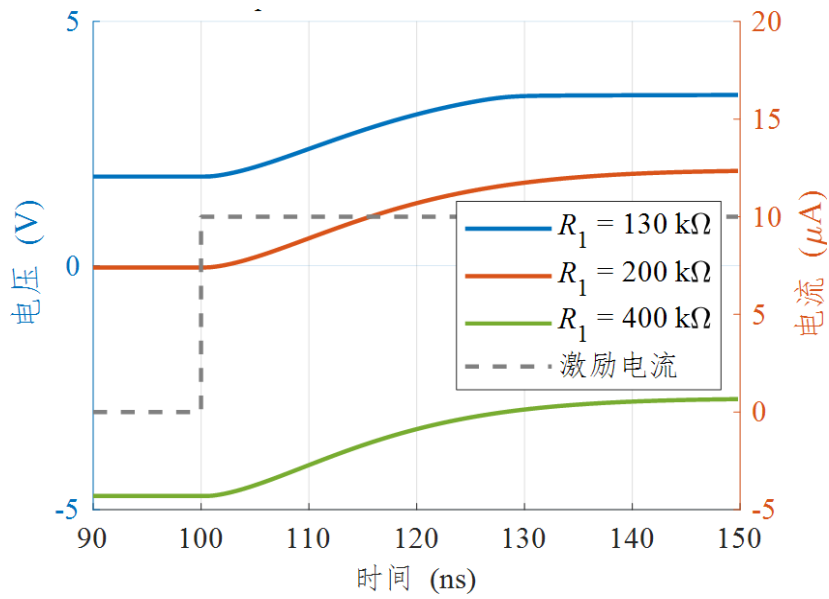


图 2-32 $R_2 = 200 \text{ k}\Omega$, R_1 不同取值下的 TIA 输出

仿真结果表明, 当 $R_1 = R_2$ 时, 输出漂移电压近似为零, 验证了通过使两输入端等效电阻保持一致来消除偏置电流干扰的有效性。下文将该准则应用于同相放大与 TIA 电路的具体设计中。

(2) 同相放大器方案

在完成运放选型与偏置电流补偿的基础上, 本文对比了基于 OPA847 设计的同相放大电路与跨阻放大电路在光电转换中的性能表现, 旨在选取更优方案, 从而实现故障信号的快速下发。

图 2-33 展示了基于同相放大拓扑的光-电转换方案, 其工作逻辑较为直观: 无光照时, 光电二极管仅产生微弱的暗电流, 在电阻 R_3 上形成的压降经运放放大后, 不足以触发保护电路的阈值电压; 当有光照射时, 光电流增大, 并在 R_3 上产生高电平压降, 经放大后电压达到保护阈值, 从而触发过流保护逻辑。光电流 I_D 与输出电压 V_{out} 的关系如式(2.20)所示:

$$V_{out} = I_D \cdot R_3 \cdot \left(1 + \frac{R_f}{R}\right) \quad (2.20)$$

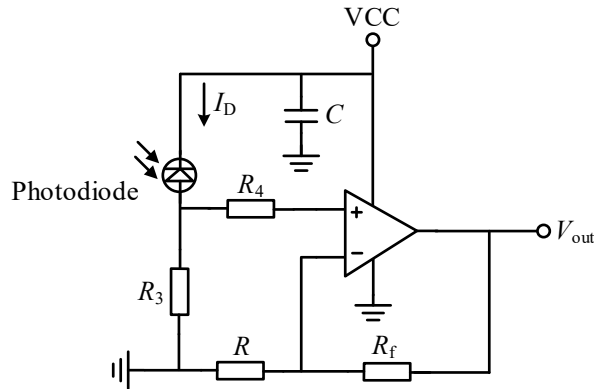


图 2-33 基于同相放大器的光-电转换电路

对于同相放大器，其零输入响应电路模型可类比图 2-30 所示结构。运放同相输入端的等效电阻 $R_1 = R_3 + R_4$ ，反相输入端的等效电阻 $R_2 = R // R_f$ 。为满足偏置电流补偿条件，令 R_f 、 R 、 R_3 及 R_4 分别取值为 $50\text{ k}\Omega$ 、 $1\text{ k}\Omega$ 、 $400\text{ }\Omega$ 和 $600\text{ }\Omega$ ，从而确保 $R_1 = R_2$ 。仿真环境配置如下：运算放大器选用 OPA847，供电电压设定为 $0\text{ V}/3.3\text{ V}$ 单电源模式；光电二极管等效为一个受控电流源，在 $t = 100\text{ ns}$ 时刻模拟光电流由 0 A 瞬时阶跃至 $100\text{ }\mu\text{A}$ 。通过在 TINA-TI 中搭建仿真模型，测量同相放大器对阶跃电流信号的响应时间，定量评估其传输延迟。

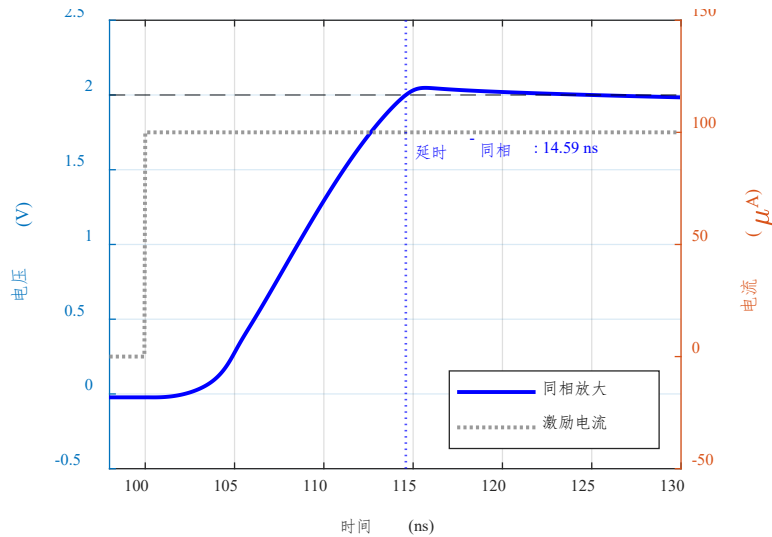


图 2-34 同相放大电路仿真结果

图 2-34 展示了同相放大电路对 $100\text{ }\mu\text{A}$ 光电流阶跃信号的仿真响应。定义延迟时间为从 100 ns 时刻光电流发生阶跃起，至运放输出端达到 2 V 逻辑高电平的时间间隔。根据仿真结果，基于同相放大电路的光-电转换延迟为 14.59 ns 。

(3) 跨阻放大器(TIA)方案

光-电转换的另一种方案基于跨阻放大器拓扑，其典型电路结构如图 2-35 所示。当

无光照时，光电二极管支路处于断路状态，运算放大器输入端呈现高阻抗，输出端维持低电平；当有光照射时，光电流由阴极流向阳极，并在反馈电阻 R_f 上产生压降，使得输出端跳变为高电平。结合运算放大器的“虚短”与“虚断”特性，光电流 I_D 与输出电压 V_{out} 的关系表达式如式(2.21)所示：

$$V_{out} = I_D \cdot R_f \quad (2.21)$$

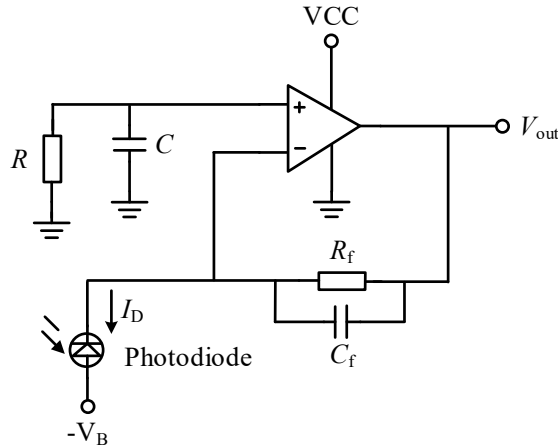


图 2-35 基于 TIA 的光-电转换电路

相较于同相放大器，TIA 电路在闭环带宽方面更适合微弱光电流信号放大。理想情况下，同相放大器的闭环带宽随闭环增益提高而降低，而 TIA 电路的闭环带宽不随跨阻增益增加而明显衰减，只受到运放增益带宽积（GBW）限制。因此，TIA 更适用于本设计中 $100\mu\text{A}$ 光电流至 2V 电压信号的高速转换。下文将进一步通过理论推导分析两者带宽差异的机理。

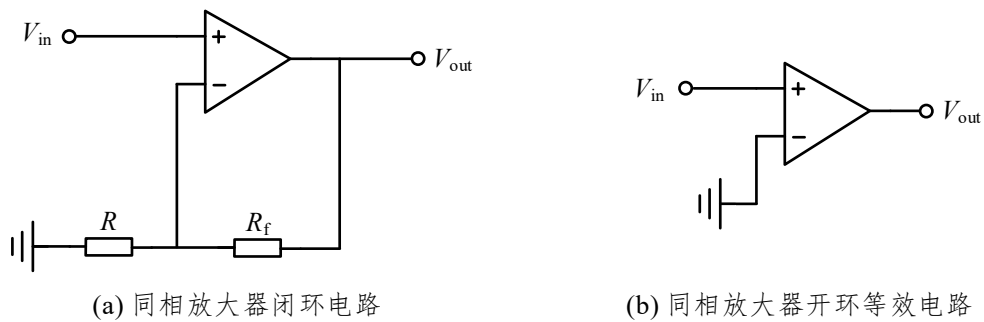


图 2-36 同相放大器闭环与开环等效电路

对于同相放大电路，其系统开环增益 A_{ol} 即为运算放大器的开环增益 A （开环电路结构如图 2-36(b)所示）。反馈系数 β 、闭环增益 A_{cl} 和环路增益 $LoopGain$ 分别如式(2.22)~(2.24)所示。同相放大电路的控制框图如图 2-37 所示。在同相放大电路中，增大闭环增益会导致反馈系数 β 减小，进而引起环路增益降低，最终导致闭环带宽 f_c 下降。

$$\beta = \frac{V_{fb}}{V_{out}} = \frac{R}{R + R_f} \quad (2.22)$$

$$A_{cl} = \frac{A_{ol}}{1 + A_{ol} \cdot \beta} = \frac{A}{1 + A \cdot \beta} \quad (2.23)$$

$$LoopGain = A_{ol} \cdot \beta = A \cdot \frac{R}{R + R_f} \quad (2.24)$$

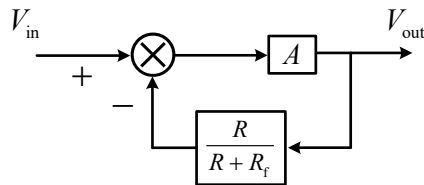


图 2-37 同相放大电路反馈环路图

TIA 电路开环等效模型不同于普通同相放大电路。对于图 2-38(a)所示忽略补偿器件的 TIA 闭环电路，反馈电阻 R_f 会同时影响输入、输出端阻抗，因此不能简单断开反馈支路建立开环模型，而需采用双端口网络方法进行等效。根据输出端电压并联采样和输入电流并联混合的反馈特性，可得到图 2-38(b)所示的 TIA 开环等效电路。

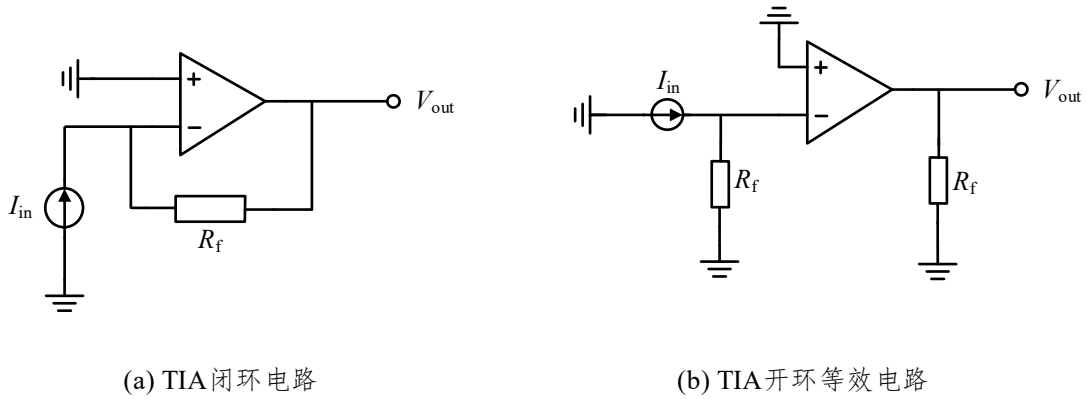


图 2-38 TIA 闭环与开环电路

因此系统的开环增益、反馈系数 β 、闭环增益 A_{cl} 和环路增益 $LoopGain$ 分别如式 (2.25)~(2.28) 所示，其中 A 为运放开环增益。

$$A_{ol} = \frac{V_{out}}{I_{in}} = R_f \cdot A \quad (2.25)$$

$$\beta = \frac{I_{fb}}{V_{out}} = \frac{1}{R_f} \quad (2.26)$$

$$A_{cl} = \frac{A_{ol}}{1 + A_{ol} \cdot \beta} = \frac{R_f \cdot A}{1 + R_f \cdot A \cdot \frac{1}{R_f}} = \frac{R_f \cdot A}{1 + A} \quad (2.27)$$

$$LoopGain = A_{ol} \cdot \beta = A \cdot R_f \cdot \frac{1}{R_f} = A \quad (2.28)$$

根据式(2.28)可知, TIA 电路的环路增益与反馈电阻 R_f 无关, 这表明增益的提升并不会以牺牲系统带宽为代价, 如图 2-39 所示, 且 TIA 电路环路增益为 1 时对应的频率即为运放的增益带宽积(GBW)。然而, 在实际电路中, 运放与 PCB 的寄生参数仍会限制系统的闭环响应, 导致实际闭环带宽较理想值有所降低。

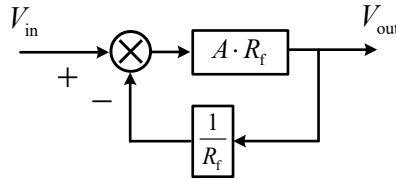


图 2-39 TIA 电路环路图

本文搭建了仿真平台, 对比 TIA 电路与同相放大电路在 $100 \mu\text{A}$ 电流阶跃输入下的响应特性。对于 TIA 电路, 其零输入响应模型与图 2-30 所示结构完全一致, 其中运放同相输入端的等效电阻为 $R_1 = R$, 反相输入端的等效电阻为 $R_2 = R_f$, 为满足偏置电流补偿条件, 设定 $R_f = R = 20 \text{ k}\Omega$ 。在与同相放大电路一致的仿真环境下, 仿真结果如图 2-40 所示。实验结果表明, 基于 TIA 电路的光-电转换延迟仅为 7.11 ns , 约为同相放大电路延迟的 $1/2$, 验证了 TIA 方案在实现微弱电流高速检测方面的性能优势。

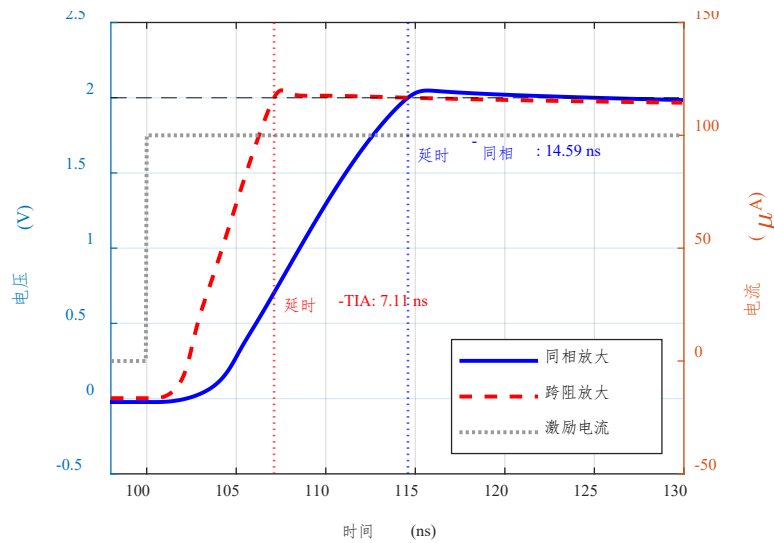


图 2-40 TIA 电路与同相放大电路仿真结果对比图

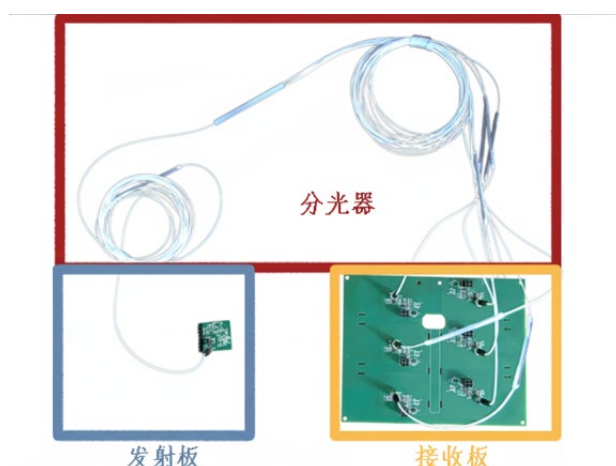


图 2-41 基于一对多光纤与光电转换的故障下达装置实物图

通过将一对多光纤与 TIA 电路相结合,本文研制了如图 2-41 所示的基于一对多光纤与光电转换的故障下达装置,并将在下一节中测试其性能。

2.4 面向 SiC 器件串联模块的过流保护技术实验验证

本节首先利用双脉冲测试平台验证集成式 TMR 电流传感器的增益一致性与动态响应保真度,并同步测试基于阈值比较的故障判定电路。其次,针对基于一对多光纤与高速 TIA 电路的故障下发装置,定量测量其传输延迟及多路输出间的同步偏差。最后,对完整保护系统开展短路测试,通过测定“测量—判定—下发”全链路的响应时间,综合评估整套方案的实际保护性能。完整保护系统框架图如图 2-42 所示。

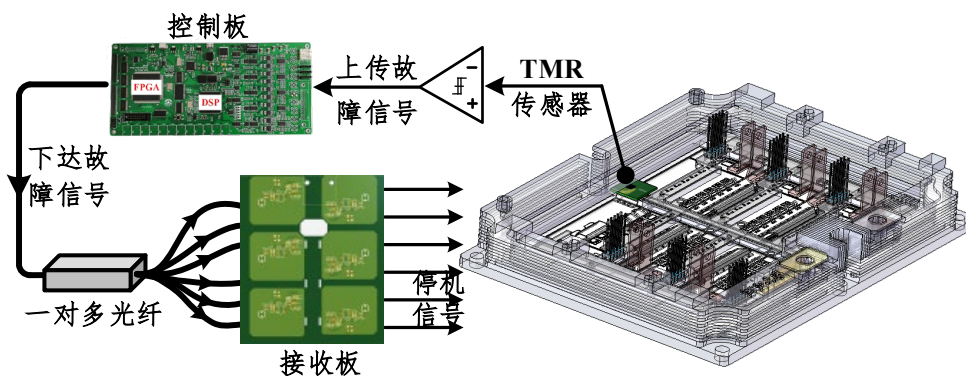


图 2-42 面向 SiC MOSFET 串联模块的过流保护系统框架图

2.4.1 集成式 TMR 电流传感器性能测试

首先验证面向 SiC MOSFET 串联模块的过流保护系统的电流感知环节,即集成式 TMR 电流测量的性能。双脉冲测试平台如图 2-43 所示,其主要由控制板、半桥功率模块,以及集成了 TMR 电流传感器的器件串联模拟样机构成,双脉冲测试的主要参数

如表 2-4 所示：

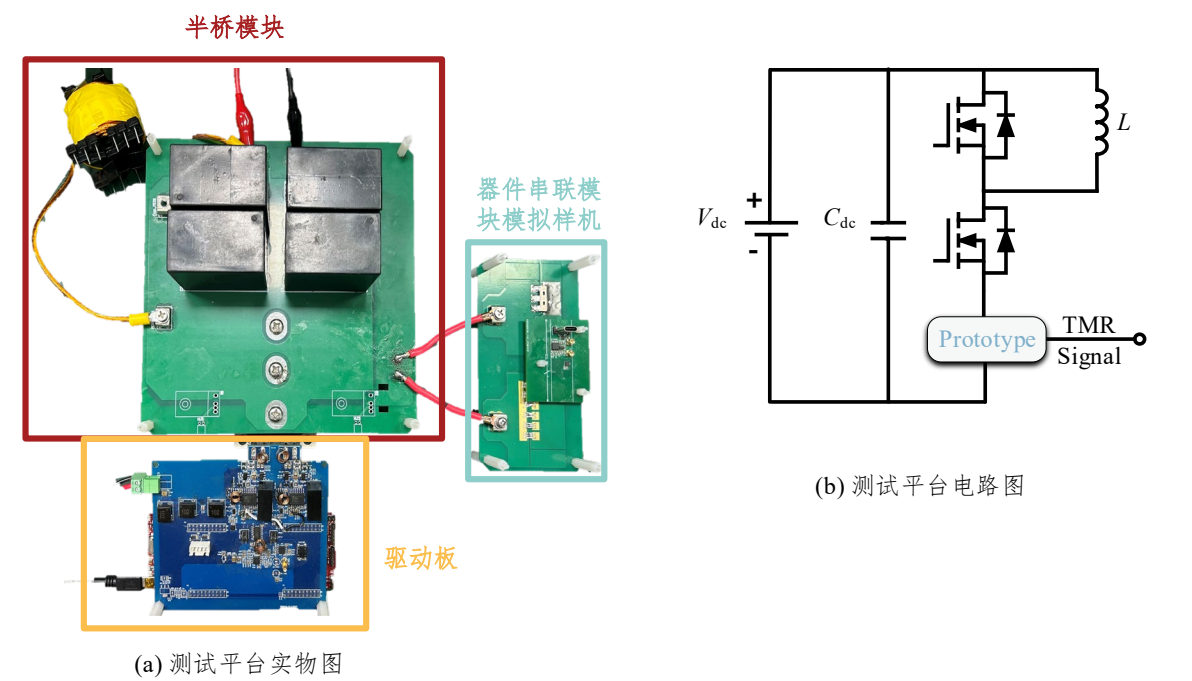


图 2-43 双脉冲测试平台实物与电路图

表 2-4 测试电路的主要参数

电路参数	符号	参数值
输入电压	V_{in}	400 V
电感	L	100 μ H
母线电容	C_{dc}	200 μ F
最大脉冲电流	I_{test}	300 A

选取 SiC 器件串联模块内四个对比位点及前期确定的最佳安装位点(见图 2-44)，将各传感器的输出信号与商用罗氏线圈(CWTUM/1/B)的测量结果进行对比分析。性能评估指标包括：线性度、增益大小、输出振荡幅度以及信号传输延迟。

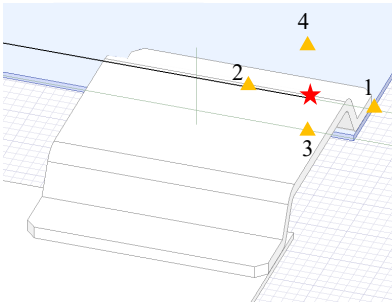


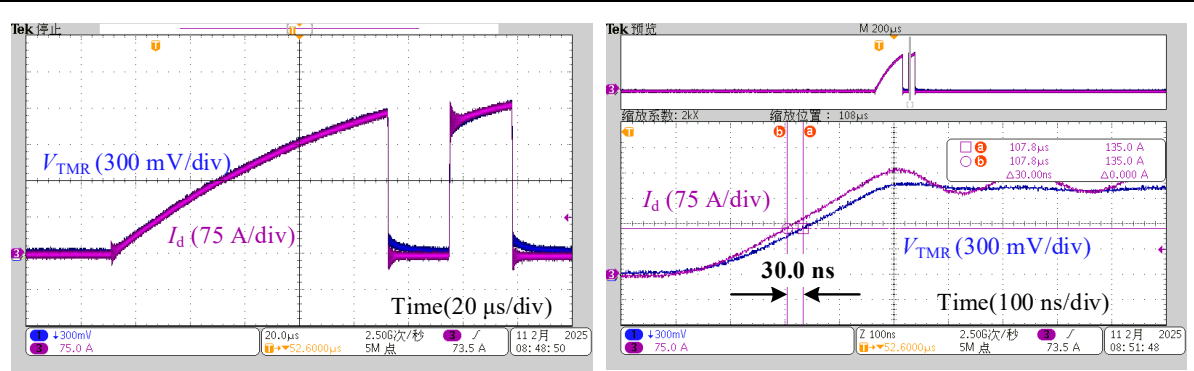
图 2-44 仿真选取的最佳位置（星形）与对比位置（三角形）

实验结果如图 2-45 与图 2-46 所示。安装于最佳安装位点的 TMR 传感器表现出

优异的线性度、较低的输出振荡及仅 30 ns 的信号延迟，综合性能优于其他测试位点。对比分析表明，位置一的增益特性偏低，位置二输出纹波幅值较大，位置三表现出较差的线性度，而位置四则存在明显的信号传输延迟。各项评估指标的详细数据如表 2-5 所示，其中标红部分代表性能表现欠佳的测试指标。

表 2-5 不同位置 TMR 电流传感器输出性能的比较

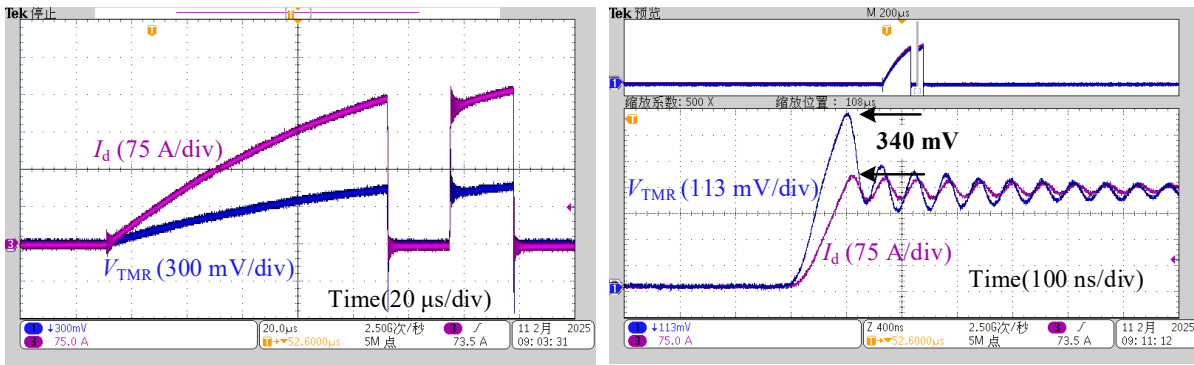
	增益(mV/A)	延时(ns)	线性度	振荡(mV)
最佳位置	4	30	Good	20
位置一	1.5	N/A	Medium	340
位置二	5.92	200	Medium	400
位置三	4.1	N/A	Bad	100
位置四	3.25	50	Good	10



(a) 最佳位置300A双脉冲实验波形

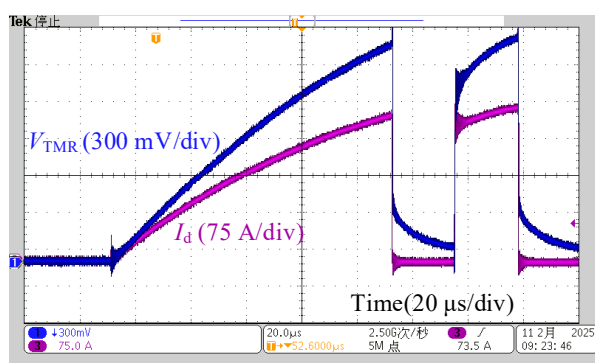
(b) 最佳位置波形细节示意图

图 2-45 最佳位置双脉冲测试结果

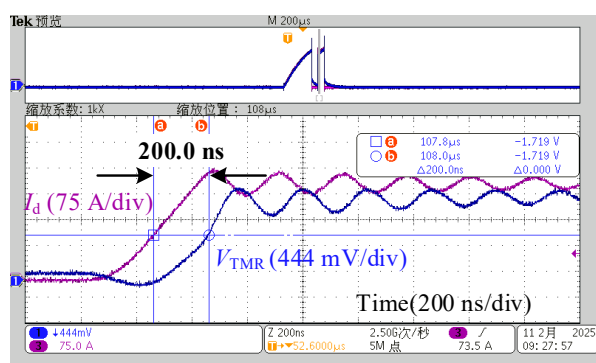


(a) 位置一300A双脉冲实验波形

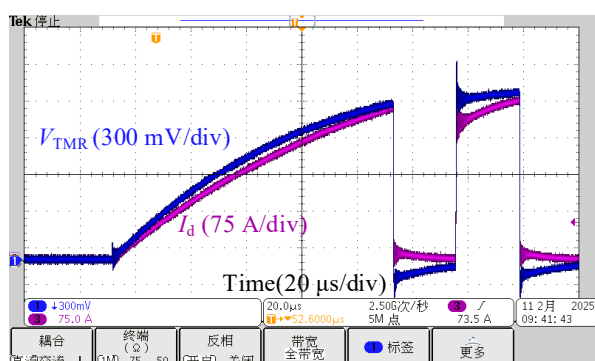
(b) 位置一波形细节示意图



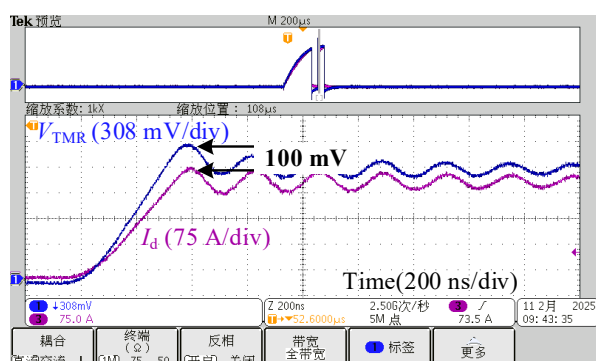
(c) 位置二300A双脉冲实验波形



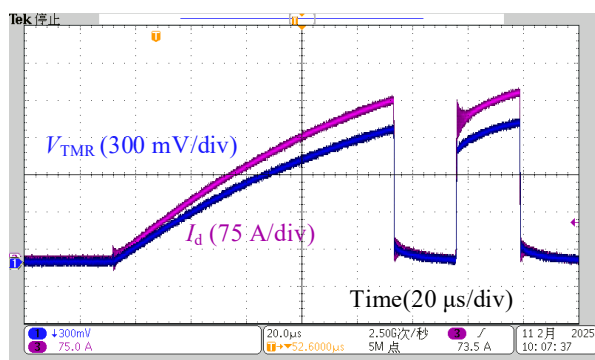
(d) 位置二波形细节示意图



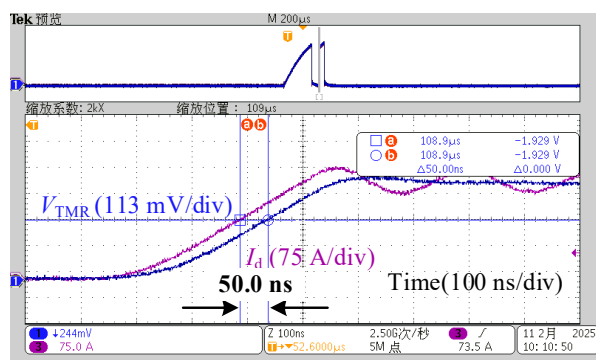
(e) 位置三300A双脉冲实验波形



(f) 位置三波形细节示意图



(g) 位置四300A双脉冲实验波形



(h) 位置四波形细节示意图

图 2-46 对照位置双脉冲测试结果

综上所述,通过 300 A 双脉冲测试验证了仿真确认的安装坐标(0, 6.543 mm, 3 mm)确实为器件串联模块集成 TMR 电流传感器的最优布局点。该点不仅确保了良好的线性度与较低的振荡水平,且实现了仅 30 ns 的信号延迟,满足 SiC 器件串联模块电流测量对准确性与实时性的要求。

2.4.2 基于阈值比较的故障判定电路测试

其次验证面向 SiC MOSFET 串联模块的过流保护系统的故障判定环节,即基于阈值比较的故障判定电路的性能。故障判定电路与 TMR 芯片集成于同一块 PCB 板上,

如图 2-47 所示。

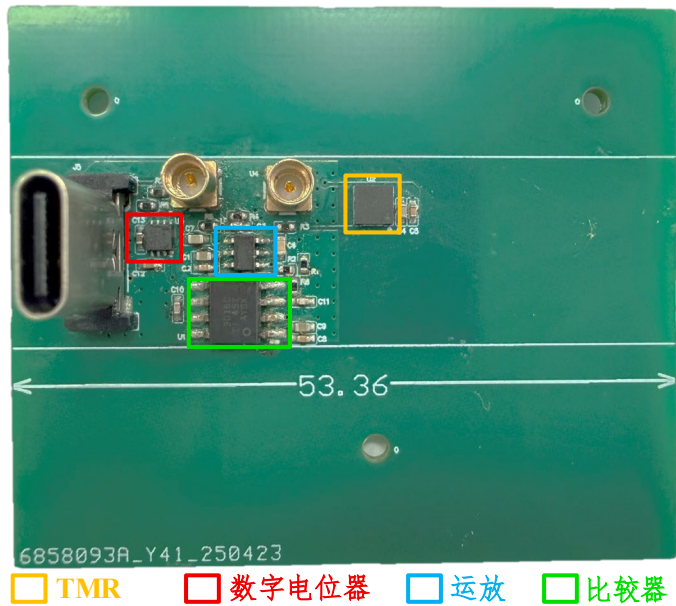


图 2-47 基于阈值比较的故障判定电路实物图

实验验证依托前文构建的双脉冲测试平台进行，并将 TMR 放置于最佳安装位点，测试结果如图 2-48 所示。一方面，电流放大电路成功将信号灵敏度提升至 8mV/A ，达到了表 2-5 中 4mV/A 原始值的 2 倍，且波形无明显畸变与额外延迟；另一方面，通过数字电位计算将比较阈值设为 4.1 V （比 2.5 V 直流偏置电压高 1.6 V ，即预设过流判定值为 200 A ），如图 2-48(b)所示，其判定延时仅为 11.5 ns 。该电路在实现信号精确放大的同时，实现了快速的故障判定，满足了 SiC 器件串联模块对过流故障迅速、可靠判定的需求。

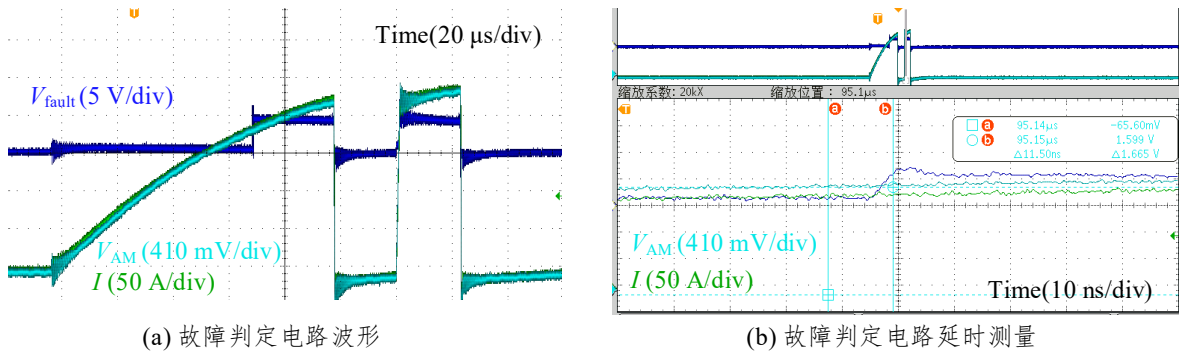


图 2-48 故障判定电路双脉冲性能测试

2.4.3 基于光隔离信号分发的故障下达装置性能测试

完成了前两级的性能验证后，下文将验证面向 SiC MOSFET 串联模块过流保护系统的最后一级，即基于一对多光纤与光电转换的故障下达装置的性能。依据 2.3.1 节的

一对多光纤方案及 2.3.2 节设计的光电转换电路，本节搭建了如图 2-49 所示的故障下达装置。为进一步降低过流误保护风险，在 TIA 电路输出端增加了一级非门，以强化系统的抗干扰能力。

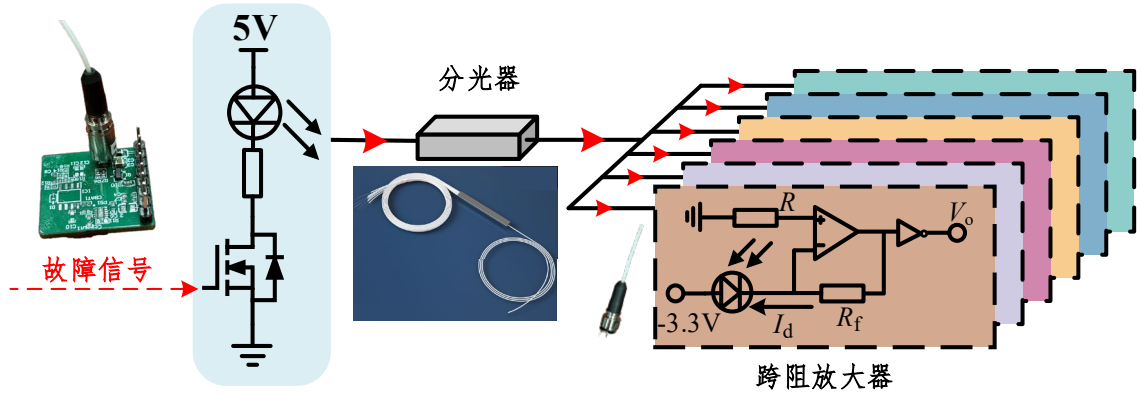


图 2-49 基于光隔离信号分发的故障快速响应装置电路结构图

本文通过实验测量了该装置的响应时间。由 DSP 向发射端发送 Trigger 信号，并同时观测三个接收单元的输出响应，实验结果如图 2-50 所示。数据表明，该基于一对多光纤与光电转换的故障下达装置对故障信号的总响应时间为 32.9 ns，且不同接收单元间的信号异步时间仅为 230 ps，满足了 SiC 器件串联模块对故障信号快速、可靠且同步下发的需求。

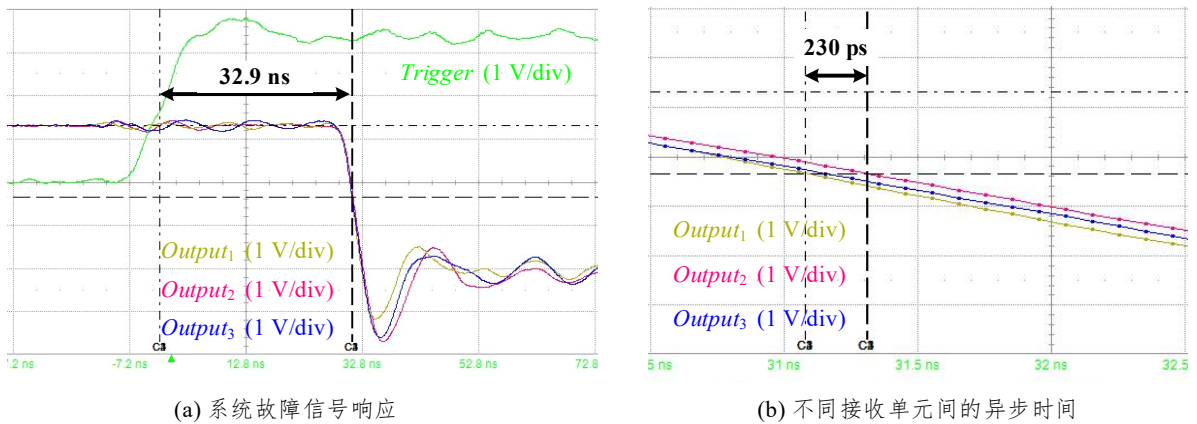


图 2-50 基于光隔离信号分发装置的故障响应时间

2.4.4 面向 SiC 器件串联模块的过流保护技术性能验证

在分别完成了集成式电流测量、基于阈值比较的故障判定以及光隔离故障指令下达装置的性能验证后，本节整合前述模块，构建了如图 2-42 所示的面向 SiC 器件串联模块的过流保护系统。该系统中，前级单元负责电流实时测量与故障判定，后级单元负责故障信号的光隔离同步分发，二者通过 FPGA 实现控制逻辑的互联。为进一步评估

该系统在实际过流工况下的全链路动态响应特性，本文搭建了如图 2-51 所示的短路测试平台。

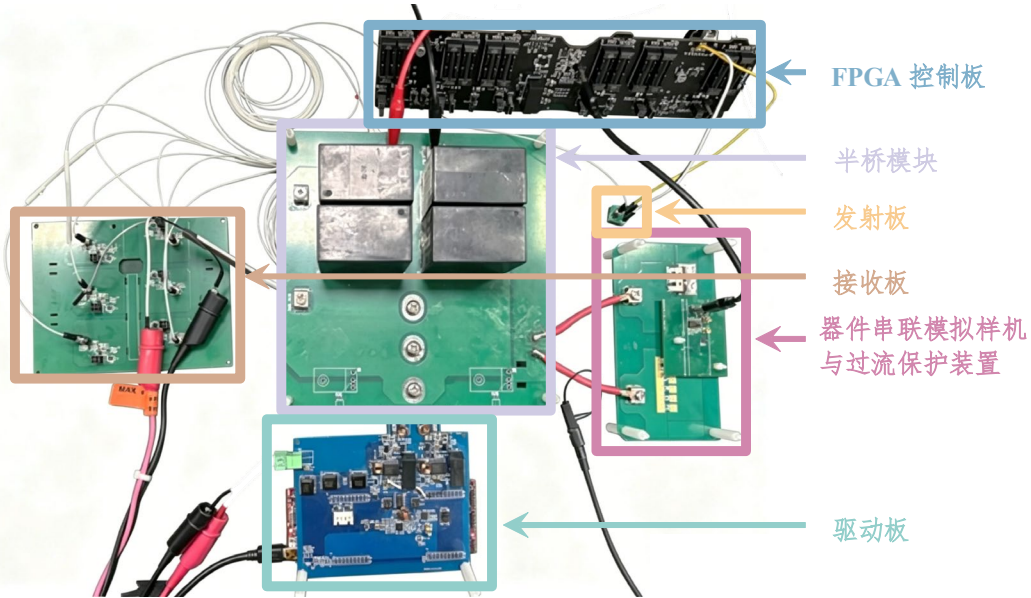
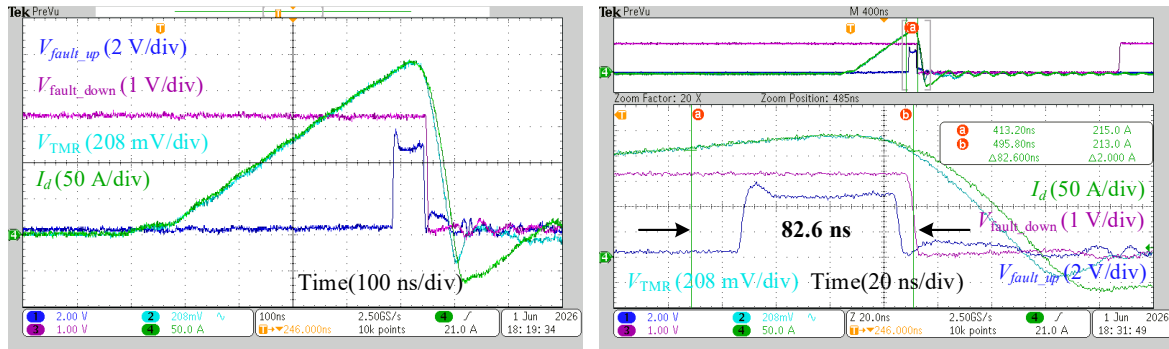


图 2-51 面向 SiC 器件串联模块的过流保护技术的短路测试平台

测试过程中，模拟的短路故障由 DSP 经驱动板触发产生，主回路电流由集成式 TMR 传感器进行实时监测。当桥臂电流超过预设阈值时，比较器会立即向 FPGA 控制板上报故障信号，并由 FPGA 触发全局停机指令。该停机指令最终经一对多光纤与末端光电转换电路同步分发至六个独立的驱动接收单元，从而实现 SiC 器件串联模块的快速、同步保护。

图 2-52 展示了在该测试平台下开展的短路测试波形。图中浅蓝色波形代表 TMR 传感器的输出，绿色波形为罗氏线圈的输出，深蓝色波形为比较器的输出，紫色波形则对应基于光隔离信号分发的故障下达装置输出的停机信号。



(a) 215A 阈值短路实验测试结果

(b) 215A 过流延时测量

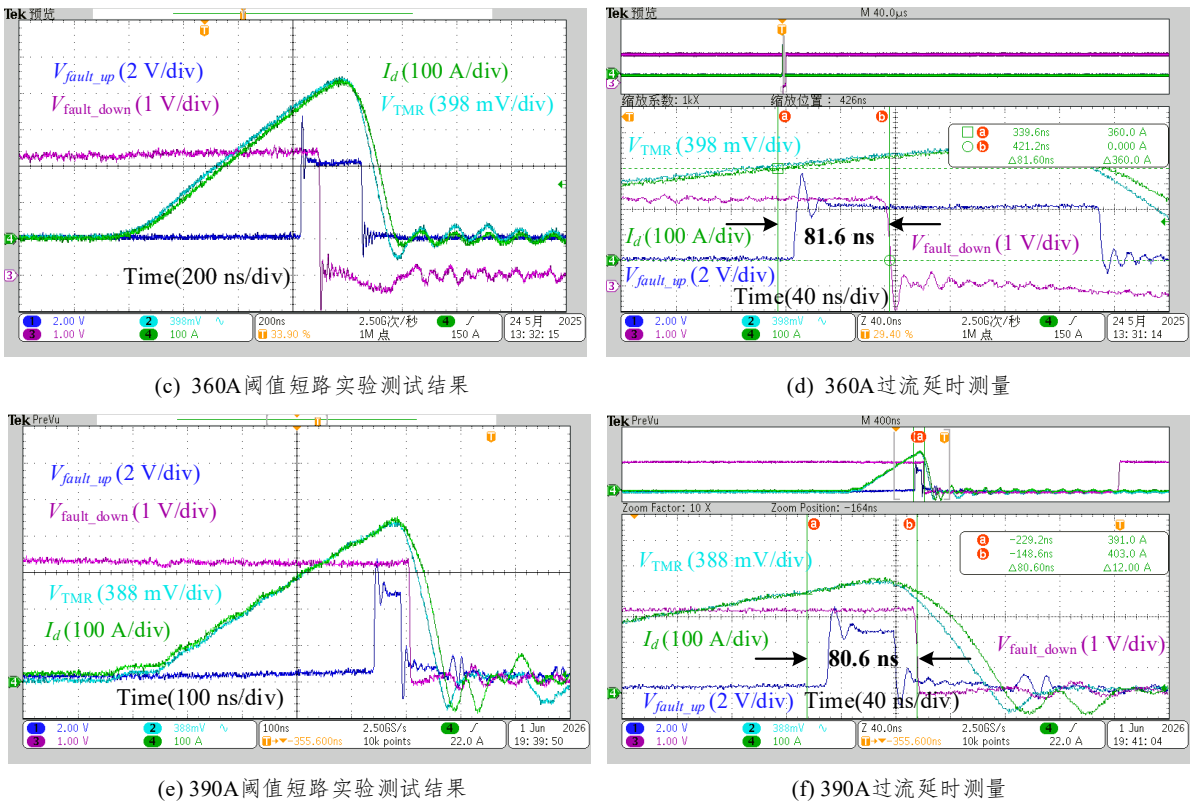


图 2-52 短路测试与延时测量

实验分别设置过流保护阈值为 215 A、360 A 和 390 A。从过流故障发生、TMR 传感器信号检测、故障判定、一对多光纤信号分发直至末级光电转换的全流程中，该面向 SiC 器件串联模块的过流保护技术实现了总计 81.6 ns 的快速响应(取测试均值)，且实验结果具备较好的重复性。表 2-6 展示了该技术各环节的延时分布（其中 FPGA 延时通过 Signal Tap 实测得出），并将理论总延时与实际总延时进行了对比；图 2-53 则进一步对比了该方案与传统过流保护的响应延迟。

表 2-6 面向 SiC 器件串联模块的过流保护技术延时分解表

	TMR 信号检测	故障判定	FPGA 处理	故障下达	理论全链路	实测全链路
延时/ns	30	11.5	14.8	32.9	89.2	81.6

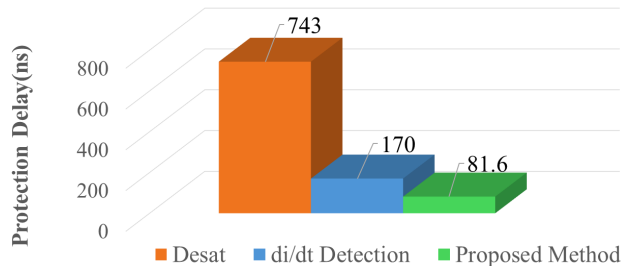


图 2-53 所提技术与传统方案响应延迟对比分析

2.5 本章小结

本章针对高压 SiC MOSFET 串联模块在过流工况下的保护需求，研制了一种基于集成式 TMR 电流测量与光隔离分发技术的过流保护技术。首先，使用集成式 TMR 电流传感器非侵入地测量串联模块电流，利用三维有限元仿真确定了传感器的最优安装坐标，以克服高频集肤效应导致的磁场畸变。同时，针对空间磁场耦合引起的互感噪声，设计了基于频域“零极点对消”原理的 RC 极点补偿电路，有效抑制了开关瞬态的波形畸变，实现了传输延迟仅为 30 ns 的电流测量。其次，配套设计了阈值比较电路，实现了对过流故障的快速、可靠判定。随后，针对多路停机指令下发不一致引发的动态不均压风险，引入一对多光纤与基于 OPA847 的跨阻放大电路，在实现故障信号 32.9 ns 下达的同时，将各支路间的同步偏差控制在 230 ps 以内。最后，经实验验证，该技术全链路总响应时间为 81.6 ns，提升了 SiC 器件串联模块在过流故障工况下的运行可靠性。

第3章 面向器件串联型碳化硅功率模块的结温检测方法

在前章实现 SiC MOSFET 串联模块过流保护的基础上,本章进一步围绕模块内部芯片结温检测问题开展研究。为获取器件串联型模块内部芯片结温,本文提出了一种基于体二极管压降(V_{sd})的结温检测方法。该方法在停机后实施,结合 K 系数法并引入一维热传导“平方根 t 法”来补偿测量延迟,实现了对器件关断瞬时结温的精确反推。为实现上述检测方法,本文研制了配套的恒流源选通与 V_{sd} 提取电路,并设计了适用于 SiC 器件串联模块的停机时序逻辑以抑制干扰。最后,通过 SiC 器件串联模组对拖测试,验证了该结温检测方法的测量精度。

3.1 小电流体二极管压降作为温敏参数的 SiC MOSFET 结温测量

虽然目前已提出多种基于温敏电参数的 SiC MOSFET 结温检测方法,但小电流体二极管正向压降 V_{sd} 因具有较好的线性度、重复性和老化一致性,常被用作结温标定与测试的基准参数,因此,本文选取 V_{sd} 作为结温检测的温敏电参数。然而,该参数通常需要向 SiC MOSFET 体二极管注入小电流进行提取,难以在功率器件正常开关过程中实时测量,且电磁干扰会引入很大的测量误差。基于此,本文采取停机瞬态采样与温降反推策略:在器件串联模块样机关停后立即注入小电流并提取 V_{sd} ,再根据芯片温度下降规律反推关断瞬时的真实结温。该方法可用于获取不同工况下器件串联模块内部芯片的温度状态,对模块热设计、工况评估及故障状态下的温度分析具有重要意义。

围绕上述思路,本节首先介绍 SiC MOSFET 体二极管正向压降 V_{sd} 的温敏特性及 K 系数标定方法。随后分析测量延迟引起的温降误差,并引入“平方根 t 法”进行补偿。

3.1.1 MOSFET 物理结构分析

SiC MOSFET 是一种基于碳化硅材料的绝缘栅型场效应管,通常分为平面栅型(DMOS)和沟槽栅型(UMOS)两种结构,其典型器件剖面结构如图 3-1 所示。在这类 MOSFET 中,从源极经 P-well 区、漂移区至漏极的路径构成了一个 PN 结,即 MOSFET 特有的体二极管结构。利用该体二极管,可通过注入小电流并测量其 PN 结压降来实现结温检测。PN 结压降与温度的关系如式(3.1)所示^[77]:

$$V_{PN}(T, j) = \frac{E_g}{q} - \frac{k \cdot T}{q} \cdot \ln\left(\frac{q \cdot D_p \cdot N_c \cdot N_v}{L_p \cdot N_D \cdot j}\right) \quad (3.1)$$

式中： E_g 为材料禁带宽度， q 为元电荷， k 为玻尔兹曼常数， T 为热力学温度， D_p 和 L_p 分别为少子空穴的扩散系数和扩散长度， N_c 与 N_v 分别为导带和价带的有效状态密度， N_D 为施主掺杂浓度， j 为电流密度。对于给定的 PN 结，其他量均为常数，PN 结压降仅取决于温度 T 与电流密度 j 。当流过 PN 结的电流保持不变时，其压降与温度之间呈现出良好的负线性关系。

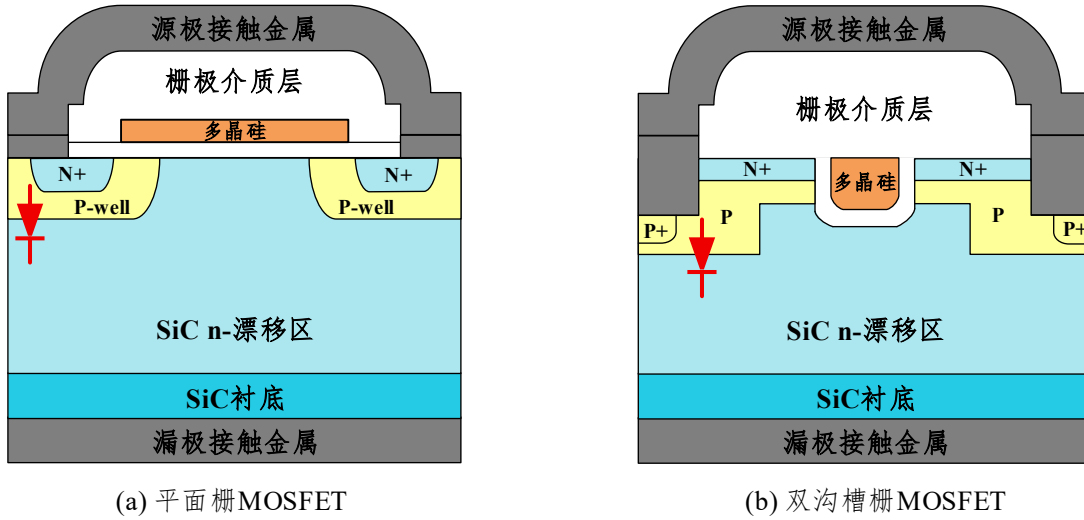


图 3-1 SiC MOSFET 基本结构

3.1.2 K 系数法

根据式(3.1)，结温与压降的关系可简化为：

$$V(T_j) = V(T_{ref}) + K \cdot (T_j - T_{ref}) \quad (3.2)$$

因此，通过引入温敏系数 K (mV/°C)，可以建立结温与体二极管压降之间的映射关系。这种利用小电流测量 MOSFET 体二极管压降并反推结温的方法，即为 K 系数法。在应用该方法前，首先需对 MOSFET 的体二极管压降 V_{sd} 与结温 T_j 之间的特性曲线进行标定，图 3-2 展示了 K 系数的标定电路结构。

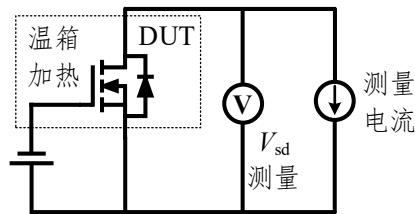


图 3-2 MOSFET K 系数标定电路

首先，将待测器件置于恒温箱内加热至设定温度并保持热平衡。为确保 MOSFET 完全处于关断状态，防止沟道漏电流分流影响标定精度，需向栅极施加负偏置电压。随后，向 MOSFET 源极注入一小电流以测量体二极管压降 V_{sd} 。该电流选取需遵循双重

准则：一方面应足够小，以忽略测量电流自身引起的温升效应；另一方面不宜过小，以免引入过大的测量误差。依据文献[78]，通常选取 100 mA 作为测量电流。通过阶梯式调节温箱温度并记录对应 V_{sd} ，即可获得不同温度下的 V_{sd} 测量值。最后，基于上述实验数据绘制 V_{sd} 与温度的关系曲线，从而完成 SiC MOSFET 体二极管小电流压降结温特性的标定。

完成上述标定工作后，在实际工作条件下，需关断主功率回路，并施加与标定阶段一致的栅极负偏置电压及测量电流，测得此时的体二极管压降 V_{sd} 。最后，将测量值代入前期标定的 V_{sd} 与温度关系曲线中，即可推算得出待测 SiC MOSFET 结温。

3.1.3 平方根 t 法零点校正

1) 理论推导

在实际工况下，功率回路执行关断操作并注入反向测量电流的过程中，电路会不可避免地受到电磁瞬态干扰。尽管目标是获取 $t = 0$ 时刻（即器件关断瞬时）的结温，但受电路寄生参数影响，测量数据在零时刻附近存在剧烈波动，无法直接提取有效信息。从关断动作至 V_{sd} 信号趋于稳定，存在一个固有的测量延迟 $t_{delay}^{[79]}$ ，导致实际获取的结温点滞后于关断时刻。受 SiC 材料高导热率影响（SiC 热导率约为 $4.9\text{W}/(\text{cm}\cdot\text{K})$ ，是 Si 的近三倍），该延迟时间段内的结温降幅显著且不可忽略。因此，为提升测量精度，必须对该测量延迟导致的结温偏差进行零点校正。

平方根 t 法(Square-root- t Method)是一种适用于表面发热封闭结构的短时间温差校准方法。根据线性叠加定理，“关闭一个热源”在数学上可等效为“在保留原有热源的同时，叠加一个负功率热源”。基于此，下文将通过对物体施加热源后引起的温度变化进行分析，详细阐述该校准方法的原理^{[80][81]}。

图 3-3(a)展示了正在工作的功率半导体芯片与 DBC 基板及散热器的剖面示意图。为便于理论分析，本文对物理模型进行了理想化处理：将 DBC 基板简化为半径为 B ，高度为 W 的有限长实心圆柱体介质；功率芯片简化为半径为 A 的圆形热源；散热器简化为理想的半无限大散热介质，且圆柱体底部与散热器接触面视为理想等温面。此外，假设圆柱体介质材料各向同性，热导率为 k ，介质内部无内热源，侧壁为绝热边界，在圆柱体顶面，与功率芯片接触的区域视为恒定热流密度 f 注入，其余部分均为绝热边界。假定系统已达到热平衡状态，以圆柱体顶面中心为坐标原点，并参照图 3-3(b)所示方向建立柱坐标系。

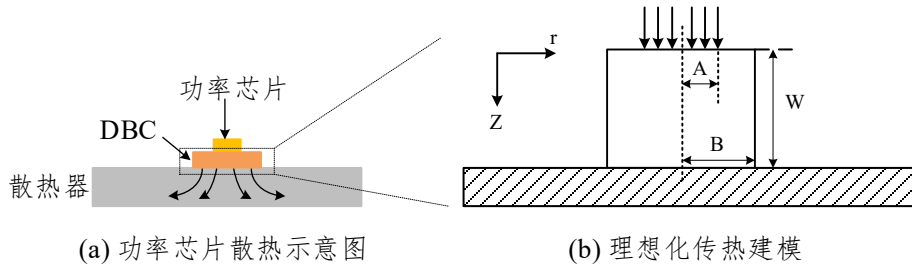


图 3-3 功率芯片散热建模示意图

在无内热源的均匀介质中，稳态温度分布需满足拉普拉斯方程：

$$\nabla^2 T(r, z, \theta) = 0 \quad (3.3)$$

考虑到系统的轴对称性，式(3.3)可简化为：

$$\frac{\partial^2 T}{\partial r^2} + \frac{1}{r} \frac{\partial T}{\partial r} + \frac{\partial^2 T}{\partial z^2} = 0. \quad (3.4)$$

对式(3.4)采用分离变量法，设其解的形式为式(3.5)：

$$T(r, z) = \psi_0 + \psi_1 z + U(r)V(z). \quad (3.5)$$

将式(3.5)代入式(3.4)，可得：

$$\frac{1}{U} \left(\frac{\partial^2 U}{\partial r^2} + \frac{1}{r} \frac{\partial U}{\partial r} \right) = -\frac{1}{V} \frac{\partial^2 V}{\partial z^2} \quad (3.6)$$

由于等式两侧分别为不同独立变量的函数，故二者必恒等于同一常数。假设该常数为 $-\lambda^2$ ，则有：

$$\frac{1}{U} \left(\frac{\partial^2 U}{\partial r^2} + \frac{1}{r} \frac{\partial U}{\partial r} \right) = -\frac{1}{V} \frac{\partial^2 V}{\partial z^2} = -\lambda^2 \quad (3.7)$$

$$\frac{\partial^2 U}{\partial r^2} + \frac{1}{r} \frac{\partial U}{\partial r} + \lambda^2 U(r) = 0 \quad (3.8)$$

$$\frac{\partial^2 V}{\partial z^2} - \lambda^2 V(z) = 0 \quad (3.9)$$

对式(3.8)作变量代换，令 $\xi = \lambda \cdot r$ ，则式(3.8)可化为：

$$\lambda^2 \frac{\partial^2 U}{\partial \xi^2} + \frac{\lambda}{\xi} \cdot \lambda \frac{\partial U}{\partial \xi} + \lambda^2 U = 0 \quad (3.10)$$

$$\xi^2 \cdot \frac{\partial^2 U}{\partial \xi^2} + \xi \cdot \frac{\partial U}{\partial \xi} + \xi^2 \cdot U = 0 \quad (3.11)$$

对于形如 $x^2 \frac{d^2 y}{dx^2} + x \frac{dy}{dx} + (x^2 - \alpha^2)y = 0$ 的贝塞尔方程，其通解无法用初等函数表示，

通常采用第一类贝塞尔函数 $J_\alpha(x)$ 和第二类贝塞尔函数 $Y_\alpha(x)$ 来表示标准解：

$$y(x) = c_1 J_\alpha(x) + c_2 Y_\alpha(x) \quad (3.12)$$

$$J_\alpha(x) = \sum_{m=0}^{\infty} \frac{(-1)^m}{m! \Gamma(m + \alpha + 1)} \left(\frac{x}{2}\right)^{2m + \alpha} \quad (3.13)$$

$$Y_\alpha(x) = \frac{J_\alpha(x) \cos(\alpha\pi) - J_{-\alpha}(x)}{\sin(\alpha\pi)}. \quad (3.14)$$

鉴于第二类贝塞尔函数在 $x = 0$ 处发散，而物理上结温在 $r = 0$ 处必须有限，因此必有 $c_2 = 0$ ，由此，式(3.11)的通解为：

$$U = C_1 J_0(\xi) = C_1 J_0(\lambda r) \quad (3.15)$$

同时，式(3.9)的通解为：

$$V(z) = C_1 e^{\lambda z} + C_2 e^{-\lambda z} = A \cosh(\lambda z) + B \sinh(\lambda z) \quad (3.16)$$

将式(3.15)和式(3.16)代入式(3.5)，可得温度关于 r 和 z 的通解：

$$T(r, z) = \psi_0 + \psi_1 z + \psi_2 [c_1 \cosh(\lambda z) + c_2 \sinh(\lambda z)] J_0(\lambda r) \quad (3.17)$$

结合预设边界条件：圆柱体侧壁绝热，圆柱体底部接触面视为理想等温面（无穷远处温度为 0），顶面中心（半径小于 A）区域施加恒定热流注入，而顶面外圈（半径大于 A）区域则保持绝热。据此，可得如下边界条件：

$$\begin{cases} \partial T / \partial r = 0 & r = B; \quad 0 < z < W \\ T(r, z) = 0 & 0 < r < B; \quad z = W \\ \partial T / \partial z = -f / k & 0 < r < A; \quad z = 0 \\ \partial T / \partial z = 0 & A < r < B; \quad z = 0 \end{cases} \quad (3.18)$$

解得圆柱体理想 DBC 内部温度分布如式(3.19)所示，其中 α_l 为 $J_1 = 0$ 的解。

$$T(r, z) = \frac{f \cdot (W - z)}{k} \left\{ \frac{A^2}{B^2} + \frac{2A}{W - z} \sum_{l=1}^{\infty} \left[\frac{\sinh\left(\frac{\alpha_l}{B}(W - z)\right)}{\cosh\left(\frac{\alpha_l W}{B}\right)} \right] \left[\frac{J_1\left(\alpha_l \frac{A}{B}\right) J_0\left(\alpha_l \frac{r}{B}\right)}{\alpha_l^2 J_0^2(\alpha_l)} \right] \right\} \quad (3.19)$$

原点处温度为：

$$T(0, 0) = \frac{fW}{k} \left\{ \frac{A^2}{B^2} + \frac{2A}{W} \sum_{l=1}^{\infty} \left[\frac{J_1\left(\alpha_l \frac{A}{B}\right)}{\alpha_l^2 J_0^2(\alpha_l)} \right] \tanh\left(\frac{\alpha_l W}{B}\right) \right\}. \quad (3.20)$$

令 $x = \frac{W}{A}$, $\varepsilon = \frac{A}{B}$, 根据热阻的定义, 圆柱形介质的热阻 R_t 为:

$$R_t = \frac{\Delta T}{P} = \frac{T(0,0) - 0}{f \cdot \pi A^2} = \frac{\frac{T(0,0) \cdot k}{f \cdot A}}{k \cdot \pi A} = \frac{H(x)}{k \pi A} \quad (3.21)$$

$$H(x) = \frac{T(0,0) \cdot k}{f \cdot A} = x \cdot \varepsilon^2 + 2 \sum_{n=1}^{\infty} \left[\frac{J_1(\alpha_n \varepsilon)}{\alpha_n^2 J_0^2(\alpha_n)} \tanh(\alpha_n \cdot \varepsilon \cdot x) \right] \quad (3.22)$$

式(3.21)即为圆柱形介质在如图 3-3 所示二维理想近似下的热阻。若对圆柱形介质采取一维近似, 也即认为在圆柱体中 $A < r < B$ 的部分不参与传热, 则由一维热阻公式可得圆柱形介质的热阻 R_t' :

$$R_t' = \frac{W}{k \pi A^2} = \frac{x}{k \pi A} \quad (3.23)$$

在特定条件下, 若二维模型与一维近似的结果偏差较小, 则可用一维近似代替二维模型以简化运算。考虑 R_t 取值的收敛性, 当 n 趋于无穷大时, $H(x)$ 的级数项趋于零,

为简化分析, 取前 2000 项进行计算。基于实际 SiC 器件串联模块的几何参数 $\varepsilon = \frac{A}{B} = 0.8$,

分析在不同 x 取值下 R_t 和 R_t' 的相对偏差。

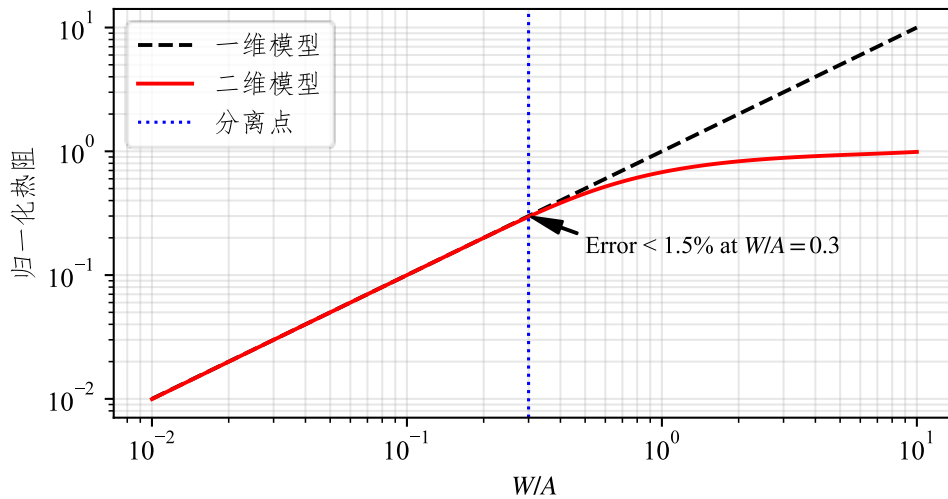


图 3-4 一维与二维模型归一化热阻对比图

图 3-4 展示了对比结果, 其中横轴为 $x = W/A$, 纵轴为归一化热阻 $R_t \cdot k \pi A$ 。结果表明, 当 x 增大至一定程度时, 一维与二维模型的归一化热阻出现明显偏差, 而在 x 较小时, 二者几乎一致。图 3-5 展示了分离点的选取过程, 图中红线代表二维模型斜率, 蓝线代表二维模型与一维模型的相对误差。由于一维模型归一化热阻斜率恒定为 1, 二维热阻与一维热阻的偏差首先体现为斜率的差异。当 W/A 大于 0.1 时, 二维模型斜率

逐渐下降。若设定相对误差小于 2.5% 作为判定阈值，则对应的分离点为 $W/A=0.3$ 。即当 DBC 厚度与功率芯片尺寸之比小于 0.3 时，在现有模型假设下，DBC 可近似采用一维热阻模型进行分析。

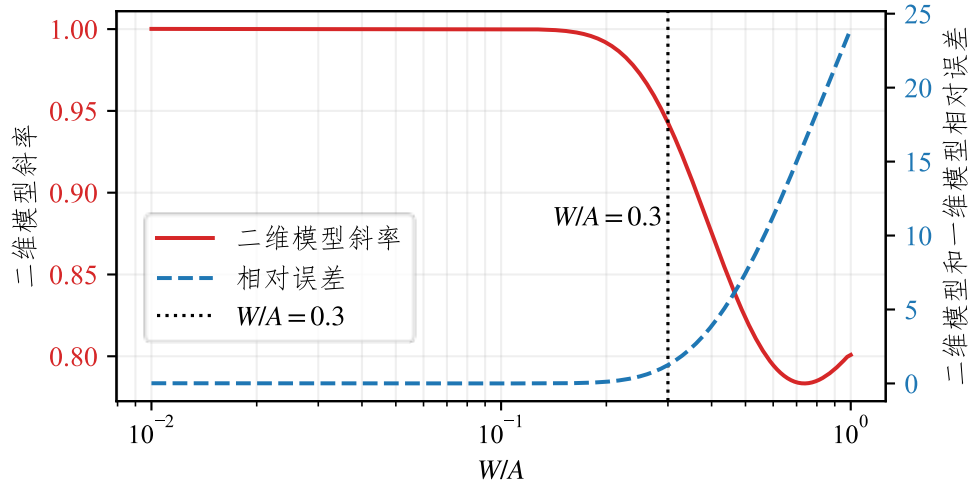


图 3-5 分离点选取图

假定 DBC 厚度与功率芯片尺寸满足 $W/A < 0.3$ ，此时可采用一维热阻模型进行近似。基于此模型，对 DBC 施加恒功率加热，其温度演变遵循一维热传导下的能量守恒方程：

$$(f(z) - f(z + \Delta z)) \times \Delta t = \rho C \Delta z \times \Delta T \quad (3.24)$$

式中： ρ 为介质密度， C 为 DBC 比热容，结合傅里叶定律 $f = -k \frac{\partial T}{\partial z}$ ，式(3.24)可转化为：

$$\frac{\partial T}{\partial t} = \alpha \frac{\partial^2 T}{\partial z^2}, \alpha = \frac{k}{\rho C} \quad (3.25)$$

定义初始时刻 $t=0$ 时温度为 T_{ref} ，芯片加热功率为 P ，芯片有效面积为 S 。结合边界条件，可列写如下方程组：

$$\begin{cases} \frac{\partial T}{\partial t} = \alpha \frac{\partial^2 T}{\partial z^2} \\ \frac{P}{S} = f = -k \frac{\partial T}{\partial z} \\ \Delta T(z, 0) = 0, \Delta T(\infty, t) = 0 \end{cases} \quad (3.26)$$

式(3.26)可解得：

$$T(0, t) - T_{\text{ref}} = \frac{2P}{S \cdot \sqrt{k \rho C \pi}} \sqrt{t} \quad (3.27)$$

若视圆柱体介质原点处温度近似等于芯片结温，则在恒定功率加热条件下，根据上述预设边界条件，芯片结温的温升与时间的平方根呈线性关系；同理，撤除热源后，芯片结温的温降亦与时间的平方根呈线性关系。

上述理论分析基于多种理想假设，然而，在实际的功率半导体芯片中，诸多前提条件并不完全满足，包括：连接界面存在多层异质材料、基板并非无限大平面、以及 $W/A < 0.3$ 的几何约束难以达成。因此，若要利用前述温升与时间平方根的线性关系，必须引入新的适用条件。

由于热传导具有时间滞后特性，当考虑极短时间的加热过程时，热量尚未到达材料的下一层边界，可视为单层介质传热；同时，由于作用时间极短，仅芯片下方有限深度的介质产生明显温升，其余区域保持热平衡，该物理过程可近似为半无限大平面单界面传热；此外，此时的传热深度极浅，满足 $W/A < 0.3$ 的一维几何近似。综上，在受热瞬态初期，该系统基本满足一维热传导模型的物理假设，平方根 t 法也因此适用于受热瞬态初期的温差校准。

2) 有限元建模验证

为验证受热瞬态初期结温随时间变化特性，本文基于 Ansys Workbench 热仿真平台构建了有限元模型。仿真对象选取串联模块中的单体单元，并参考图 3-6 所示真实结构建立三维几何模型，赋予各层材料相应的热物理属性。通过在功率芯片下方银烧结层垂直方向施加均匀热通量以模拟功率芯片的发热过程，在后续分析中忽略银烧结中心区域温度与芯片实际结温的温差。具体的仿真参数如表 3-1 所示。

表 3-1 平方根 t 法零点校正仿真条件设置

类型	设置
Model	Ansys Workbench
Solution Type	瞬态热
Excitations	热通量 $1e7 \text{ W/m}^2$
Initial Temperature	$21.8 \text{ }^{\circ}\text{C}$
Time Span	$0\sim 3 \text{ ms}$

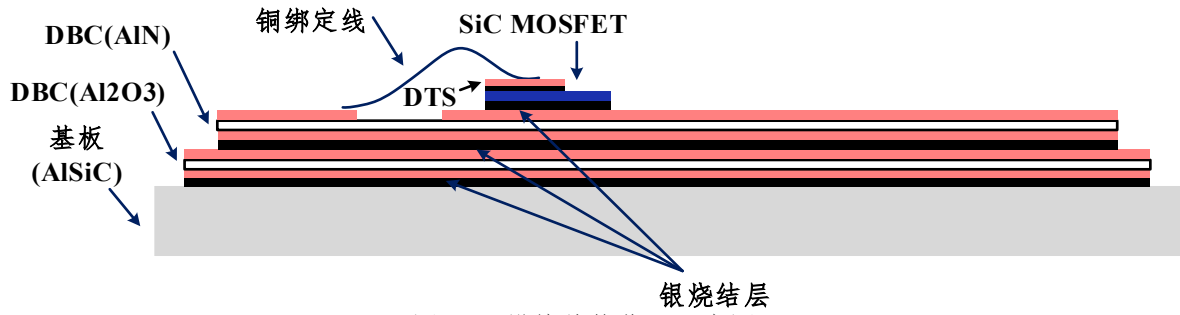


图 3-6 模块结构截面示意图

仿真结果如图 3-7~图 3-9 所示，在 3 ms 加热时间内，芯片间未发生明显的热耦合，单元模块的结温升幅与时间平方根呈现出良好的线性关系，验证了前文所述的温升规律。在实际测量中，尽管存在 t_{delay} 的固有延迟，但利用停机后短时间内实测数据进行反向推算，即可实现关断瞬时结温的零点校正。考虑到仿真结果显示在 2 ms 区间内的线性度更优，本文最终采取停机后 2 ms 内的数据执行零点校正策略。

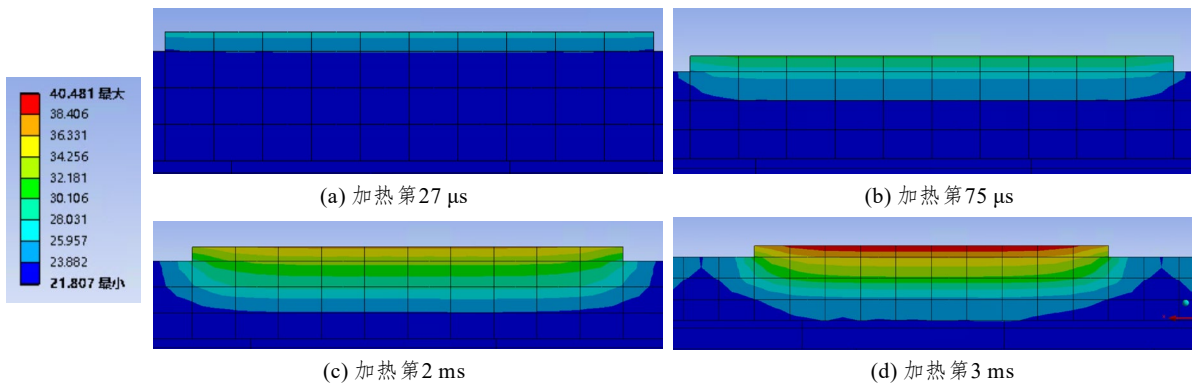


图 3-7 SiC MOSFET 模块结温仿真结果：不同时刻温度分布云图

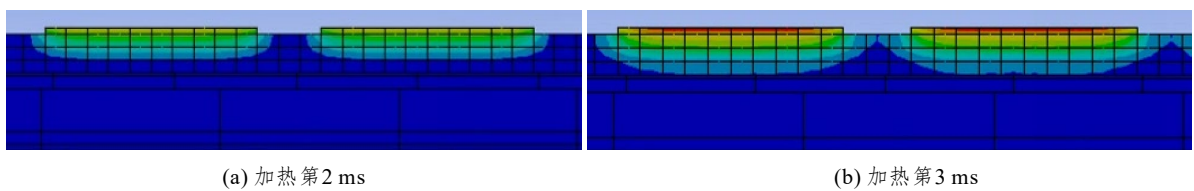


图 3-8 SiC MOSFET 模块结温仿真结果：不同时刻温度芯片间热耦合情况

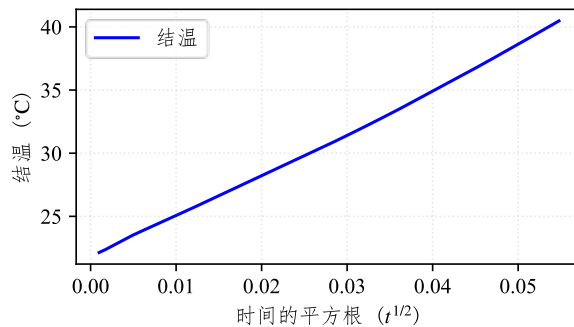


图 3-9 SiC MOSFET 模块结温仿真结果：结温随时间的 1/2 次方变化曲线

3.2 体二极管压降提取电路设计与性能测试

在完成 K 系数法与零点补偿算法的理论分析后, 准确、可靠地提取 V_{sd} 信号成为实现结温检测的关键。对于 SiC MOSFET 串联模块, 器件在正常运行过程中承受较高漏源电压, 而需在停机后短时间内向 SiC MOSFET 体二极管注入小测量电流, 这对提取电路的动态响应与电压隔离能力提出了较高要求。

为此, 本节设计了专用于结温检测的体二极管压降提取电路。通过构建恒流源选通、隔离放大与限幅等信号调理模块, 实现了正常工况下的高压阻断与检测工况下的小电流压降获取; 并结合 K 系数标定与恒温油浴实验, 验证了该电路对体二极管压降提取的准确性。

3.2.1 体二极管压降提取电路设计

以典型的半桥电路为例, 当上桥臂导通而下桥臂关断时, 下桥臂功率器件将直接承受母线电压, 对于器件串联结构, 单管 V_{ds} 电压往往超过 600 V; 而在进行结温检测时, 由于存在反向小电流流经体二极管, 此时的 V_{ds} 表现为负压。因此, 设计专用的体二极管压降提取电路至关重要。该电路需在样机正常工作时, 确保结温检测相关电路免受高压冲击而损坏, 并在结温检测工况下注入小电流并准确获取体二极管的压降。

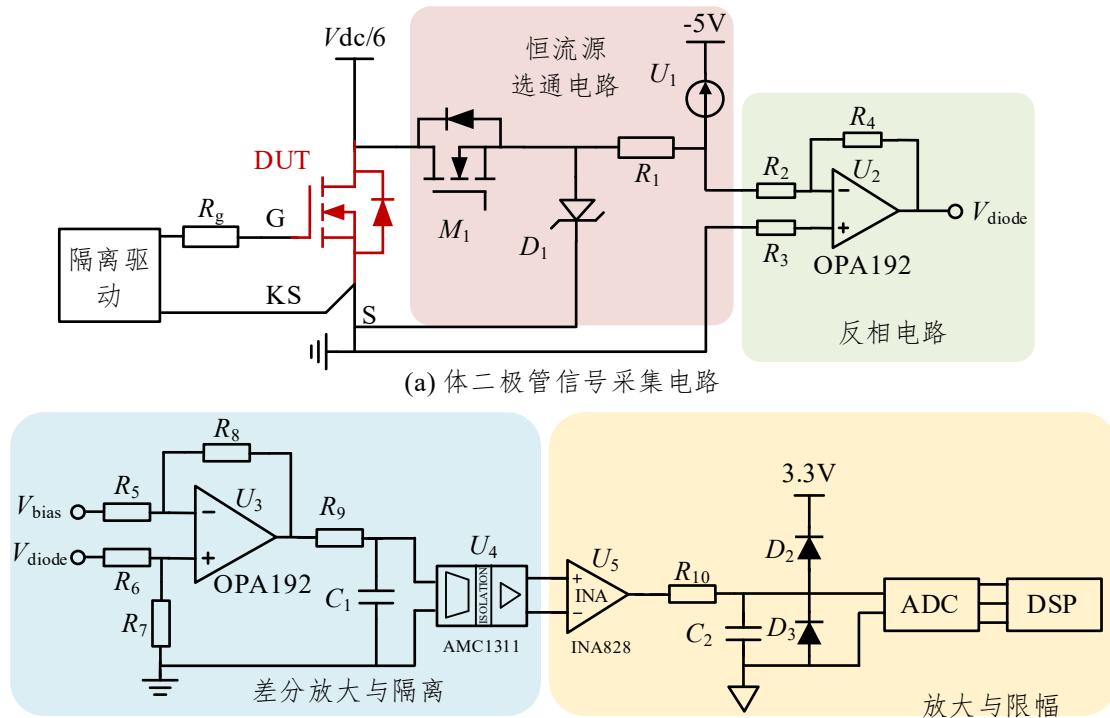


图 3-10 体二极管压降提取电路原理图

图 3-10 展示了体二极管压降检测电路的结构示意图。该电路主要由恒流源选通电路、反相电路、差分放大与隔离电路以及放大与限幅电路四个模块构成。其中，恒流源选通电路与反相电路负责前端信号的采集，其余模块共同完成对检测信号的精密调理。下文将对各部分的电路原理及功能实现进行详细阐述。

恒流源选通电路是体二极管压降提取模块的核心单元。本文选用 LT3092 恒流源芯片生成 100 mA 的测量电流，并利用稳压二极管 D_1 实现路径切换。该模块的工作逻辑如图 3-11 所示：在正常工作状态下，开关管 M_1 处于关断状态，以阻断主功率回路高压 V_{ds} 对检测电路的冲击，此时，稳压管 D_1 两端电压超过其击穿电压 V_Z ，LT3092 输出的测量电流 I_{measure} 经 D_1 流回 -5 V 电源轨。当系统切换至结温检测状态时， M_1 导通，由于体二极管导通压降低于 D_1 的击穿电压 V_Z ， D_1 截止，测量电流路径切换为流经 DUT 体二极管及 M_1 沟道回到 -5 V 电源轨，从而实现了不同工作模式下的电流路径选通。

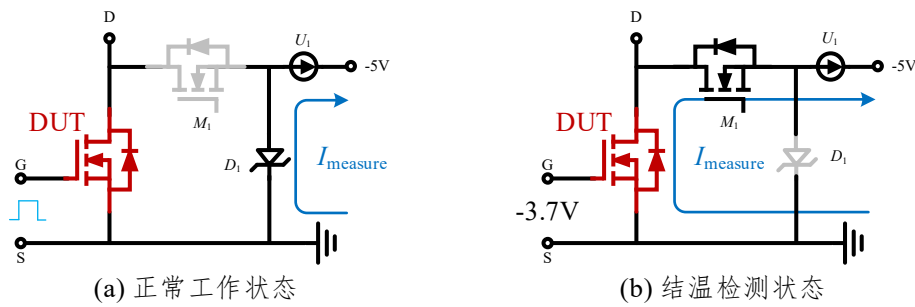


图 3-11 恒流源选通电路工作模式

反相电路旨在将测得的 V_d 电位转换为体二极管压降 V_{sd} 。在差分放大与隔离级，前级电路提取 V_{sd} 与参考偏置电压 V_{bias} 的差值并进行放大，在不超过隔离运放输入限幅的前提下，提高 DSP 采集到的 V_{sd} 信号分辨率；后级采用隔离运放，实现功率回路与控制信号回路的电气隔离。在最终的放大与限幅级，仪表放大器将隔离运放输出的差分信号转换为单端信号，并调节增益以充分利用 ADC 的量程范围，同时依托仪表放大器的高共模抑制比提升信号质量；电路末端配置双二极管限幅电路，将输出信号箝位在 0~3.3 V 范围内，以保障 DSP 的 I/O 接口安全。

体二极管压降提取电路的器件选型如表 3-2 所示：

表 3-2 体二极管压降提取电路的器件选型

器件	选型	器件	选型
M_1	IMBG120R034M2H	C_1, C_2	100 pF
D_1	1SMA5913BT3G	U_1	LT3092
R_1	10 Ω	U_2, U_3	OPA192
$R_2 \sim R_6$	10 k Ω	U_4	AMC1311
R_7, R_8	60 k Ω	U_5	INA828
R_9, R_{10}	51 Ω	D_2, D_3	BAT17-04W

3.2.2 体二极管压降提取电路性能测试

为验证所设计体二极管压降提取电路的测量精度，本文对其性能进行了实验评估。首先，根据 3.1.2 节所述方法，利用 MicRed PwT 1500A 3/12C 8V 测试仪对实验用 SiC MOSFET 进行 K 系数标定。图 3-12 展示了 C3M0021120K 型 SiC MOSFET 在栅极电压为 -3.75 V、测量电流为 100 mA 条件下的 K 系数测试结果。实验数据显示，在测试温度范围内，体二极管压降与温度表现出良好的线性关系，其温度灵敏度为 2.24 mV/°C。体二极管压降 V_{sd} 与结温 T 的关系式可表示为：

$$V_{sd}(\text{V}) = -2.24 \times 10^{-3} \cdot T + 2.7458 \quad (3.28)$$

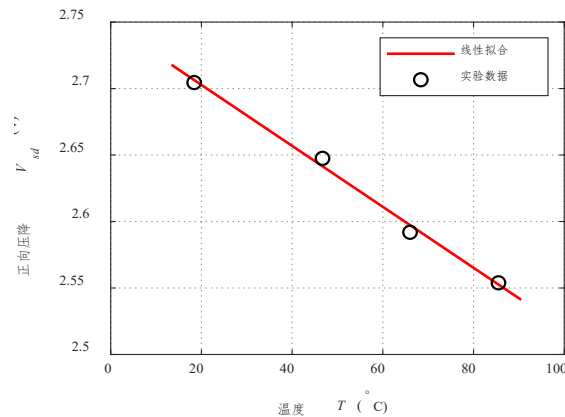


图 3-12 C3M0021120K 体二极管 K 系数拟合图

随后，将待测 MOSFET 置于如图 3-13 所示恒温油浴锅内，通过温控系统加热至设定温度并确保器件达到热平衡，设置栅极偏置电压为 -3.75 V，以保证其工作状态与 K 系数标定阶段完全一致。通过前文设计的体二极管压降提取电路，在 100 mA 恒定测量电流下实时记录体二极管压降 V_{sd} 。最后，将实测 V_{sd} 代入前期标定的温度关系曲线中反推结温，并将反推值与油浴锅的设定温度进行比对，从而评估该体二极管压降提取电路的测量性能与精度。



图 3-13 恒温油浴锅

表 3-3 体二极管压降电参数法结温与油浴锅设定温度对比

油浴锅设定温度（℃）	电参数法结温（℃）	温差（℃）
37.8	35.8	2.0
52.0	50.3	1.7
69.3	68.3	1.0
89.3	87.7	1.6

实验结果如表 3-3 所示。数据表明该压降提取电路具备较高的测试精度：反推结温与油浴锅设定值之间的偏差均在 2℃以内，对应 V_{sd} 测量值与标定参考值的最大误差约为 4.5 mV。上述结果充分验证了该电路能够实现体二极管压降的准确提取，为基于 V_{sd} 的结温检测提供了可靠的硬件基础。

3.3 基于体二极管压降的结温检测方法实验验证

在前述理论分析与硬件设计的基础上，本节旨在通过实验评估所设计的结温检测方法在实际运行中的测量准确性与工程适用性。本节采取了由分立到集成的验证策略：首先，针对单管器件开展对比实验，以红外热成像仪为测量基准，验证了“平方根 t 法”对零点校正的有效性。随后，搭建 SiC 器件串联模组对拖实验平台，通过设计特定关断时序逻辑抑制了瞬态干扰，并结合细丝热电偶对比测量，充分验证了该方法在器件串联型 SiC 功率模块结温检测中的精度与可靠性。

3.3.1 单管的实验验证

为在开展器件串联模块实验前验证本方法的可靠性，本文首先选用 SiC MOSFET 单管(C3M0021120K)进行初步测试。由于该器件采用 TO-247 封装且内部填充环氧树脂，

常规手段难以直接获取芯片表面的实时结温。为建立精确的结温参考基准以评估基于体二极管压降的结温检测方法的性能，本文对单管进行了开盖处理，具体的加工处理流程如图 3-14 所示：首先利用激光切割去除器件表面的环氧树脂，露出内部芯片，随后，针对金属表面发射率低导致的红外测温偏差问题，在芯片表面喷涂一层高发射率黑漆（本文选用表面发射率 $\varepsilon = 0.93$ 的黑漆），经加热固化后，通过红外热成像仪即可精确获取芯片的真实结温。本文使用的热成像仪为 FOTRIC 326ES #L25，红外传感器分辨率为 384×288 像素，热灵敏度为 40 mK，测温精度为 $\pm 2^\circ\text{C}$ 或 $\pm 2\%$ （取较大值）。

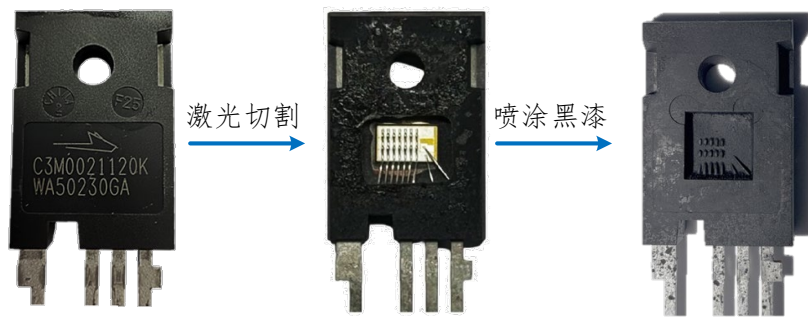
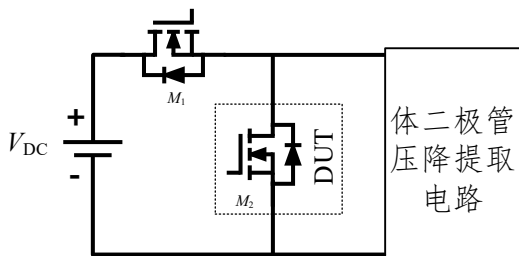


图 3-14 器件开盖处理流程图

图 3-15 展示了 MOSFET 单管测试电路，该电路具备“加热状态”与“测量状态”两种工作模式。在加热状态下，开关管 M_1 与 M_2 均导通，利用直流电源的限流功能驱动恒定电流流经 SiC MOSFET 沟道进行加热，此时体二极管压降提取电路处于非检测状态，并同步使用热成像仪实时检测结温。在 $t=0$ 时刻，电路切换至测量状态，此时 M_1 与 M_2 关断，经过 $t_{\text{delay}}=200\ \mu\text{s}$ 后，体二极管压降提取电路进入结温检测模式，DSP 同步记录体二极管压降随时间的变化数据。随后，利用平方根 t 法反推并提取 $t=0$ 时刻的瞬时结温，将其与红外热成像仪的实测数据进行对比，以评估测量方法的性能。



(a) 单管结温测试电路图



(b) 单管结温测试样机

图 3-15 单管结温测试电路图与实物图

本文选取 15 A 至 19 A 共 5 个电流等级进行测试，并以 17 A 工况为例展示典型测

试结果，如图 3-16 所示。图 3-16 (a) 展示了红外热成像仪的测试结果，图中红色十字标记处为芯片最高温度点，即开窗露出的功率芯片表面，实测结温为 80.7℃。图 3-16 (b)为基于体二极管压降结温检测方法的反推结果。由图可知，结温在器件关断后 2 ms 内与时间平方根呈现良好的线性关系，通过线性拟合，该方法有效补偿了因 200 μs 测量延迟导致的降温偏差，反推得到的结温为 79.0℃。该结果与红外热成像实测值偏差仅为 1.7℃，二者吻合良好，充分验证了该结温检测方法的准确性。

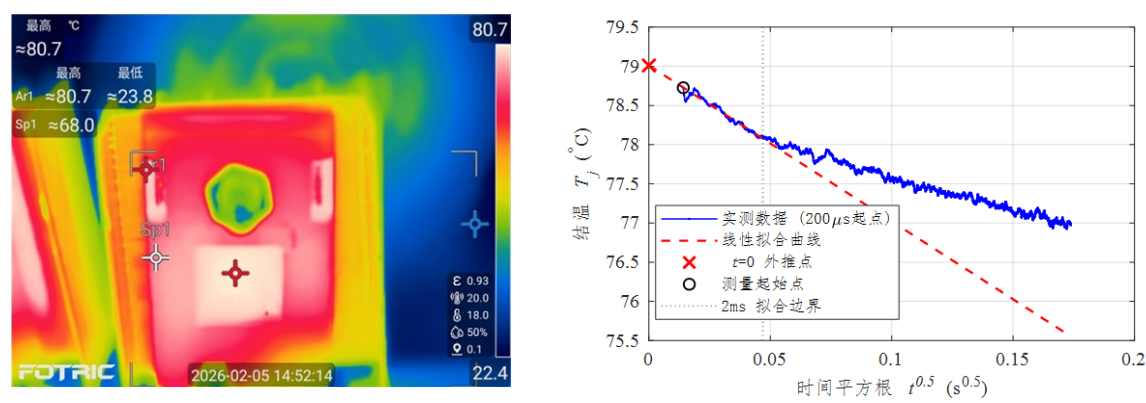


图 3-16 负载电流 17A 时的测试结果

各电流等级下的详细实验数据如表 3-4 所示。结果表明，该体二极管压降结温检测方法具有较高的测量精度：在 15 A 与 16 A 电流工况下，该方法反推结温与红外热成像实测值的偏差最小，仅为 0.2℃；在 19 A 电流工况下，二者偏差达到最大值，但也仅为 1.8℃。

表 3-4 单管的体二极管压降电参数法实验验证

电流 (A)	热成像结温 (°C)	电参数法结温 (°C)	温差 (°C)
15	66.9	66.7	0.2
16	74	73.8	0.2
17	80.7	79.0	1.7
18	92.7	91.5	1.2
19	101.7	99.9	1.8

3.3.2 器件串联模组对拖实验验证

1) 器件串联模块测量逻辑设计

将体二极管压降结温检测方法应用于由 SiC MOSFET 串联模块构成的逆变器桥臂时，面临着新的应用挑战。首要问题是关断时刻的电流续流问题。图 3-17 (a) 展示了

正常工作状态下的串联半桥模块。为简化分析，图中省略了母线电容，并以两器件串联为例，在此规定图示电流方向为电感电流正方向。停机后，所有辅助管均处于关断状态，结温检测电路并联于下桥臂待测的 SiC MOSFET(DUT)两端。

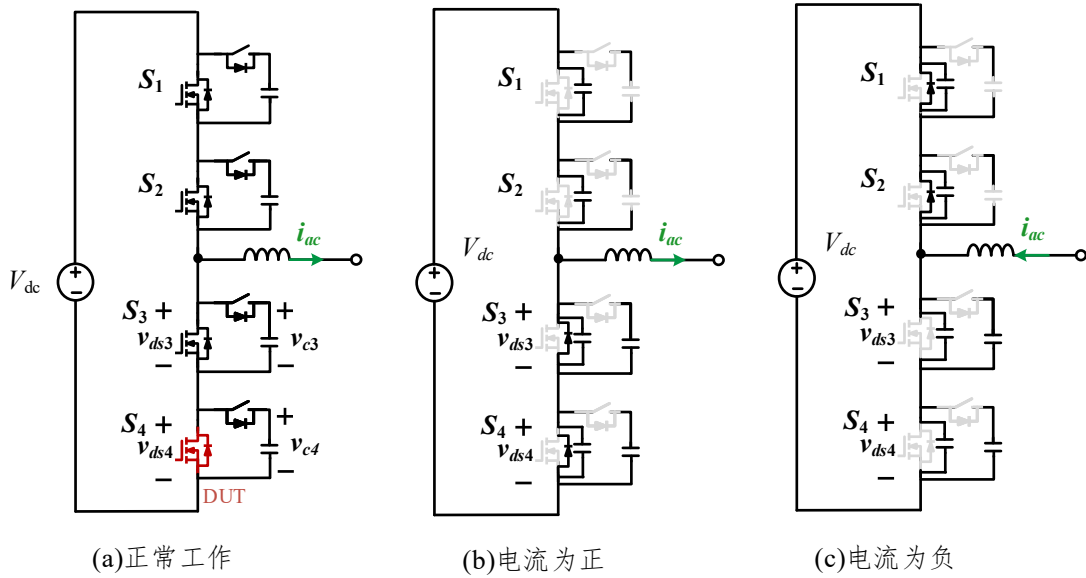


图 3-17 电流方向对器件串联模块结温检测电路的影响

若在电流为正时关断并开启结温检测，如图 3-17 (b)所示，尽管 DUT 沟道已受控关断，但体二极管仍处于续流状态，此时功率回路的电流将与检测回路的微小电流叠加，严重干扰体二极管压降信号的准确提取。因此，系统必须选择在电流为负向时执行关断操作，如图 3-17 (c)所示，此时，电感电流经由上桥臂体二极管续流，下桥臂 DUT 中无功率电流通过，进而消除了对结温检测信号的干扰。此外，为抑制续流结束后电感电流与桥臂结电容间的谐振，系统需选取在电流绝对值较小的过零点附近执行关断。

其次是结电容产生的干扰问题。在关断动作执行后的续流阶段，开关管 S_1 与 S_2 两端电压均被箝位至体二极管导通压降，而母线电压则施加于 S_3 与 S_4 两端。当结温检测电路切换到结温检测状态时，需对 S_4 的结电容 C_{ds4} 进行放电，同时对 S_3 的结电容 C_{ds3} 进行充电，直至 S_4 的 V_{ds} 由 $V_{dc}/2$ 降至 $-V_{diode}$ (V_{diode} 为体二极管在 100 mA 电流下的导通压降)。上述结电容的充放电过程会延长测量延时 t_{delay} 并引入噪声，干扰 DUT 的结温检测精度。

为抑制该干扰，本文设计了特殊的关断时序逻辑，如图 3-18 所示：在 t_0 时刻触发结温检测程序时，系统进入结温检测状态，此时除 S_4 外的所有功率管均保持关断。 S_4 主动导通并维持 10 μs ，令其漏源电压 V_{ds4} 先行下降至 0 V，从而完成结电容电荷的预

释放。在此期间，通过导通 M_1 接入测量电流，使 V_{ds4} 在 S_4 关断后被箝位在体二极管导通压降，同时利用稳压管吸收 V_{ds4} 振荡产生的电压尖刺。该时序逻辑有效降低了结温检测过程中的瞬态噪声，保障了信号提取的可靠性。

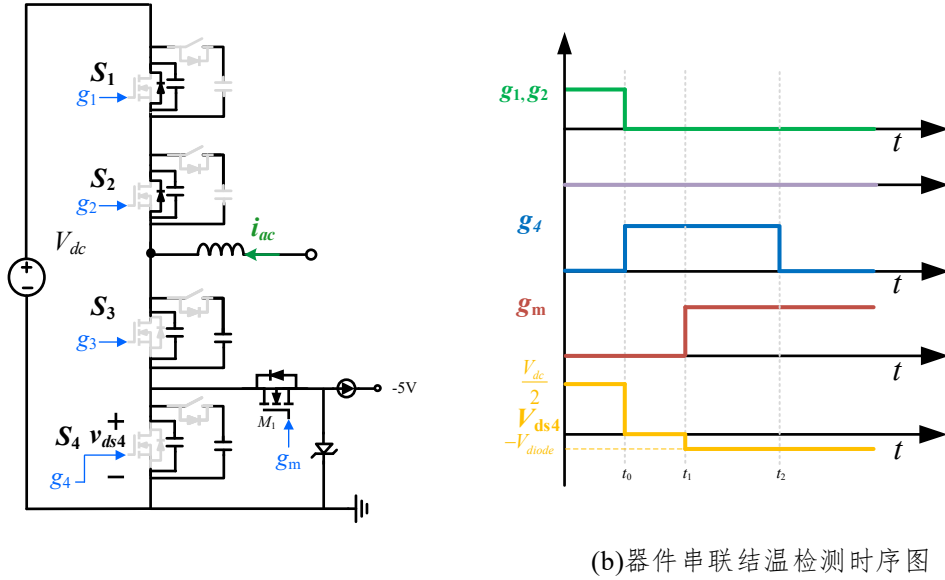


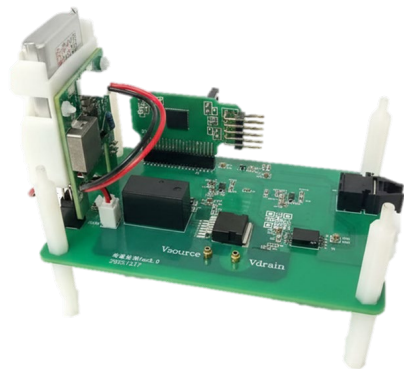
图 3-18 器件串联结温检测时序设计图

2) 实验结果

器件串联模块的高度集成化设计，使得内部结温无法被直接获取作为检测基准，本文利用分立器件搭建了如图 3-19(a)所示的器件串联模组以模拟其运行工况。图 3-19(b)展示了与之配套的结温检测板。相较于单管结温测试板，该板进行了如下功能扩展与优化：删除了半桥电路结构，改用 FPC 软板实现结温检测板与器件串联模组的电气连接；新增了光纤接收模块，用于接收主控 FPGA 下达的结温检测指令。此外，该板采用锂电池供电，选用的子控 DSP 为 TI 公司的 TMS320F280049C。



(a) 器件串联模组实物图



(b) 针对器件串联模组的结温检测板

图 3-19 针对器件串联模组的结温检测

同时,本文搭建了基于桥臂对拖拓扑的测试平台,电路结构如图 3-20 所示。该测试平台由主动半桥与从动半桥构成。实验中各半桥的上下桥臂均由六颗 SiC MOSFET(C3M0021120K)串联而成,结温检测模块安装于主动半桥下桥臂的第 6 号功率器件上,即直接与直流母线负极相连的 MOSFET。通过调节主、从半桥驱动逻辑信号的移相角,可灵活调整电感两端施加电压的占空比,从而实现对电感电流波形的精准调节。

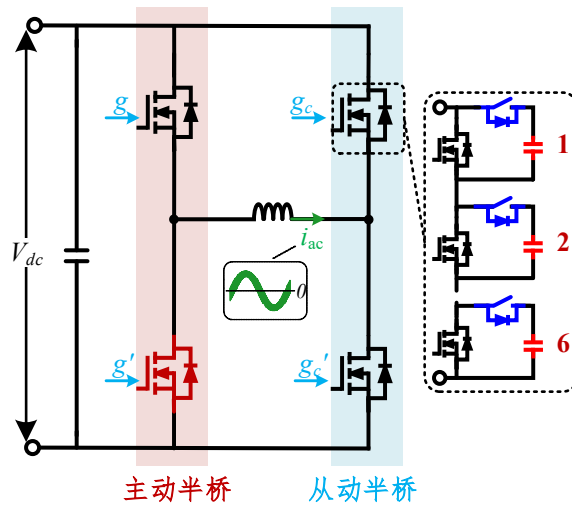


图 3-20 对拖测试电路图

在实验过程中,待测桥臂采用 SPWM 调制策略,以模拟实际逆变器的工作模态,此时电感电流可表示为式(3.29),式中 I 为桥臂电流幅值, f 为输出电流频率。

$$i_{ac} = I \sin(2\pi \cdot f_c \cdot t) \quad (3.29)$$

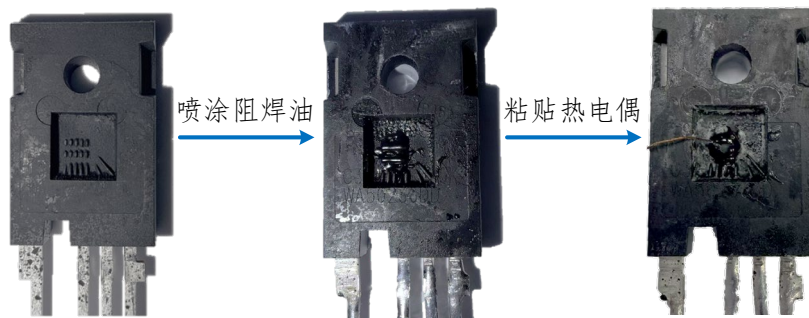


图 3-21 粘贴热电偶处理流程图

受限于模组中的 MOSFET 直接焊接在功率电路板与散热器之间,芯片表面被遮挡,无法利用红外热成像仪进行观测。为此,本文采用细丝热电偶测量结温作为结温基准。具体的加工处理流程如图 3-21 所示:首先对器件开盖;其次,为防止引线键合区域的高压电信号干扰热电偶测量,需在键合线裸露部分喷涂阻焊油并经光固化处理;最后,

将热电偶粘接于芯片表面，从而实现结温的准确获取。

表 3-5 热电偶测温准确性实验验证

电流（A）	热成像结温（℃）	细热电偶丝结温（℃）	温差（℃）
15	66.4	66.2	0.2
16	74.0	73.6	0.4
17	84.2	83.9	0.3
18	96.1	95.1	1.0
19	109.4	108.1	1.3

为验证热电偶测温方法的准确性，本文基于 3.3.1 节所述电路，对细丝热电偶测量结果与红外热成像实测数据进行了对比。实验结果如表 3-5 所示：在宽温度范围内，细丝热电偶所测结温与红外热成像仪的观测结果高度一致，最大偏差仅为 1.3℃。该实验结果充分证实了将细丝热电偶作为芯片结温基准的有效性。

表 3-6 对拖实验样机参数

电路参数	符号	取值
输入电压	V_{dc}	600 V
对拖电流	i_{ac}	37 A-50 A
开关频率	f_s	20 kHz
调制波频率	f_c	50 Hz
桥臂电感感值	L	4.2 mH
母线电容	C_{dc}	235 μF

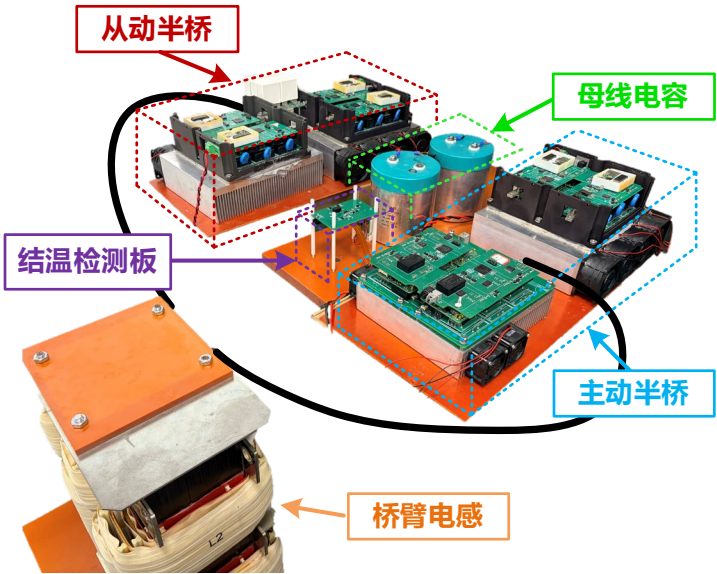


图 3-22 对拖样机实物图

搭建实物样机如图 3-22 所示，相关参数如表 3-6 所示。由于器件开盖后耐压性能显著下降，本文实验均在 600 V 母线电压下进行。首先在低电流工况下验证了结温检测逻辑的正确性，随后选取 37 A 至 50 A 共 6 个电感电流有效值等级进行测试，并以 47 A 工况为例展示典型测量结果。图 3-23(a)展示了电感电流有效值为 10 A 时的检测逻辑验证波形，其中绿色曲线为电感电流，深蓝、浅蓝及紫色波形分别为图 3-18 中 S_3 、 S_4 驱动信号及 M_1 的 PWM 波形，实测逻辑与设计预期一致。

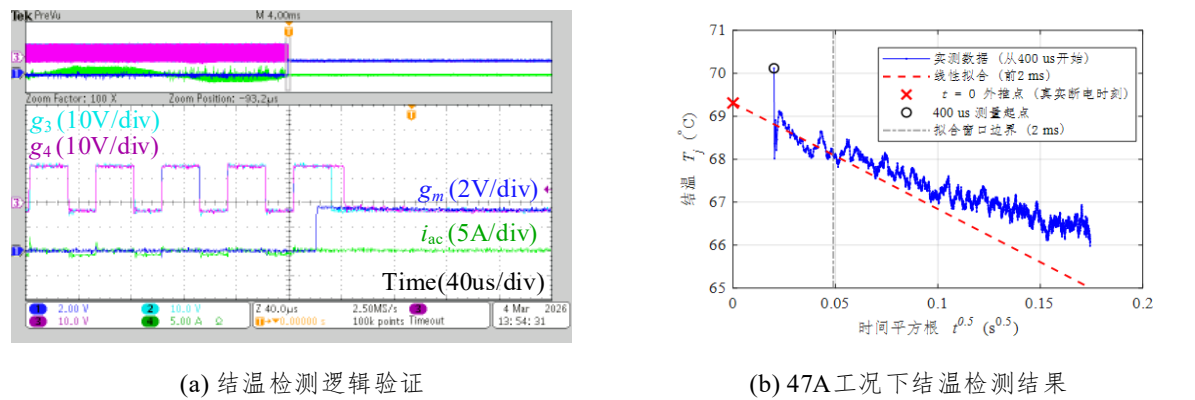


图 3-23 器件串联模块对拖测试结温检测结果

图 3-23(b)为电感电流有效值为 47 A 下的结温检测结果，由图可知，结温在关断后 2 ms 内与时间平方根呈现良好的线性关系；通过线性拟合，对延迟 400 μ s 后的温降偏差进行了补偿修正，反推所得结温为 69.3 $^{\circ}$ C，而热电偶实测结温为 70.9 $^{\circ}$ C，二者偏差仅为 1.6 $^{\circ}$ C，吻合良好。各电流等级下的详细实验数据如表 3-7 所示，最大结温偏差仅为 1.8 $^{\circ}$ C，其精度优于集成 NTC 方案近 10 $^{\circ}$ C 的温差水平^[82]，并与常规红外热成像法的检测精度（如本文所用热成像仪）相近。上述结果充分验证了该检测方法在大功率场合及宽温度范围内用于 SiC 器件串联模块结温测量的准确性与适用性，表明该方法是实现器件串联模块结温检测的有效手段。

表 3-7 器件串联模块的体二极管压降电参数法实验验证

电感电流有效值(A)	细热电偶丝结温($^{\circ}$ C)	电参数法结温($^{\circ}$ C)	温差($^{\circ}$ C)
37	46	47.5	-1.5
40	49	49.5	-0.5
43	63.2	61.4	1.8
45	65.2	66.4	-1.2
47	70.9	69.3	1.6
50	81.5	79.9	1.6

3.4 本章小结

本章研制并验证了基于体二极管压降的 SiC MOSFET 串联模块的结温检测方法。通过 K 系数法确立了体二极管压降(V_{sd})与结温的负线性映射关系,并引入“平方根 t 法”补偿瞬态测量延迟,实现了停机后关断瞬时结温的反推。在硬件层面,研制了具备恒流源选通和差分隔离提取功能的 V_{sd} 提取电路;控制层面,针对半桥拓扑的续流与结电容干扰,设计了针对器件串联模块的结温检测逻辑。最后,通过 600V/50A 器件串联模组对拖实验对所提出方法进行了验证,结果表明,该方法反推结温与热电偶测量结果的最大偏差为 1.8 °C,证明了所提出方法在 SiC 器件串联模块结温检测中的可行性。

第4章 总结与展望

4.1 工作总结

本文面向中压高功率密度电力电子装备的发展需求,以器件串联型 SiC MOSFET 功率模块为研究对象开展研究工作。器件串联型 SiC 功率模块内部芯片数量多、串并联关系复杂,在高频大电流工况下容易面临故障电流快速上升、保护信号同步性差以及局部芯片温升难以准确获取等问题。针对上述问题,本文从器件串联模块的“电-热双重可靠性”需求出发,一方面研究了基于集成式 TMR 电流传感器与光隔离同步分发方案的过流保护技术,提升过流检测与保护动作的速度和同步性;另一方面研究了基于体二极管正向压降 V_{sd} 的结温检测方法,为模块内部芯片热状态评估提供手段。此外,本文所提出的关键技术亦具备良好的普适性,可推广应用于其他常规 SiC 功率模块。全文主要研究工作总结如下:

1) 提出了基于集成式 TMR 电流传感器与光隔离同步分发的过流保护技术。该技术使用 TMR 传感器非侵入式测量模块电流,并通过阈值比较电路实现了故障的快速判定。通过三维有限元仿真优化传感器安装位置,并设计了 RC 极点补偿电路,降低集肤效应导致的磁场畸变以及空间磁场耦合引入的互感噪声,实现了传输延迟仅为 30 ns 的非接触式电流检测。在此基础上,为避免传统故障下达链路延时差异引发的非同步关断风险,本文引入了一对多光纤与 TIA 电路,实现多路故障信号的低延迟、高同步分发。实验结果表明,该技术“测量—判定—下发”的全链路响应时间仅为 81.6 ns,各支路同步偏差小于 230 ps,验证了其在 SiC 器件串联模块过流保护中的有效性。

2) 提出了面向器件串联型 SiC 功率模块的基于体二极管正向压降 V_{sd} 的结温检测方法。针对在变换器关停后检测时因固有测量延迟引发的温降偏差,在 K 系数法基础上引入一维热传导“平方根 t 法”进行零点校正,实现了关断瞬时真实结温的精确反推。为提高复杂工况下的测量精度与抗干扰能力,本文在硬件上研制了集成恒流源选通与差分隔离功能的压降提取电路,控制上设计了针对器件串联模块的结温检测逻辑。600V/50A 器件串联模组对拖结果显示,该方法在复杂工况下的结温测量偏差在 2℃ 以内,证明了所提方法在器件串联型 SiC 功率模块结温检测中的准确性与适用性。

4.2 后期展望

尽管本文围绕 SiC MOSFET 串联模块的过流保护以及结温检测开展了相关研究，并取得了初步实验验证结果，但面向实际工程应用，相关技术仍有进一步完善的空间。后续研究工作可从以下几个维度展开：

1) 目前电流测量与结温检测电路尚处于分立样机阶段。未来可考虑将 TMR 传感器、信号调理芯片及压降提取电路进一步集成至功率模块中；

2) TMR 传感器属于开放式磁场检测元件，在复杂电磁环境下难以精准分离待测信号磁场与环境干扰磁场。未来研究可考虑引入磁屏蔽结构，或采用多 TMR 传感器阵列协同检测方案，通过磁屏蔽或差分抵消有效提升系统的信噪比，从而进一步强化 TMR 在电流检测中的准确性与抗干扰性能；

3) 本文未实现结温的在线检测，未来研究可聚焦于筛选具有高线性度且对器件老化不敏感的温敏电参数，以此为基础突破在线检测技术的瓶颈，实现功率器件全运行周期内的结温实时追踪；

4) 本文现阶段的验证工作主要基于模拟样机开展，包括利用 PCB 模拟串联模块的功率路径，以及采用 SiC 器件串联模组对 SiC 器件串联模块的对拖运行进行等效模拟。后续研究可在 SiC 器件串联模块中，对所提方案进行验证。

参考文献

- [1] OKADA N, TAKASAKI M, SAKAI H, et al. Development of a 6.6 kV - 1 MVA transformerless loop balance controller[C]//2007 IEEE Power Electronics Specialists Conference. Orlando, FL, USA: IEEE, 2007: 1087-1091.
- [2] DEKKA A, WU B, FUENTES R L, et al. Evolution of topologies, modeling, control schemes, and applications of modular multilevel converters[J]. IEEE Journal of Emerging and Selected Topics in Power Electronics, 2017, 5(4): 1631-1656.
- [3] ALLEBROD S, HAMERSKI R, MARQUARDT R. New transformerless, scalable modular multilevel converters for HVDC-transmission[C]//2008 IEEE Power Electronics Specialists Conference. Rhodes, Greece: IEEE, 2008: 174-179.
- [4] SAEEDIFARD M, IRAVANI R. Dynamic performance of a modular multilevel back-to-back HVDC system[J]. IEEE Transactions on Power Delivery, 2010, 25(4): 2903-2912.
- [5] 徐政.柔性直流输电系统（第2版）[M]. 浙江：机械工业出版社,2016
- [6] 蔡放, 李政轩, 宋强, 等. 基于单向电流型混合 MMC 的海上风电柔性直流紧凑化换流阀设计方法[J]. 高电压技术, 2025, 51(6): 2759-2772.
- [7] 张明瀚, 简翔浩, 陆子凯. 珠海“互联网+”柔性直流配电网换流站设计方案[J]. 南方能源建设, 2020, 7(01): 95-100.
- [8] 盛况, 郭清, 张军明, 等. 碳化硅电力电子器件在电力系统的应用展望[J]. 中国电机工程学报, 2012, 32(30): 1-7.
- [9] GRIDER D, DAS M, AGARWAL A, et al. 10 kV/120 A SiC DMOSFET half H-bridge power modules for 1 MVA solid state power substation[C]//2011 IEEE Electric Ship Technologies Symposium (ESTS). Alexandria, VA, USA: IEEE, 2011: 131-134.
- [10] CASADY J B, MCNUTT T, GIRDER D, et al. Medium voltage SiC R&D update[R/OL]. (2016-04)[2026-04-14]. https://www.nist.gov/system/files/documents/pml/high_megawatt/Wolfspeed-Cree-SiC-Pwr-NIST-wkshp-Apr2016_SHORT.pdf.
- [11] PASSMORE B, et al. The next generation of high voltage (10 kV) silicon carbide power modules[C]//2016 IEEE 4th Workshop on Wide Bandgap Power Devices and Applications (WiPDA). Fayetteville, AR, USA: IEEE, 2016: 1-4.

- [12] SAKAGUCHI T, AKETA M, NAKAMURA T, et al. Characterization of 3.3kV and 6.5kV SiC MOSFETs[C]//PCIM Europe 2017; International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management. Nuremberg, Germany: VDE, 2017: 1-5.
- [13] NAKASHIMA J, FUKUMOTO A, OBIRAKI Y, et al. 6.5-kV full SiC power module (HV100) with SBD-embedded SiC-MOSFETs[C]//PCIM Europe 2018; International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management. Nuremberg, Germany: VDE, 2018: 441-447.
- [14] CASADY J, PALMOUR J. Power products commercial roadmap for SiC from 2012-2020 and pricing forecasts for 650V-15kV SiC power module[R/OL]. (2014)[2026-05-06]. <https://www.nist.gov/document/approved-cassadypalmour.pptx>.
- [15] DING Y J, ZHAO Q, LIU G, et al. Fabrication and dynamic switching characteristics of 6.5kV400A SiC MOSFET module[C]//2020 17th China International Forum on Solid State Lighting & 2020 International Forum on Wide Bandgap Semiconductors China (SSLChina: IFWS). Shenzhen, China: IEEE, 2020: 67-70.
- [16] GENESIC SEMICONDUCTOR. G2R50MT33K: 3300V 50mΩ SiC MOSFET data sheet: Rev A1[EB/OL]. (2023)[2026-04-16]. https://navitassemi.com/wp-content/plugins/s/gb-navitas-stock-checker/product_files/G2R50MT33K.pdf.
- [17] QIU Y F, LI F, LU R X, et al. Research on key technologies for development and series application of 18kV/125A SiC IGBT device[J]. Proceedings of the CSEE, 2023, 43(17): 6765-6775.
- [18] INFINEON TECHNOLOGIES. FF2000UXTR33T2M1: 3300V 2000A dual SiC MOSFET module data sheet: v01_00[EB/OL]. (2024)[2026-05-06]. https://www.infineon.com/dgdl/Infineon-FF2000UXTR33T2M1-DataSheetv01_00-EN.pdf?fileId=8ac78c8c8fc2dd9c018fe343fe205dbb.
- [19] KIMOTO T, NIWA H, OKUDA T, et al. Carrier lifetime and breakdown phenomena in SiC power device material[J]. Journal of Physics D: Applied Physics, 2018, 51(13): 133001.
- [20] WU X, CHENG S, XIAO Q, et al. A 3600 V/80 A series-parallel-connected silicon carbide MOSFETs module with a single external gate driver[J]. IEEE Transactions on Power Electronics, 2014, 29(5): 2296-2306.

- [21] UBOSTAD T N, PEFTITSIS D. Power module design with chip-level series-connected SiC MOSFETs[C]//2024 IEEE Applied Power Electronics Conference and Exposition (APEC). Long Beach, CA, USA: IEEE, 2024: 181-187.
- [22] SHANG H, LIANG L, WANG Y. Design and performance of high voltage chip-level series-connected SiC MOSFET module[J]. IEEE Transactions on Power Electronics, 2023, 38(2): 1757-1767.
- [23] ZHOU W, SHAO S, LOU A, et al. A SiC MOSFET power module with co-packaged active clamping and cycle-by-cycle energy recovery for series-connected two-level converters[J]. IEEE Transactions on Power Electronics, 2026. doi: 10.1109/TPEL.2026.3683531.
- [24] 孙佳慧. 1200V SiC MOSFET 与 Si IGBT 的短路可靠性对比和分析[D]. 杭州: 浙江大学, 2017.
- [25] 冯雨心. 基于隧道磁电阻的 SiC MOSFET 模块的短路及过流保护的研究[D]. 杭州: 浙江大学, 2022.
- [26] Texas Instruments. UCC21750-Q1: 5.7-kVrms isolated single channel gate driver with opto-compatible input and DESAT/OC protection[EB/OL]. (2020-03)[2026-04-24]. <https://www.ti.com/lit/ds/symlink/ucc21750-q1.pdf>.
- [27] Texas Instruments. 如何选择适用于 SiC MOSFET 的栅极驱动器以提高功率密度和系统可靠性: 应用报告 ZHCADL7[R/OL]. (2021-03)[2026-04-24]. <https://www.ti.com.cn/cn/lit/an/zhcadl7/zhcadl7.pdf>.
- [28] KIM J, CHO Y. Overcurrent and short-circuit protection method using desaturation detection of SiC MOSFET[C]//2020 IEEE PELS Workshop on Emerging Technologies: Wireless Power Transfer (WoW). Seoul, Korea: IEEE, 2020: 197-200.
- [29] ZHOU B, HAN D, PENG F Z, et al. Improved de-saturation protection circuits for silicon carbide MOSFET gate drivers[C]//2021 IEEE Applied Power Electronics Conference and Exposition (APEC). Phoenix, AZ, USA: IEEE, 2021: 2544-2548.
- [30] LI H, WANG Y, QIU Z, et al. Short-circuit protection circuit of SiC MOSFET based on drain-source voltage integral[C]//2021 IEEE Workshop on Wide Bandgap Power Devices and Applications in Asia (WiPDA Asia). Wuhan, China: IEEE, 2021: 344-349.
- [31] Texas Instruments. Understanding the short circuit protection for silicon carbide MOSFETs: SLUA959[EB/OL]. (2020-05)[2026-04-23]. <https://www.ti.com/lit/an/slua959/slua959.pdf>.

- [32] WIESNER E, THAL E, VOLKE A, et al. Advanced protection for large current full SiC modules[C]//PCIM Europe 2016; International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management. Nuremberg, Germany: VDE, 2016: 1-5.
- [33] 武晶晶, 郭希铮, 李志坚, 等. SiC MOSFET 短路保护电路研究[J]. 电力电子技术, 2017, 51(9): 51-56.
- [34] WANG Z, SHI X, XUE Y, et al. Design and performance evaluation of overcurrent protection schemes for silicon carbide (SiC) power MOSFETs[J]. IEEE Transactions on Industrial Electronics, 2014, 61(10): 5570-5581.
- [35] WANG Z, SHI X, TOLBERT L M, et al. A di/dt feedback-based active gate driver for smart switching and fast overcurrent protection of IGBT modules[J]. IEEE Transactions on Power Electronics, 2014, 29(7): 3720-3732.
- [36] SUN K, WANG J, BURGOS R, et al. Analysis and design of an overcurrent protection scheme based on parasitic inductance of SiC MOSFET power module[C]//2018 IEEE Applied Power Electronics Conference and Exposition (APEC). San Antonio, TX, USA: IEEE, 2018: 2806-2812.
- [37] WANG J, SHEN Z, BURGOS R, et al. Integrated switch current sensor for short-circuit protection and current control of 1.7-kV SiC MOSFET modules[C]//2016 IEEE Energy Conversion Congress and Exposition (ECCE). Milwaukee, WI, USA: IEEE, 2016: 1-7.
- [38] MOCEVIC S, WANG J, BURGOS R, et al. Comparison and discussion on short-circuit protections for silicon-carbide MOSFET modules: desaturation versus Rogowski switch-current sensor[J]. IEEE Transactions on Industry Applications, 2020, 56(3): 2880-2893.
- [39] YANG X, XIE C, WANG Y, et al. Optimization design of a giant magneto resistive effect based current sensor with a magnetic shielding[J]. IEEE Transactions on Applied Superconductivity, 2014, 24(3): 9500304.
- [40] ZHU K, HAN W, LEE W K, et al. Nonintrusive current monitoring of multicore underground power cables with a magnetic-field sensing platform[J]. IEEE Sensors Journal, 2017, 17(6): 1837-1848.
- [41] FENG Y, SHAO S, DU J, et al. Short-circuit and over-current fault detection for SiC MOSFET modules based on tunnel magnetoresistance with predictive capabilities[J]. IEEE Transactions on Power Electronics, 2022, 37(4): 3719-3723.

- [42] WEN H, et al. Junction temperature extraction for silicon carbide power devices: a comprehensive review[J]. IEEE Transactions on Power Electronics, 2025, 40(2): 3090-3111.
- [43] MORGAN A J, XU Y, HOPKINS D C, et al. Decomposition and electro-physical model creation of the CREE 1200V, 50A 3-Ph SiC module[C]//2016 IEEE Applied Power Electronics Conference and Exposition (APEC). Long Beach, CA, USA: IEEE, 2016: 2141-2146.
- [44] LIU P, CHEN C, ZHANG X, et al. Online junction temperature estimation method for SiC modules with built-in NTC sensor[J]. CPSS Transactions on Power Electronics and Applications, 2019, 4(1): 94-99.
- [45] SATTARI R, VAN ZEIJL H, ZHANG G. A thin-film reconfigurable SiC thermal test chip for reliability monitoring in harsh environments[C]//2023 IEEE 73rd Electronic Components and Technology Conference (ECTC). Orlando, FL, USA: IEEE, 2023: 1309-1313.
- [46] BERTHOU M, GODIGNON P, MILLÁN J. Monolithically integrated temperature sensor in silicon carbide power MOSFETs[J]. IEEE Transactions on Power Electronics, 2014, 29(9): 4970-4977.
- [47] LIAO Y, WANG Z, YANG Y, et al. Microchannel cold plate with GA optimized manifold for enhanced local cooling of SiC power modules[C]//2023 IEEE Energy Conversion Congress and Exposition (ECCE). Nashville, TN, USA: IEEE, 2023: 6034-6038.
- [48] LI C, LUO H, LI C, et al. Online junction temperature extraction of SiC power MOSFETs with temperature sensitive optic parameter (TSOP) approach[J]. IEEE Transactions on Power Electronics, 2019, 34(10): 10143-10152.
- [49] GRIFFO A, WANG J, COLOMBAGE K, et al. Real-time measurement of temperature sensitive electrical parameters in SiC power MOSFETs[J]. IEEE Transactions on Industrial Electronics, 2018, 65(3): 2663-2671.
- [50] ZHANG Y, YANG Y, WANG J, et al. A guideline for silicon carbide MOSFET thermal characterization based on source-drain voltage[C]//2023 IEEE Applied Power Electronics Conference and Exposition (APEC). Orlando, FL, USA: IEEE, 2023: 378-385.

- [51] GLEISSNER M, NEHMER D, BAKRAN M M. Junction temperature measurement based on the internal gate resistance for a wide range of power semiconductors[J]. IEEE Open Journal of Power Electronics, 2023, 4: 293-305.
- [52] YANG H C, SIMANJORANG R, SEE K Y. A method for junction temperature estimation utilizing turn-on saturation current for SiC MOSFET[C]//2018 International Power Electronics Conference (IPEC-Niigata 2018 -ECCE Asia). Niigata, Japan: IEEE, 2018: 2296-2300.
- [53] FRITZ N, KAMP T, POLOM T A, et al. Evaluating on-state voltage and junction temperature monitoring concepts for wide-bandgap semiconductor devices[J]. IEEE Transactions on Industry Applications, 2022, 58(6): 7550-7561.
- [54] STELLA F, PELLEGRINO G, ARMANDO E, et al. On-line temperature estimation of SiC power MOSFET modules through on-state resistance mapping[C]//2017 IEEE Energy Conversion Congress and Exposition (ECCE). Cincinnati, OH, USA: IEEE, 2017: 5907-5914.
- [55] LU X, WANG L. A novel method for real-time junction temperature monitoring of SiC MOSFET through sensitivity amplification of turn-off delay time[J]. IEEE Transactions on Power Electronics, 2025, 40(8): 11326-11338.
- [56] 吴涛, 孙鹏, 赵志斌, 等. 基于温敏电参数的碳化硅 MOSFET 结温测量方法综述[J]. 中国电机工程学报, 2021, 41(11): 3904-3915.
- [57] ZHOU W, et al. A voltage balancing test method for power module based on series-connected SiC MOSFETs[C]//2025 Energy Conversion Congress & Expo Europe (ECCE Europe). Birmingham, United Kingdom: IEEE, 2025: 1-6.
- [58] ZHANG J, SHAO S, LI Y, et al. A voltage balancing method for series-connected power devices in an LLC resonant converter[J]. IEEE Transactions on Power Electronics, 2020, 36(4): 3628-3632.
- [59] GAO Z, SHAO S, CUI W, et al. A control strategy for reducing voltage ripples in series-connected SiC MOSFETs using active clamping modules in high power VSCs[J]. IEEE Transactions on Power Electronics, 2024, 39(6): 6960-6972.
- [60] 汪欣. 基于有源钳位均压技术的器件串联型中压直流变压器研究[D]. 杭州: 浙江大学, 2023.

- [61] HAYAKAWA J, IKEDA S, LEE Y, et al. Current-driven magnetization switching in CoFeB/MgO/CoFeB magnetic tunnel junctions[C]//2006 IEEE International Magnetism Conference (INTERMAG). San Diego, CA, USA: IEEE, 2006: 6.
- [62] ZHU J, PARK C. Magnetic tunnel junctions[J]. Materials Today, 2006, 9(11): 36-45.
- [63] JOSHI V K, BARLA P, BHAT S, et al. From MTJ device to hybrid CMOS/MTJ circuits: a review[J]. IEEE Access, 2020, 8: 194105-194146.
- [64] 吕华, 刘明峰, 曹江伟等. 隧道磁电阻(TMR)磁传感器的特性与应用[J]. 磁性材料及器件, 2012, 43(03): 1-4.
- [65] 韩秀峰, 刘厚方, 张佳,等. 新型磁性隧道结材料及其隧穿磁电阻效应[J]. 中国材料进展, 2013, 32(06): 339-353.
- [66] 李彦波, 魏福林, 杨正.磁性隧道结的隧穿磁电阻效应及其研究进展[J]. 物理, 2009(06): 420-426.
- [67] 蚌埠希磁科技有限公司. 一种磁电阻模块及磁传感器:CN202023230117.9[P]. 2021-08-17.
- [68] SANCHEZ J, RAMIREZ D, RAVELO S I, et al. Electrical characterization of a magnetic tunnel junction current sensor for industrial applications[J]. IEEE Transactions on Magnetism, 2012, 48(11): 2823-2826.
- [69] CHEN H, LIN W, SHAO S, et al. Application of tunnel magnetoresistance for PCB tracks current sensing in high-frequency power converters[J]. IEEE Transactions on Instrumentation and Measurement, 2023, 72: 1-11.
- [70] 林伟聪. 基于隧道磁电阻 TMR 的变换器电流测量技术研究[D]. 杭州: 浙江大学, 2022.
- [71] 杜佳坤. 差分 TMR 电流传感器的磁场耦合问题研究[D].浙江大学,2023.
- [72] 栾澳祖. 高频 TMR 电流传感器噪声抑制方法及其在车载充电机中的应用[D]. 杭州: 浙江大学, 2025.
- [73] OUYANG Y, HU J, HE J, et al. Modeling the frequency dependence of packaged linear magnetoresistive sensors based on MTJ[J]. IEEE Transactions on Magnetism, 2014, 50(11): 1-4.
- [74] ARATAKE A. Field reliability of silica-based PLC splitter for FTTH[C]//2015 Optical Fiber Communications Conference and Exhibition (OFC). Los Angeles, CA, USA: IEEE, 2015: 1-3.

- [75] ams OSRAM. SFH 213: Silicon PIN photodiode data sheet[EB/OL]. (2022)[2026-04-23]. <https://look.ams-osram.com/m/236756eb2a4c9193/original/SFH-213.pdf>.
- [76] 德州仪器.非完全补偿运算放大器：应用报告 ZHCA290[R/OL]. (2007-3)[2026-03-13]. <https://www.ti.com/lit/an/zhca290/zhca290.pdf>.
- [77] 黄天琪. SiC MOSFET 功率循环下失效模式的实验及仿真研究[D]. 北京：华北电力大学, 2024.
- [78] HEROLD C, FRANKE J, BHOJANI R, et al. Methods for virtual junction temperature measurement respecting internal semiconductor processes[C]//2015 IEEE 27th International Symposium on Power Semiconductor Devices & IC's (ISPSD). Hong Kong, China: IEEE, 2015: 325-328.
- [79] JEDEC Solid State Technology Association. JESD51-14 Transient dual interface test method for the measurement of the thermal resistance junction-to-case of semiconductor devices with heat flow through a single path[S]. Arlington: JEDEC, 2010.
- [80] KENNEDY D P. Spreading resistance in cylindrical semi-conductor devices[J]. Journal of Applied Physics, 1960, 31: 1490-1497.
- [81] HOWER P L, GOVIL P K. Comparison of one- and two-dimensional models of transistor thermal instability[J]. IEEE Transactions on Electron Devices, 1974, 21: 617-623.
- [82] INFINEON TECHNOLOGIES. Using the NTC: application note AN2009-10[R/OL]. (2009-10)[2026-05-22]. <https://www.infineon.com/assets/row/public/documents/60/42/infineon-an2009-10-using-the-ntc-applicationnotes-en.pdf>.

攻读硕士学位期间取得的研究成果

1. HOU C, LOU A, WU Y, et al. An enhanced over-current fault detection system for a 7.2kV power module using series-connected SiC MOSFETs[C]//2025 IEEE Workshop on Wide Bandgap Power Devices and Applications in Asia (WiPDA Asia). Beijing, China: IEEE, 2025: 1-5. (EI 检索国际会议, 第一作者)